



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV MIKROELEKTRONIKY

DEPARTMENT OF MICROELECTRONICS

ASYNCHRONNÍ MODULÁTORY DELTA-SIGMA

ASYNCHRONOUS DELTA-SIGMA MODULATORS

HABILITAČNÍ PRÁCE

HABILITATION THESIS

AUTOR PRÁCE

AUTHOR

Ing. Vilém Kledrowetz, Ph.D.

BRNO 2021

Abstrakt

Předkládaná habilitační práce se zabývá třemi typy modulátorů delta-sigma: synchronními s časově diskrétními integrátory, synchronními s časově spojitými integrátory a asynchronními. Důraz je kladen na srozumitelné vysvětlení principu každého typu, na jejich vzájemné odlišnosti a na problémy spojené s návrhem takového obvodu na čipu. V rámci této práce jsou navrženy dva nové asynchronní modulátory delta-sigma, které mezi doposud publikovanými pracemi jiných autorů dosahují jedinečných vlastností. První z nich je navržen v moderní technologii ST Microelectronics 28 nm FDSOI se strukturou 1. řádu s filtry G_m - C . U druhého je zvolena struktura 2. řádu s integrátory typu RC a použita standardní technologie TSMC 180 μm . Parametry obou nových obvodů jsou srovnány s již publikovanými asynchronními modulátory a jejich výhody jsou podrobněji diskutovány.

Klíčová slova

Modulátory delta-sigma, asynchronní modulátory delta-sigma, technologie CMOS, technologie FDSOI, návrh analogových integrovaných obvodů.

Abstract

This habilitation thesis deals with three types of delta-sigma modulators: synchronous discrete-time delta-sigma modulator, synchronous continuous-time delta-sigma modulator, and asynchronous delta-sigma modulator. Considerable emphasis is placed on a clear explanation of the principle of each type, their differences, and the problems associated with the design of these circuits on a chip. As part of this work, two novel asynchronous delta-sigma modulators are proposed. The first one, the first order architecture implemented with G_m - C loop filter is designed in the modern ST Microelectronics 28 nm FDSOI process. The second one, the second-order architecture implemented with RC loop filters is designed in the standard TSMC 180 μm process. Both achieve unique parameters that are compared to those presented in similar papers related to the topic.

Keywords

Delta-sigma modulators, asynchronous delta-sigma modulators, CMOS technology, FDSOI technology, design of analog integrated circuits.

Bibliografická citace

KLEDROWETZ, V. *Asynchronní modulátory delta-sigma*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky, 2021. 95 s. Habilitační práce.

Obsah

1	Úvod	1
2	Historie převodníků delta-sigma	3
3	Převodníky A/D typu delta-sigma	6
3.1	Modulace delta	6
3.2	Modulace delta-sigma	9
3.3	Převzorkování a tvarování šumu	11
3.4	Struktury modulátorů delta-sigma	13
3.4.1	Delta-sigma modulátory vyššího řádu	13
3.4.2	Delta-sigma modulátory s kaskádní topologií (MASH)	16
3.4.3	Delta-sigma modulátory s vícebitovým kvantizačním obvodem	19
3.4.4	Porovnání struktur delta-sigma modulátorů	22
3.5	Publikované práce	23
4	Modulátory delta-sigma se spojitým časem	25
4.1	Vlastnosti a srovnání modulátorů delta-sigma se spojitým a diskretním časem	25
4.1.1	Vzorkování	25
4.1.2	Realizace integrátorů	26
4.1.3	Kvantizér a zpětnovazební smyčka	27
4.2	Návrh modulátoru delta-sigma se spojitým časem - impulsně invariantní transformace	28
4.3	Nedokonalosti spojené s DAC	32
4.3.1	Zpoždění ve zpětnovazební smyčce	33
4.3.2	Mezisymbolová interference (ISI)	35
4.3.3	Fázový neklid hodinového signálu (clock jitter)	36
4.4	Typy integrátorů	38
4.4.1	Aktivní integrátory RC	38
4.4.2	Integrátory $G_m - C$	40
4.4.3	Aktivní integrátory $G_m - C$	41
4.4.4	Porovnání vlastností integrátorů	42
4.5	Publikované práce	42
5	Asynchronní modulátory delta-sigma	44
5.1	Kvantizační šum	46
5.2	Kmitočet limitního cyklu	48
5.3	Časově digitální převodníky (převodníky TD)	50
5.3.1	Převodník TD s mezipřevodem na napětí	50

5.3.2	Převodník TD realizovaný jednoduchým čítačem	52
5.3.3	Převodník TD se zpoždovací linkou	53
5.3.4	Převodník TD se zpoždovací linkou tvořenou invertory	55
5.3.5	Převodník TD se zkracováním šířky pulzu	57
5.3.6	Vernierův převodník TD	58
5.4	Publikované práce	60
6	Nové asynchronní delta-sigma modulátory	62
6.1	Asynchronní delta-sigma modulátor 1. řádu v technologii FDSOI 28 nm . .	62
6.1.1	Kmitočet limitního cyklu	63
6.1.2	Analogové bloky	64
6.2	Asynchronní delta-sigma modulátor 2. řádu v technologii TSMC 180 nm .	71
6.2.1	Kmitočet limitního cyklu	72
6.2.2	Analogové bloky	74
7	Závěr	81
	Seznam literatury	83
	Seznam zkratek	95

Seznam obrázků

2.1	Obvod DSM prvního řádu představený v roce 1962 [10].	3
2.2	První DT-DSM s integrátory navrženými v technice SC publikovaný v roce 1984 [15].	4
3.1	Blokové schéma ADC s DT-DSM	6
3.2	Blokové schéma modulátoru delta	7
3.3	Časové průběhy modulátoru delta	7
3.4	Linearizovaný model modulátoru delta	8
3.5	Přechod od modulátoru a) delta k c) delta-sigma	9
3.6	Časové průběhy v DSM	10
3.7	Spektrální výkon šumu v užitečném pásmu u a) ADC s Nyquistovým vzorkováním, b) s převzorkováním ($f_S = OSR f_N$) a c) s převzorkováním a tvarováním šumu.	12
3.8	Blokové schéma DSM a) 2. řádu a b) obecný model n . řádu	14
3.9	Rozložení výkonové spektrální hustoty pro DSM 1. až 4. řádu.	15
3.10	Ilustrační znázornění Leeho kritéria stability.	16
3.11	Blokové schéma DSM struktury MASH s digitálním nulováním kvantizačního šumu.	17
3.12	Struktura MASH 2-1.	18
3.13	Lineární model DSM s vícebitovým kvantizérem včetně chyb ADC a DAC	20
3.14	Dynamické přepínání elementů v převodníku D/A.	21
3.15	Princip algoritmu DWA u tříbitového převodníku D/A. Šedé čtverce znázorňují aktivní elementy.	21
4.1	Blokové schéma převodníku a) DT-DSM a b) CT-DSM	26
4.2	Rozpojení zpětnovazební smyčky a) DT-DSM a b) CT-DSM	29
4.3	Blokové schéma a) DT-DSM 2. řádu a b) odpovídajícího CT-DSM.	31
4.4	Rozložení výkonové spektrální hustoty u a) CT-DSM a) DT-DSM pro amplitudu vstupního signálu 0,5 V.	32
4.5	Znázornění zpoždění signálu NRZ.	34
4.6	Kompensace ELD použitím další zpětné vazby.	35
4.7	Dvě různé sekvence a) NTZ pulzů a b) RZ pulzů.	35
4.8	Sekvence (1, -1, 1, 1) a) RZ a b) NRZ pulzů a sekvence (10, 11, 11, 01) c) RZ a d) NRZ pulzů u dvoubitového DAC.	37
4.9	Průběhy na výstupu DAC s vyznačenou oblastí ztráty náboje pro a) obdélníkový a b) SCR pulz.	38
4.10	Schéma plně diferenčního integrátoru RC	39
4.11	Schéma integrátoru $G_m - C$ s vyznačenými parazitními kapacitami.	40
4.12	Schéma aktivního integrátoru $G_m - C$ s vyznačenými parazitními kapacitami.	41

5.1	Schéma ADSM 1. řádu.	44
5.2	Schéma ADSM včetně zpracování výstupního asynchronního signálu.	45
5.3	Porovnání charakteristik rozložení výkonové spektrální hustoty šumu u a) ADSM a b) CT-DSM 2.řádu.	45
5.4	Vzorkování asynchronního signálu z výstupu ADSM.	47
5.5	Schéma ADSM 1. řádu s integrátory RC.	48
5.6	Velikost SNR v závislosti na vzorkování (f_S) pro $f_C = 1$ MHz a $f_{BW} = 5$ kHz.	50
5.7	Blokové schéma a časové diagramy TDC s mezipřevodem na napětí.	51
5.8	Časové diagramy TDC s jednoduchým čítačem.	52
5.9	Implementace obvodu pro měření LSB bitů pomocí zpožďovací linky.	54
5.10	Časové diagram TDC se zpožďovací linkou s $k = 7$	55
5.11	Blokové schéma TDC s použitím invertorů.	56
5.12	Časování v obvodu TDC s invertory.	56
5.13	TDC se zkracováním šířky pulsu: a) blokové schéma obsahující první dva bloky a b) časové průběhy pro prvních šest klopných obvodů typu D.	58
5.14	Blokové schéma Vernierova TDC.	59
5.15	Princip funkce Vernierova TDC znázorněný na časových diagramech pro $\tau_1 = 2\tau_2$	59
6.1	Schéma navrženého ADSM 1. řádu s integrátorem $G_m - C$	63
6.2	Schéma navrženého G_m stupně na tranzistorové úrovni.	65
6.3	Schéma navrženého obvodu CMFB na tranzistorové úrovni.	66
6.4	Graf znázorňující a) výstupní proud bloku G_m a b) odchylky od ideálního průběhu v závislosti na vstupním diferenčním napětí.	67
6.5	Zapojení komparátoru na tranzistorové úrovni.	68
6.6	Výsledky analýz z Cadence Virtuoso: a) hysterezní křivka a b) zpoždění.	68
6.7	Topologie ADSM 1. řádu v technologii STMicroelectronics CMOS28FDSOI.	69
6.8	Časový průběh U_{OUTP} pro nulový vstupní signál.	69
6.9	Rozložení výkonové spektrální hustoty pro signál o vstupní amplitudě a) 0,15 V a b) 0,4 V.	70
6.10	Závislost $SNDR$ na a) kmitočtu vstupního signálu a b) na jeho amplitudě.	70
6.11	Schéma navrženého ADSM 2. řádu s integrátory RC.	72
6.12	Schéma operačního zesilovače navrženého pro integrátory RC.	75
6.13	Bodeho diagram operačního zesilovače.	75
6.14	Schéma navrženého komparátoru s hysterezí.	76
6.15	Výsledky analýz komparátoru v Cadence Virtuoso: a) hysterezní křivka a b) zpoždění.	77
6.16	Topologie ADSM 2. řádu v technologii TSMC 0,18 μm	77
6.17	časový průběh U_{OUTP} pro nulový vstupní signál.	78

6.18 Rozložení výkonové spektrální hustoty pro signál o vstupní amplitudě a) 0,15 V a b) 0,4 V.	79
6.19 Závislost $SNDR$ na a) kmitočtu vstupního signálu a b) na jeho amplitudě.	79

Seznam tabulek

3.1	Porovnání struktur DSM.	22
3.2	Přehled publikací oblasti DSM se smyčkovými filtry pracující v diskrétním čase	24
4.1	Srovnání výhod CT-DSM a DT-DSM.	28
4.2	Póly smyčkových filtrů v \mathcal{Z} -doméně a jejich ekvivalenty v \mathcal{S} -doméně pro obdélníkový tvar pulzu DAC [1]	30
4.3	Tvary výstupních pulzů DAC	33
4.4	Vlastnosti vybraných CT integrátorů [2]	42
4.5	Přehled publikací z oblasti CT-DSM	43
5.1	Srovnání výhod a nevýhod ADSM a CT-DSM	46
5.2	Přehled publikací z oblasti ADSM	61
6.1	Dosažené parametry ADSM 1. řádu.	71
6.2	Dosažené parametry ADSM 2. řádu.	80

1 Úvod

Veškeré fyzikální veličiny v reálném světě kolem nás mají spojitý charakter, který označujeme jako analogový signál. Aby bylo možné s takovým signálem dále efektivně pracovat a vyhodnocovat jej v moderních digitálních systémech jako jsou mikroprocesory, FPGA apod., je nutné využít rozhraní, které tyto dva rozdílné světy propojí mezi sebou. Takovou funkci plní převodník analogového signálu na digitální (dále ADC). Obvody ADC nacházejí využití v komunikačních nebo audio systémech, při zpracovávání signálů z různých druhů senzorů apod. Každá aplikace s sebou nese specifické nároky na parametry ADC jako jsou rychlost převodu, rozlišení nebo spotřeba. Existuje řada architektur ADC, které nabízí různý kompromis mezi zmíněnými parametry.

Převodníky delta-sigma (dále DS) jsou vysoce efektivní variantou pro implementaci ADC v technologiích CMOS. Ve srovnání s jinými typy ADC nabízejí širokou oblast použití od aplikací s rychlostí převodu v desítkách S/s až po aplikace s rychlostí převodu v řádu jednotek až desítek MS/s, přičemž dosahují rozlišení až 24 bitů a spotřeby již od desítek nW. Díky své konstrukci dosahují některých zcela výjimečných vlastností, zejména vykazují vynikající diferenciální a integrální nelinearitu nebo možnost tvarování šumu mimo spektrum užitečného signálu. Další výhodou je, že pouze minimální část obvodového řešení je tvořena analogovými obvody, které jsou náchylné ke vzniku nejrůznějších chyb převodu.

Existuje mnoho struktur delta-sigma modulátorů (dále DSM), které mohou být rozděleny podle několika kritérií na:

- jednosmyčkové nebo vícesmyčkové. Jednosmyčkové DSM obsahují jeden kvantizátor, zatímco vícesmyčkové, označované jako kaskádní nebo MASH (Multi stAge noise SHaping) obsahují více kvantizátorů.
- s jednobitovým nebo vícebitovým kvantizátorem,
- dolní nebo pásmová propust,
- synchronní nebo asynchronní. Synchronní dále dělí podle realizace smyčkových filtrů na diskrétní (DT) a spojitě (CT).

Existuje mnoho literatury týkající se synchronních DSM s časově diskrétními smyčkovými filtry (dále DT-DSM). V oblasti dnes stále populárnějších synchronních DSM s CT filtry (dále CT-DSM) jsou vydány dvě knihy od autorů A. Cherry [1] a M. Ortmanns [2] a spousta článků dostupných v databázi IEEE. Naopak v problematice asynchronních delta-sigma modulátorů (dále ADSM) není dnes k dispozici žádná kniha, pouze několik článků.

Ačkoliv od prvního objevu DSM v 60. letech bylo publikováno mnoho knih zabývajících se elementární teorií, různými strukturami, matematickým popisem, nebo realizací na tranzistorové úrovni, většina této literatury začíná bludištěm integrálů nebo různých transformací a stává se pro čtenáře nepřehledná. Ve výsledku studium z typického publikovaného článku nebo knihy obvykle vede méně specializované jedince, kteří mají nejasnosti v základní teorii fungování DSM, k přesvědčení, že téma je nesrozumitelné a příliš obtížné na pochopení. V oblasti ADSM k dnešnímu dni neexistuje jediná komplexní publikace, jen několik vysoce odborných článků, které neobsahují dostatečný teoretický základ pro pochopení této problematiky.

Z výše uvedeného vychází motivace pro tuto práci, jejíž cíle lze rozdělit do dvou bodů:

- srozumitelně bez složité matematiky vysvětlit princip všech tří základních typů DSM: DT-DSM (kapitola 3), CT-DSM (kapitola 4) a ADSM (kapitola 5),
- představit dva zcela nové ADSM navržené na tranzistorové úrovni s parametry, které na poli aktuálně publikovaných ADSM chybí (kapitola 6).

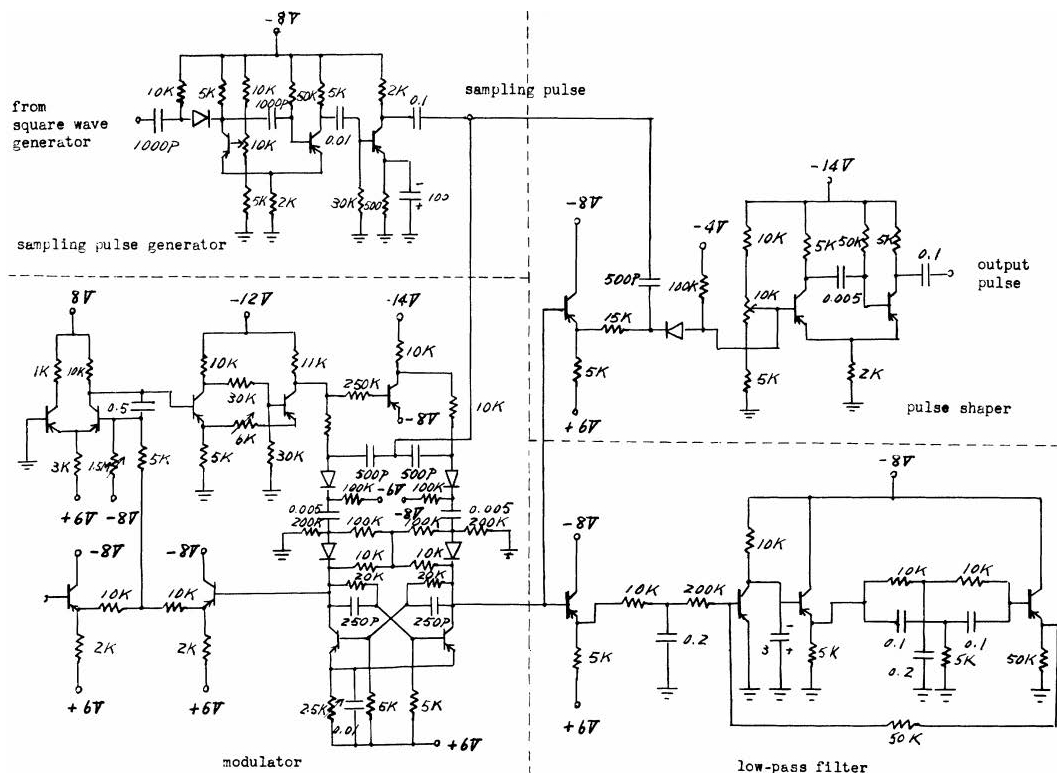
K modelování a realizaci obvodů byly použity programy MATLAB v2020b s nástroji SIMULINK a SimScape, a Cadence Virtuoso 6.1.8 se simulátorem Spectre. Dva nové ADSM byly navrženy v technologiích ST 28nm CMOS28FDSOI a TSMC 0.18 μ m CMOS General Mixed-Signal/RF.

2 Historie převodníků delta-sigma

Počátky vývoje DS ADC sahají do 40. let minulého století. Architektura DS ADC vychází z delta modulace a diferenční pulzně kódové modulace (PCM). Modulace delta byla poprvé vynalezena v laboratořích ITT ve Francii E.M. Delorainem, S. Van Mierloem a B. Derjavitchem v roce 1946 [3], [4].

Tento princip byl „znovu vynalezen“ o několik let později ve Philips Laboratories v Nizozemí, kdy inženýři společnosti publikovali v letech 1952 a 1953 vůbec první rozsáhlé studie jednobitových i vícebitových modulátorů delta [5], [6]. V roce 1950 také C.C. Cutler z Bell Telephone Labs v USA podal patent popisující diferenční PCM, jehož základní princip byl obdobný jako ten z Philips Laboratories [7]. O čtyři roky později, v roce 1954, C.C. Cutler podal další patent, kde představil myšlenku převzorkování signálu a tvarování šumu [8]. Cílem této práce nebyl vlastní A/D převod, ale „komprese“ analogového signálu pro přenos komunikačním kanálem. Cutlerův obvod obsahoval již všechny obvody z analogové části DS ADC. Nebyla zde však realizována digitální filtrace a decimace, neboť jejich realizace by byla v době vakuových elektronek příliš složitá a nákladná.

Další významný patent podal C.B. Brahm v roce 1961. Ten se ve svém patentu detailně zabýval návrhem ADC s tvarováním šumu druhého řádu s vícebitovým kvantizérem [9]. V průběhu těchto let také začaly být vakuové elektronky nahrazovány tranzistory, což s sebou přineslo mnohem více možností pro implementaci této architektury.

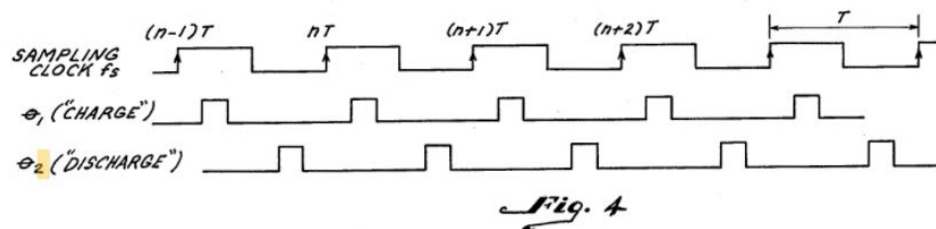
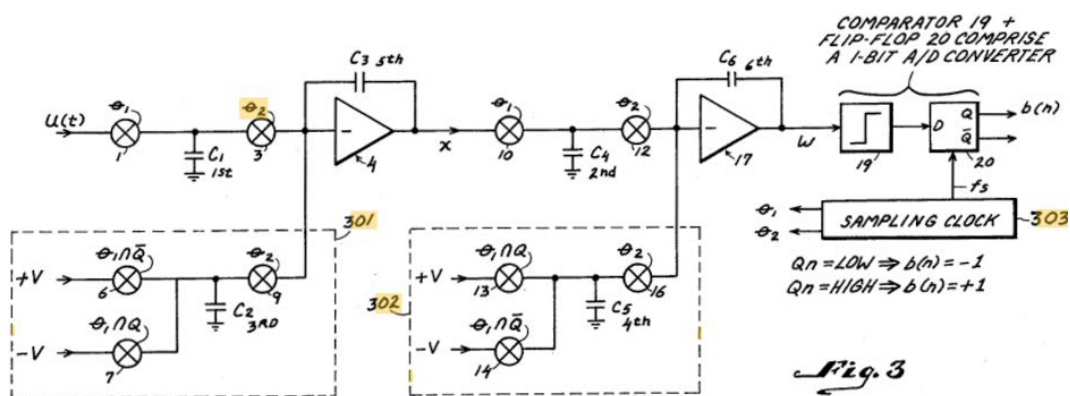


Obr. 2.1: Obvod DSM prvního řádu představený v roce 1962 [10].

V roce 1962 autoři Inose, Yasuda a Murakami publikovali v časopise IRE Transactions on Space Electronics Telemetry experimentální jednobitovou architekturu DSM včetně převzorkování a tvarování šumu po vzoru Cutlera z roku 1954 [10]. Tato architektura již využívala pouze polovodičových součástek, pomocí nichž implementovali DSM prvního a druhého řádu. Stejní autoři vydali o rok později druhý článek, kde byla podrobně popsána metoda převzorkování a tvarování šumu [11]. V těchto dvou publikacích byl zároveň poprvé použit termín delta-sigma. Termín delta-sigma se používal až do 70. let, než inženýři z AT&T začali používat termín sigma-delta. Od této doby se používají oba termíny.

Doposud zmíněné publikace a patenty se zabývaly pouze DSM, kdy výstupem je jednobitový pulzně hustotně modulovaný signál. V roce 1969 D. J. Goodman z Bell Labs publikoval práci, v níž představil kompletní DS ADC včetně digitální filtrace a decimace [12]. V roce 1974 J. C. Candy ze stejné laboratoře navázal na tuto práci a publikoval DS ADC s vícebitovým kvantizátorem, čímž se mu podařilo dosáhnout vyššího rozlišení [13].

Dalším mezníkem byl rok 1975, kdy publikovali C.J. Kikkert a D. J. Miller první ADSM [14].



Obr. 2.2: První DT-DSM s integrátory navrženými v technice SC publikovaný v roce 1984 [15].

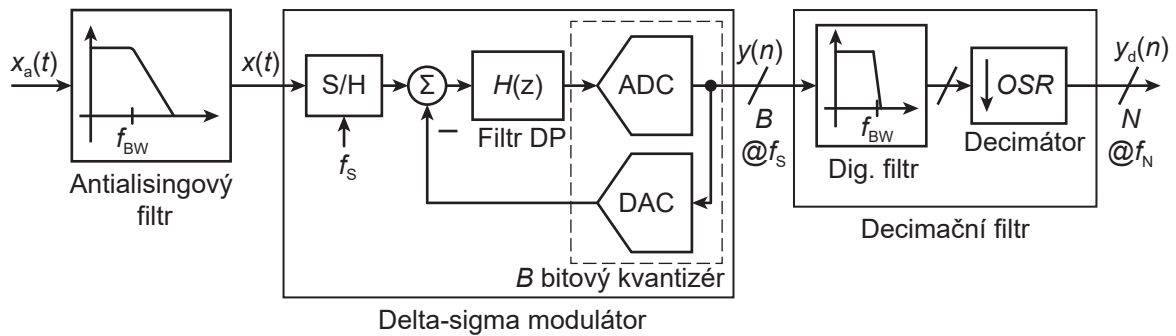
Realizace výše popsaných obvodů je založena na diskretních součástkách. Až v roce 1977 první DSM na integrovaném obvodu publikoval Rudy J. van de Plassche. Parametry obvodu realizovaného v bipolární technologii byly: napájení ± 7.5 V, spotřeba 27 mW, plocha na čipu $6,4 \text{ mm}^2$, rozlišení 17 bitů a vzorkovací kmitočet 200 kHz.

V roce 1981 T. Misawa, J. E. Iwersen, L. J. Loporcaro a J. G. Ruch Představili DSM v technologii NMOS [16] a v roce 1984 K. Sheno a B. Agrawal podali patent, kde byl poprvé představen DSM s čase diskretními integrátory realizovanými v technice spínaných kapacitorů (SC) [15]. Od této doby bylo publikováno mnoho prací s různými modifikacemi výše zmíněných obvodů.

3 Převodníky A/D typu delta-sigma

Tato kapitola se věnuje popisu principu DSM, různým strukturám a jejich neidealitám včetně problémů, které souvisí s implementací obvodu na čip. Podstata principu funkce je pro všechny DSM stejná, avšak CTDSM a ADSM mají svá specifika, kterým se budou věnovat kapitoly 4, resp. 5.

Na obr. 3.1 je znázorněné blokové schéma DS ADC typu dolní propust.



Obr. 3.1: Blokové schéma ADC s DT-DSM

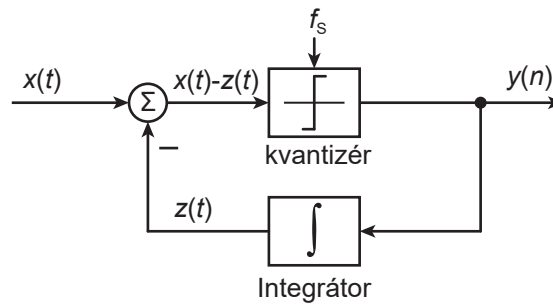
Obvod se skládá z:

- antialiasingového filtru, který omezuje šířku pásma vstupního signálu, aby se během jeho následného vzorkování zabránilo aliasingu. Jak bude ukázáno v kapitole 3.3, díky převzorkování jsou požadavky na vstupní filtr mnohem volnější než v případě ADC s Nyquistovým vzorkováním.
- DSM, ve kterém dochází k převzorkování a kvantování analogového signálu s již omezenou šířkou pásma antialiasingovým filtrem. Kvantizační šum vloženého B -bitového kvantizátoru je tvarován pomocí vhodného smyčkového filtru $H(z)$ v zapojení se zápornou zpětnou vazbou.
- Decimačního filtru - ten se skládá z digitálního filtru a decimátoru. Digitální filtr vysokého řádu má a úkol odstranit kvantizační šum nad mezním kmitočtem užitečného pásma (f_{BW}). Decimátor snižuje datovou rychlost od vzorkovacího kmitočtu DSM ($f_S = OSR f_N$) dolů na kmitočet Nyquistova vzorkování f_N a zároveň zvyšuje délku slova z B na N bitů, aby bylo zachováno rozlišení.

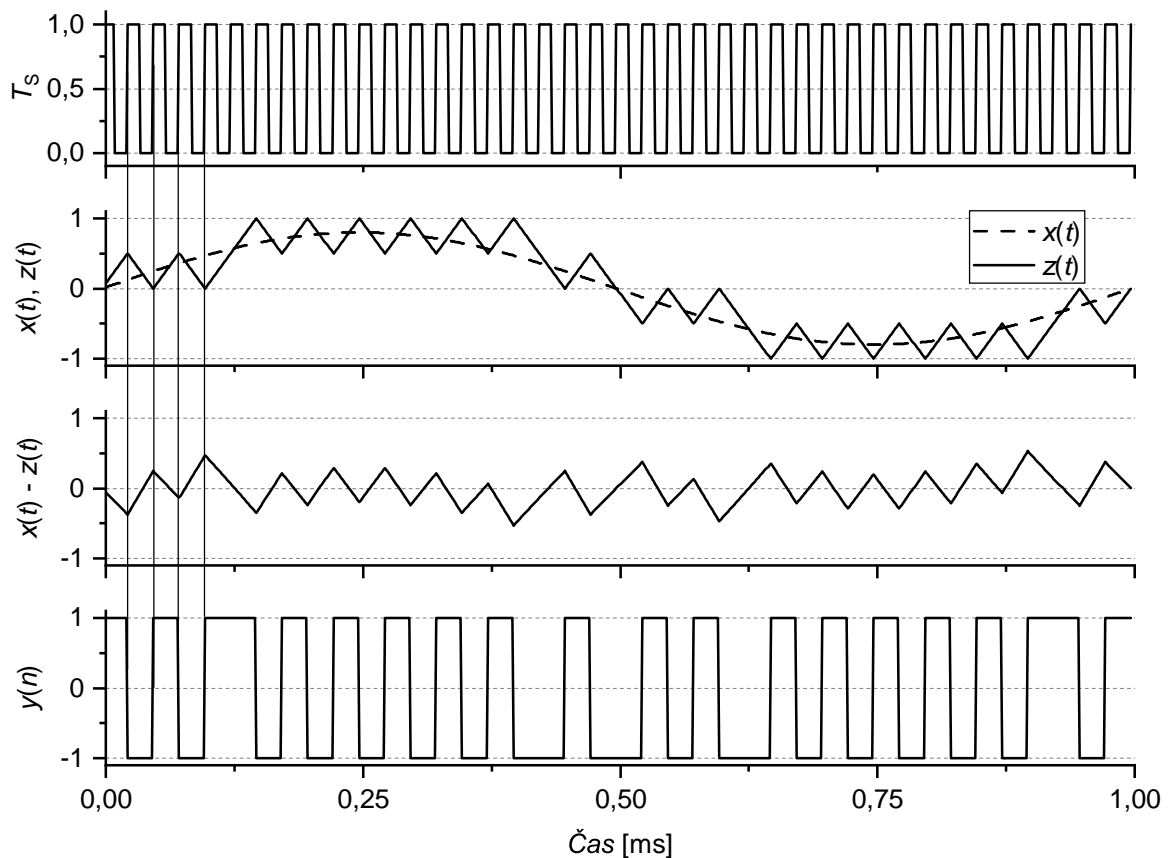
3.1 Modulace delta

Protože základní myšlenka DSM vychází z modulace delta, je za účelem snazšímu pochopení principu činnosti DSM vhodné si tento typ modulace nejdříve vysvětlit.

Modulace delta byla popsána jako reakce na požadavek kvalitního přenosu zvuku přes silně zarušené prostředí [11]. Jak již název napovídá, princip modulátoru delta je založena na kvantování změny signálu mezi dvěma vzorky, přičemž u základního typu modulátoru delta se hodnota sousedních vzorků může odlišovat pouze o jeden kvantovací krok [17].



Obr. 3.2: Blokové schéma modulátoru delta

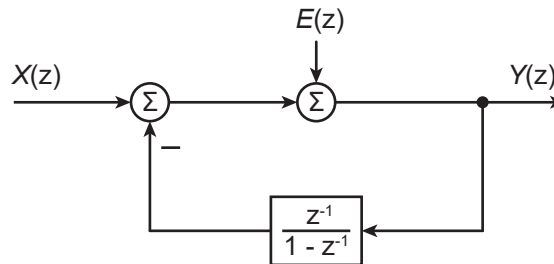


Obr. 3.3: Časové průběhy modulátoru delta

Modulátor delta obsahuje pouze kvantizér, integrátor a rozdílový člen. Nejjednodušší variantou kvantizéru je komparátor, jehož výstup může nabývat hodnot $\pm U_{REF}$. Blo-

kovou strukturu modulátoru delta včetně názorných časových diagramů pro vstupní sinusový signál ukazuje obr. 3.2, resp. 3.3. V čase $T_0 = 0$ je na výstupu komparátoru hodnota $y(t) = +U_{REF}$, která se integruje během celé první periody T_S a $z(t)$ tak roste. V rozdílovém bloku je tato hodnota $z(t)$ odečítána od vstupního sinusového průběhu $x(t)$ a s příchodem nástupné hrany T_S ($T_{S,1}$) komparátor vyhodnotí, zda rozdíl $x(t) - z(t)$ je kladný nebo záporný a následně nastaví na výstup odpovídající hodnotu (na obr. 3.3 $x(t) < z(t) \Rightarrow y(t) = -U_{REF}$). Nyní je během další periody T_S integrována hodnota $-U_{REF}$ a $z(t)$ klesá. S následující nástupnou hranou T_S ($T_{S,2}$) komparátor vyhodnotí, že $x(t) > z(t)$ a změní svůj výstup na $y(t) = +U_{REF}$. Na výstupu $y(t)$ tedy není signál reprezentující absolutní hodnotu jednotlivých vzorků, pouze nese informaci o tom, zda signál $z(t)$ mezi dvěma vzorky rostl či klesal.

Pro správnou funkci modulátoru je nutné, aby byl řízen vnějším vzorkovacím signálem $f_S = 1/T_S$, jinak by došlo k jeho samovolnému rozkmitání. Činnost modulátoru delta je tedy časově diskrétní. Lze vytvořit linearizovaný model (obr. 3.4) a popsat jej pomocí Z -transformace. Signál $X(z)$ je vstupní diskrétní veličina a $Y(z)$ výstupní. Parametr $E(z)$ pak reprezentuje velikost kvantizačního šumu kvantizátoru.



Obr. 3.4: Linearizovaný model modulátoru delta

Pro výstupní signál $Y(z)$ pak platí

$$Y(z) = X(z)(1 - z^{-1}) + E(z)(1 - z^{-1}). \quad (3.1)$$

Z rovnice 3.1 lze vyjádřit přenosovou funkci signálu STF (Signal Transfer Function) a přenosovou funkci šumu NTF (Noise Transfer Function)

$$STF(z) = \left. \frac{Y(z)}{X(z)} \right|_{E(z)=0} = 1 - z^{-1}, \quad (3.2)$$

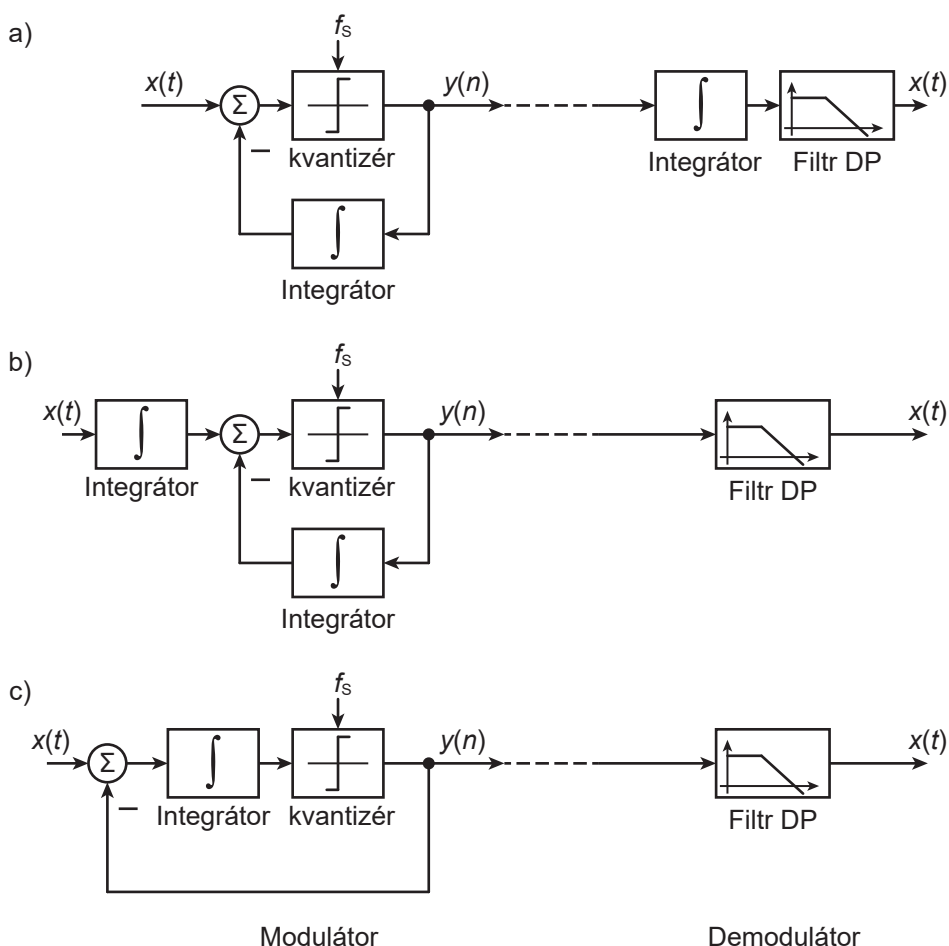
a

$$NTF(z) = \left. \frac{Y(z)}{E(z)} \right|_{X(z)=0} = 1 - z^{-1}. \quad (3.3)$$

Funkce NTF se chová jako filtr typu horní propust a kvantizační šum, který je generován kvantizérem, je na nízkých kmitočtech potlačen a přesunut na vyšší kmitočty. Z rovnice 3.2 je vidět, že totéž platí i pro STF .

3.2 Modulace delta-sigma

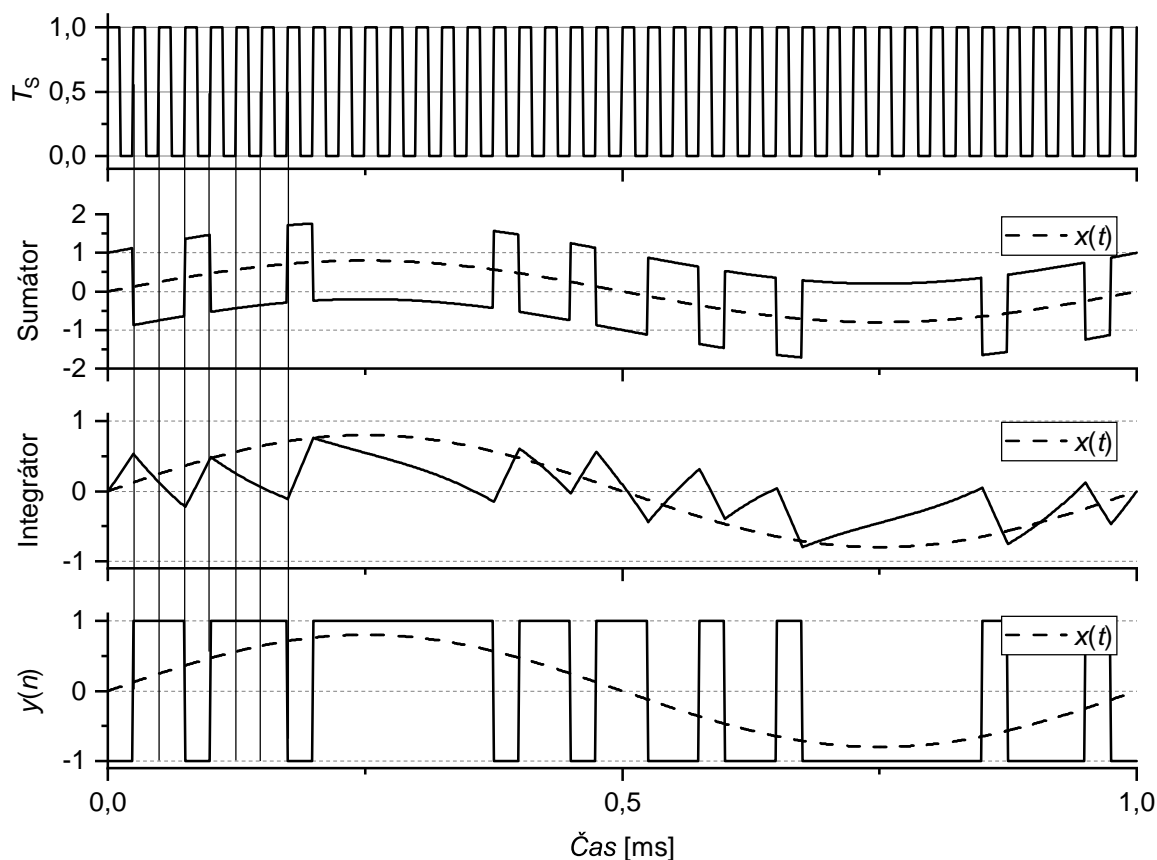
Nevýhodou modulátorů delta je chování jako filtr typu horní propust nejen pro NTF , ale i pro STF . Navíc ke správné demodulaci potřebují další integrátor i na koncové straně. Protože je však integrace lineární operací, je možné přemístit integrátor ze strany demodulátoru přímo před modulátor do cesty vstupního signálu jak ukazuje obr. 3.5b). S využitím pravidla o součtu integrálů ($\int f(x)dx + \int g(x)dx = \int (f(x) + g(x))dx$) lze dva integrátory z obr. 3.5b) sloučit jediného umístěného za rozdílový člen tak, jak je ukázáno na obr. 3.5c).



Obr. 3.5: Přechod od modulátoru a) delta k c) delta-sigma

Vzorové časové průběhy DSM pro vstupní sinusový signál jsou na obr. 3.6. Na vstup

rozdílového členu je, stejně jako u modulace delta, připojen vstupní signál $x(t)$, kdežto na druhém vstupu není výstup z integrátoru ale výstup z komparátoru ($y(n)$). V čase T_0 je $y(n)$ v hodnotě $-U_{REF}$. Signál na výstupu rozdílového členu ukazuje druhý graf z vrchu („Sumátor“). Tato hodnota je přivedena na integrátor, jehož směrnice výstupního signálu není na rozdíl od modulátoru delta konstantní, ale mění se. Komparátor následně porovnává, zda signál na výstupu integrátoru (třetí graf z vrchu) je větší nebo menší než referenční hodnota, v tomto případě 0 a podle toho na výstup nastaví hodnotu $+U_{REF}$ nebo $-U_{REF}$.



Obr. 3.6: Časové průběhy v DSM

Jestliže je vstupní napětí $x(t) = 0$, pak střída výstupního signálu $y(n)$ je 50 %, tzn. počet vzorků logických 1 a 0 (na obr. 3.6 reprezentuje hodnota -1 logickou 0) je stejný. Při kladném vstupním napětí $x(t)$ a současném $y(n) = -U_{REF}$ (logická 0 na výstupu) nabývá rozdíl $x(t) - U_{REF}$ maximálních hodnot, dochází k strmému nárůstu napětí na výstupu integrátoru, rychlému překročení prahové úrovně komparátoru a změně výstupu na $y(n) = +U_{REF}$. Nyní je rozdíl $x(t) - U_{REF}$ naopak malý, výstup komparátoru klesá pozvolna a trvá několik period, než zpátky přesáhne prahovou úroveň komparátoru. Střída výstupního signálu je tedy větší než 50 % ve prospěch stavu logické 1. Pokud je vstupní

napětí záporné, je situace opačná, tj. střída je menší než 50 %, kdy převažuje počet vzorků s logickou 0.

Pro výstupní signál $Y(z)$ platí

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z). \quad (3.4)$$

Následně lze pro funkce STF a NTF psát

$$STF(z) = z^{-1}, \quad (3.5)$$

$$NTF(z) = 1 - z^{-1}. \quad (3.6)$$

Nyní má STF pouze zpoždění o jeden hodinový cyklus, naopak NTF se chová jako filtr typu horní propust a kvantizační šum, který je generován kvantizérem, je na nízkých kmitočtech potlačen a přesouvá se na kmitočty, které leží mimo zpracovávané pásmo. Tomuto jevu se říká tvarování šumu.

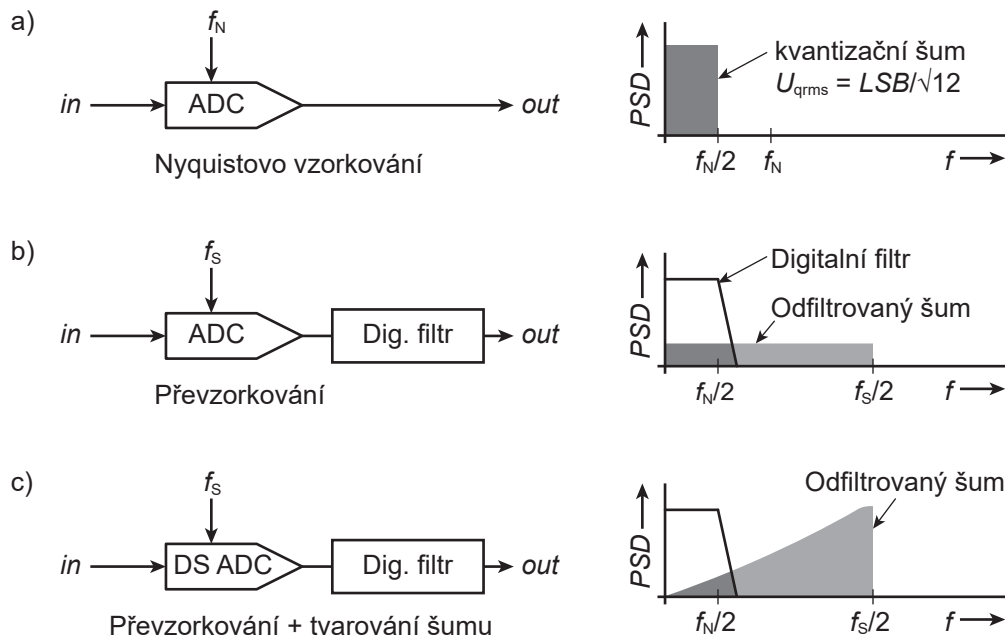
3.3 Převzorkování a tvarování šumu

Jak již bylo zmíněno v předchozích kapitolách, převodníky DS využívají převzorkování, tvarování šumu a filtrování digitálního signálu za účelem dosažení vysokého rozlišení.

Podle základní teorie ADC [5][6] je kvantizátor silně deterministický a nelineární systém, který vnáší kvantizační chybu do převodníku. Tato chyba (obvykle 1/2 LSB) se v systému jeví jako šum a omezuje rozlišení, kterého by bylo možné teoreticky dosáhnout. Protože chování kvantizéru v ADC je velmi komplikované na analytické vyjádření, kvantizér se obvykle nahrazuje aditivní zdrojem bílého šumu [7], což umožňuje odhadnout kvantizační chybu a tím i parametry ADC. Pro N bitový ADC s Nyquistovým vzorkováním je uvažována rovnoměrně rozložená efektivní hodnota kvantizačního šumu $U_{q_{rms}}$ do kmitočtového pásma od 0 do $f_N/2$ tak, jak je znázorněno na obr. 3.7a), kde f_N je vzorkovací kmitočet. Pro vstupní signál s amplitudou odpovídající maximálnímu rozsahu, lze pro velikost odstupu signálu od šumu (SNR) platí

$$SNR = 6,02 ENOB + 1,76 [dB], \quad (3.7)$$

kde $ENOB$ značí efektivní počet bitů (effective number of bits).



Obr. 3.7: Spektrální výkon šumu v užitečném pásmu a) ADC s Nyquistovým vzorkováním, b) s převzorkováním ($f_s = OSR f_N$) a c) s převzorkováním a tvarováním šumu.

Protože celkový výkon kvantizačního šumu je stále stejný, použití vyššího vzorkovacího kmitočtu f_s vede k rozložení kvantizačního šumu do širšího kmitočtového pásma tak, jak je znázorněno na obr. 3.7b). To má za následek snížení hodnoty $U_{q_{rms}}$. Po připojení digitálního filtru typu dolní propust na výstup ADC může být část kvantizačního šumu odstraněna bez vlivu na přenášený signál. To vede ke zvýšení SNR a tedy i $ENOB$. Matematicky to lze vyjádřit

$$SNR = 6,02 ENOB + 1,76 + 10 \log(OSR) [dB], \quad (3.8)$$

kde OSR (oversampling ratio) je koeficient převzorkování, pro který platí

$$OSR = \frac{f_N}{2f_{BW}}. \quad (3.9)$$

Díky převzorkování lze docílit vysokého rozlišení při použití ADC s jinak nízkým rozlišením. Pro snížení kvantizačního šumu v užitečném pásmu o hodnotu odpovídající N -bitům rozlišení, je potřeba zvolit $OSR = 2^{2N}$. To znamená, že pro zvýšení rozlišení o 0,5-bitů je potřeba zdvojnásobit OSR . To je nevýhoda této metody, kdy se nejenže zvyšují nároky na dílčí bloky převodníku, ale také se zvyšuje spotřeba obvodu. Zvýšení rozlišení pomocí převzorkování u převodníků, které pracují na vysokých kmitočtech, tak může být velmi obtížné.

Pro udržení přijatelné velikosti OSR a možnosti dosažení vysokého rozlišení mají DSM výhodu v schopnosti tvarování šumu pomocí vhodně zvolené přenosové funkce šumu (NTF) - viz obr. 3.7c). Například u DSM 1. řádu lze dosáhnout zvýšení rozlišení o 1,5 bitu při) zdvojnásobení OSR .

3.4 Struktury modulátorů delta-sigma

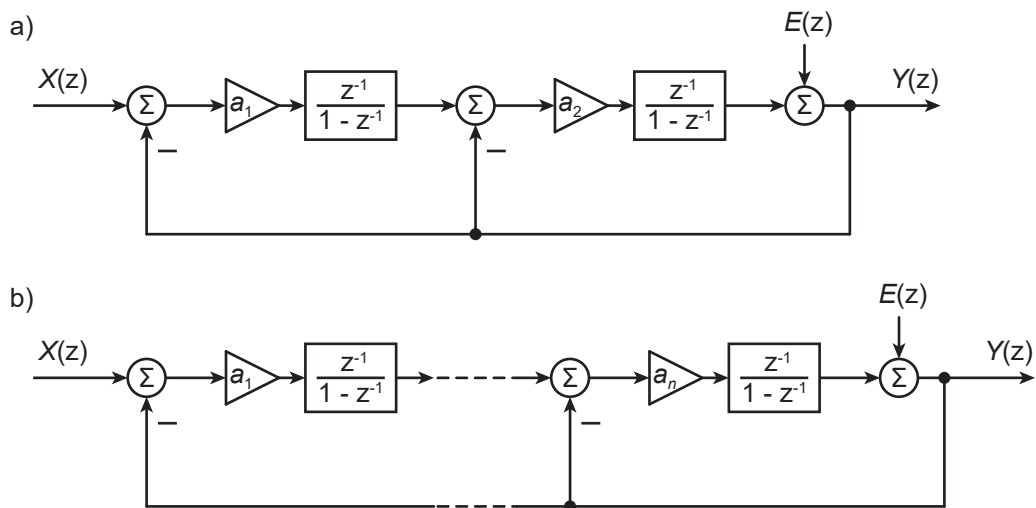
V předchozích kapitolách byl popisován DSM 1. řádu. Avšak DSM 1. řádu trpí problémy s vyššími harmonickými tóny v užitečném pásmu. To je způsobeno tím, že vstupní signál kvantizátoru silně koreluje se vstupním signálem a tak kvantizační šum nemá rovnoměrně rozloženou výkonovou spektrální hustotou, tedy charakter bílého šumu [18]. Dosažitelné rozlišení je také nízké. Proto se v praxi DSM s jednosmyčkovými topologiemi téměř nepoužívají. Jak bude ale ukázáno v pozdějších kapitolách, nacházejí uplatnění v kaskádních topologiích. U každé struktury DSM v této kapitole bude uvedeno schéma se základním uspořádáním smyček. Nutno podotknout, že existuje řada jejich různých modifikací lišícími se množstvím a uspořádáním. V literaturách se tak lze setkat s pojmy jako např. CIFB (cascade of integrators with feedback), CRFB (cascade of resonators with distributed feedback), CIFF (cascade of integrators with feed forward), CIDIDF (cascaded integrator with distributed input and distributed feedback) atd.

Přenosové funkce STF a NTF jsou upravovány pomocí přenosových koeficientů smyčkových filtrů, které lze u DT-DSM s integrátory realizovanými v technice spínaných kapacitorů (SC) jednoduše a přesně nastavit pomocí poměru kapacitorů. Samotná hodnota koeficientů ovlivňuje nejen STF a NTF , ale má také vliv na velikosti napětí v jednotlivých uzlech (vlivem konečného napěťového rozsahu může dojít k saturaci) a potažmo na stabilitu celého systému. Nalezení jejich správné hodnoty není jednoduchý úkol. Za tímto účelem lze využít prostředí MATLAB s prostředím SIMULINK.

3.4.1 Delta-sigma modulátory vyššího řádu

V přechodných kapitolách byly diskutovány vlastnosti DSM (převzorkování, tvarování šumu), které vedou ke zvýšení jeho rozlišení, resp. SNR . První představovanou metodou zvýšení SNR při zachování jednosmyčkové struktury je zvýšení řádu filtru. Díky tomu dochází k důkladnějšímu tvarování kvantizačního šumu, tedy snížení jeho spektrální hustoty v užitečném pásmu. Zvyšování řádu filtru s sebou přináší problémy se zajištěním stability systému, kdy za účelem jejího zajištění jsou voleny přenosové koeficienty s nižšími hodnotami (a_1, a_2, \dots, a_n). To má však za důsledek méně agresivní přenosovou funkci šumu.

Na obr. 3.8a) je znázorněno blokové schéma DSM 2. řádu a na obr. 3.8b) obecné schéma DSM n . řádu.

Obr. 3.8: Blokové schéma DSM a) 2. řádu a b) obecný model n . řádu

Ideální přenosová funkce $Y(z)$ DSM n řádu je

$$Y(z) = z^{-n}X(z) + (1 - z^{-1})^n E(z). \quad (3.10)$$

Následně lze pro funkce STF a NTF psát

$$STF(z) = z^{-n}, \quad (3.11)$$

$$NTF(z) = (1 - z^{-1})^n. \quad (3.12)$$

Nyní má STF zpoždění o n hodinových cyklů a NTF se chová jako filtr typu horní propust n . řádu. Obecně lze velikost SNR vyjádřit

$$SNR = \frac{3\pi}{2} (2^B - 1)^2 (2n + 1) \left(\frac{OSR}{\pi} \right)^{(2n+1)}, \quad (3.13)$$

kde B je počet bitů kvantizéru a n řád filtru. Z této rovnice lze vyčíst, že vyššího SNR lze dosáhnout zvýšením OSR , zvýšením počtu bitů kvantizačního obvodu (B) nebo zvýšením řádu smyčkového filtru (n).

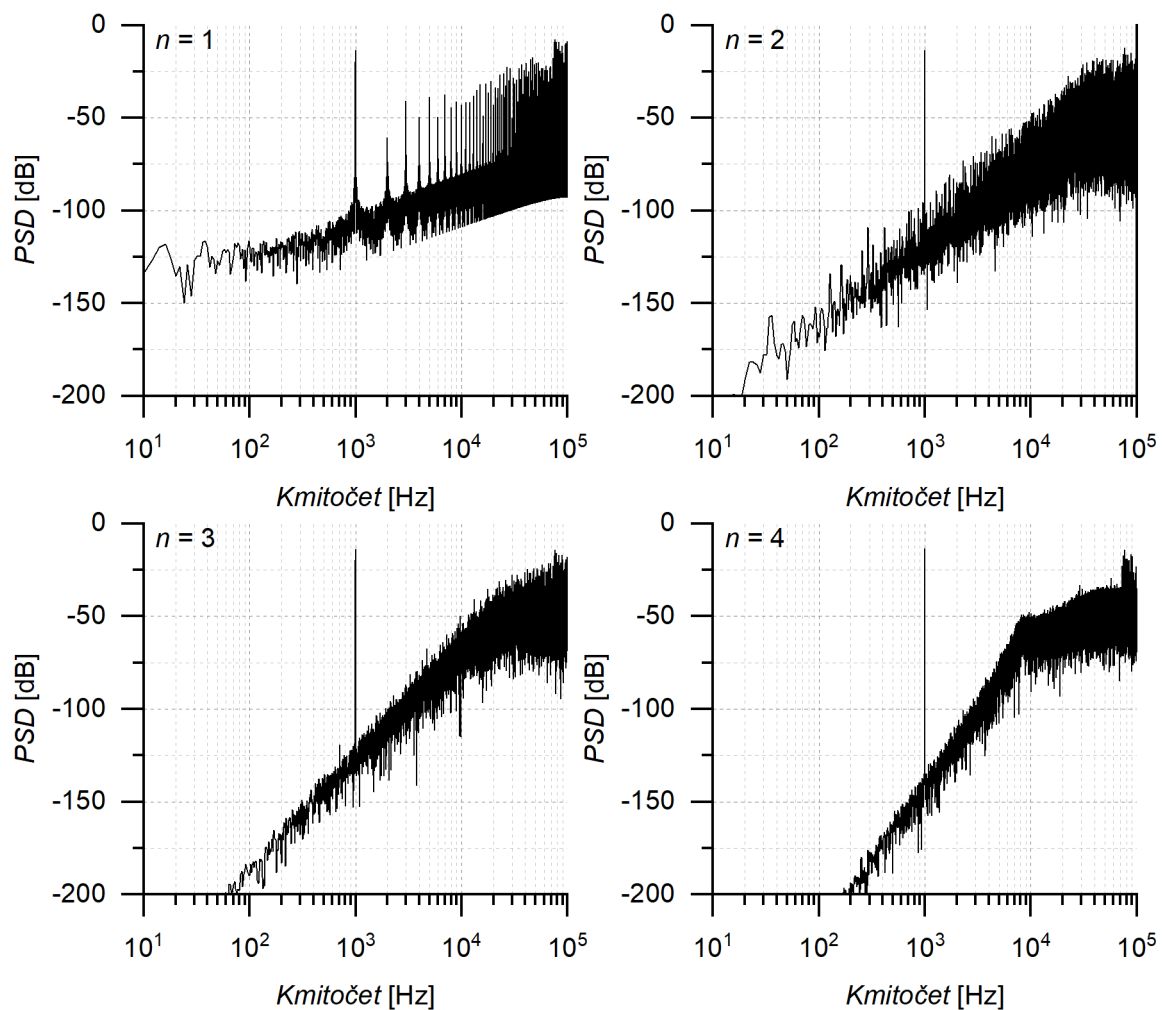
Pro celkový výkon kvantizačního šumu v užitečném pásmu lze psát

$$N_q = \left(\frac{\Delta}{2} \right)^2 \frac{1}{3\pi(2n+1)} \left(\frac{\pi}{OSR} \right)^{2n+1}, \quad (3.14)$$

kde Δ je velikost kvantovacího kroku s hodnotou $U_{REF}/2^n$.

Jak již bylo zmíněno v úvodu, u DSM vyšších řádů mohou mít problémy se stabilitou, kdy se výstupy integrátorů dostávají do saturace. Zdroj [19] uvádí, že to nastává při řádu DSM vyšší než $n = 2$. Tento problém se však může objevit také u DSM 2. řádu při vyšších amplitudách vstupního signálu. Za účelem zajištění stability DSM vyšších řádů jsou zavedeny přenosové koeficienty (a_1, a_2, \dots, a_n v obr. 3.8). Součin všech koeficientů je zpravidla pro dosažení stability menší než jedna. Nastavením jejich správné hodnoty je možné zajistit i u DSM vyšších řádů stabilitu, avšak strmost NTF je menší, což znamená, že je snížena efektivita tvarování šumu. Ve srovnání s ideálním DSM se SNR a dynamický rozsah (DR) zmenší.

Na obr. 3.9 jsou ukázány grafy znázorňující rozložení výkonové spektrální hustoty u DSM 1. až 4. řádu. Jak si lze všimnout a jak bylo také zmíněno v úvodu kapitoly 3.2, DSM prvního řádu má ve spektru vyšší harmonické tóny, které výrazně degradují dosažitelné SNR resp. $SNDR$.



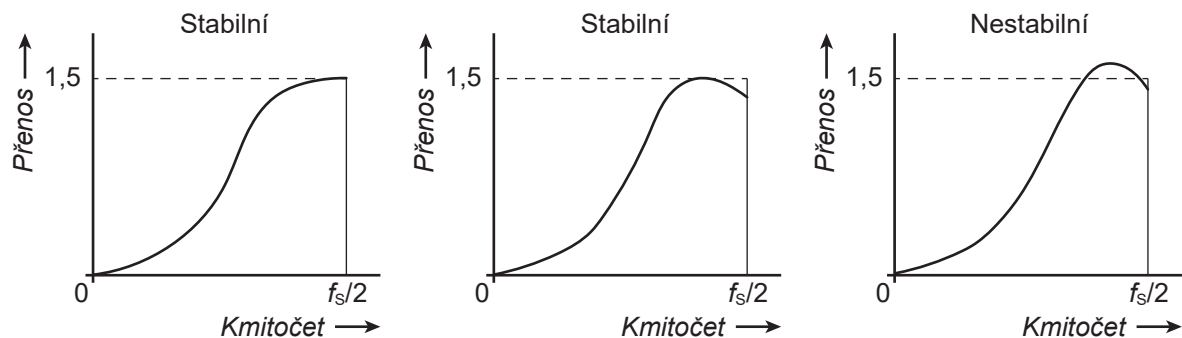
Obr. 3.9: Rozložení výkonové spektrální hustoty pro DSM 1. až 4. řádu.

Existuje řada kritérií stability vytvořených pro různé typy DSM. Některé z nich však neumožňují optimalizaci přenosových koeficientů modulátoru a tím dosažení maximálního dynamického rozsahu [20], [21], [22]. Jednou z nejrozšířenějších metod pro přibližné stanovení stability DSM je Leeho kritérium [20], které říká, že DSM s 1-bitovým kvantizérem bude pravděpodobně stabilní, pokud bude platit

$$\max(|NTF(e^{j2\pi f})|) < 1,5, \quad (3.15)$$

kde $\max(|NTF(e^{j2\pi f})|)$ značí maximální hodnotu přenosu NTF z celého kmitočtového rozsahu.

V původní verzi pro podmínku stability z rovnice 3.15 bylo číslo 2 namísto 1,5. Na základě dalších poznatků se však časem číslo upravilo na zde zmíněných 1,5. Pro DSM řádu 3. až 4. mohou být tolerovány i o něco vyšší hodnoty. Naopak pro DSM velmi vysokého řádu je podmínka zpřísněna (< 1.4) [21]. Ilustrační znázornění Leeho kritéria stability je na obr. 3.10.



Obr. 3.10: Ilustrační znázornění Leeho kritéria stability.

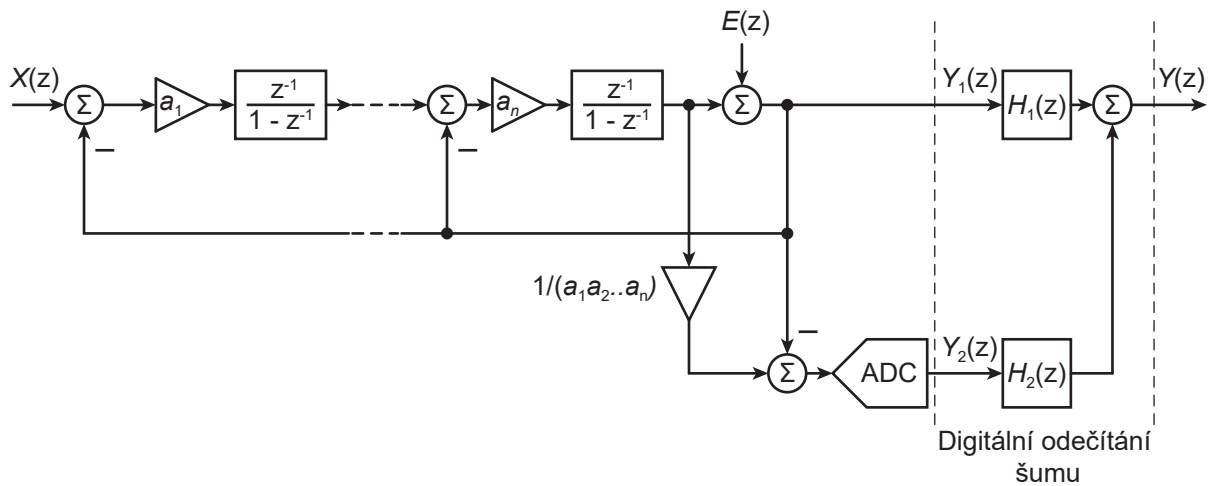
Leeho kritérium je přibližné pravidlo, které není bezpodmínečně nutné splnit k zajištění stability. Proto, i když je Leeovo kritérium užitečným vodítkem pro predikci apriorních nestabilit v DSM s 1 bitovým kvantizérem, musí návrhář provést řadu dalších simulací (např. v MATLAB SIMULINK) k ověření správného chování DSM. Metody syntézy a optimalizace přenosových koeficientů DSM jsou rozebrány a popsány v [20], [21] nebo [23].

3.4.2 Delta-sigma modulátory s kaskádní topologií (MASH)

Jak již bylo napsáno v předchozí kapitole 3.4.1, kvůli problémům se stabilitou u jednosmyčkových DSM vyšších řádů jsou do obvodu implementovány přenosové koeficienty. To však má za následek výrazné snížení DR a SNR ve srovnání s ideálním DSM. Tento efekt významně omezuje výhodu zvýšení řádu DSM. Možnou cestou k dosažení tvarování

šumu vysokého řádu při zajištění stability systému je použití kaskádních struktur, také známých jako vícesmyčkových, popř. s vícestupňovým tvarováním šumu. V další části práce budou tyto DSM označovány jako MASH (multi stage noise shaping).

Princip funkce DSM typu MASH je ukázán na obr. 3.11. Kvantizační šum DSM n . řádu je získán pomocí rozdílového členu a následně je převeden do digitálního tvaru ideálním ADC. V další části systému je tento šum reprezentovaný digitálním číslem odečten od výstupu $Y_1(z)$, díky čemuž se kvantizační šum obvodu vynuluje a celkový výstup $Y(z)$ tak kvantizační šum již neobsahuje.



Obr. 3.11: Blokové schéma DSM struktury MASH s digitálním nulováním kvantizačního šumu.

Pokud jsou přenosové funkce $H_1(z)$ a $H_2(z)$ definovány jako

$$H_1(z) = 1, \quad (3.16)$$

$$H_2(z) = (1 - z^{-1})^n. \quad (3.17)$$

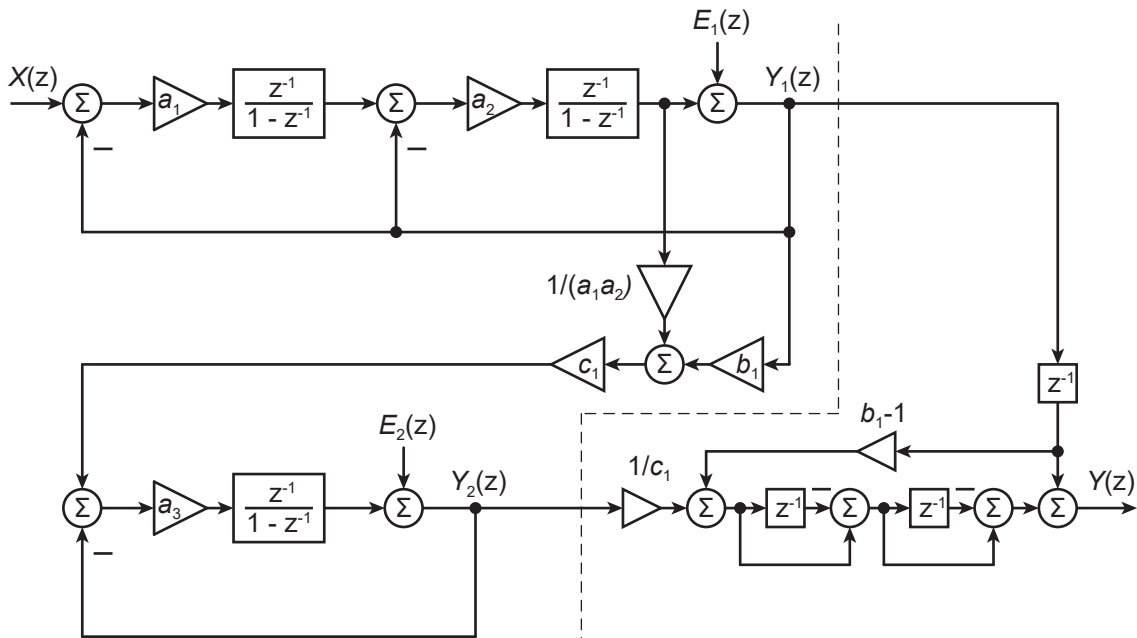
Potom celkový výstup $Y(z)$ je

$$Y(z) = z^{-n}X(z). \quad (3.18)$$

Rovnice 3.18 obsahuje pouze část *STF*, kdy část reprezentující *NTF* byla z rovnice zcela odstraněna. Toto je však ideální model, který nezohledňuje dva zdroje chyb. Prvním zdrojem chyb je nepřesné vyrušení kvantizačního šumu, kdy od šumu obsaženého v $Y_1(z)$ není odečtena přesně stejná hodnota $Y_2(z)$. K tomu dochází v případě neshodnosti hodnot koeficientů mezi jednotlivými smyčkami. V obr. 3.11 je to např. neshodnost

přenosových koeficientů a_1, a_2, \dots, a_n ve smyčce DSM 2. řádu a stejných koeficientů před rozdílovým členem ($1/(a_1, a_2, \dots, a_n)$), na jehož výstupu je rekonstruovaná hodnota $E(z)$. Druhým zdrojem chyb je nenulový kvantizační šum ADC. Celková velikost kvantizačního šumu struktury MASH tedy závisí na souběhu přenosových koeficientů (vyrušení kvantizačního šumu kvantizéru v první smyčce) a na rozlišení použitého ADC (vnesení jeho kvantizačního šumu do systému).

Zmíněný ADC umístěný v druhé smyčce zpracovávající kvantizační šum DSM je běžně implementován pomocí dalšího DSM, jehož kvantizační šum je obsažen ve výstupu $Y(z)$ a není tedy z obvodu odstraněn, jak bylo ukázáno na ideálním modelu v úvodu této kapitoly. Nicméně pomocí této topologie lze vytvořit strukturu DSM vyššího řádu, která je tvořena kombinací několika ve své podstatě stabilních DSM 1. nebo 2. řádu. Příklad DSM 3. řádu struktury MASH 2-1 je ukázán na obr. 3.12.



Obr. 3.12: Struktura MASH 2-1.

Obvod se skládá z DSM 2. řádu (první stupeň), jehož kvantizační šum je zpracováván v DSM 1. řádu (druhý stupeň), který nahrazuje ADC (viz. obr. 3.11). V digitální části je výstup $Y_1(z)$ časově synchronizován s výstupem DSM 1. řádu, což znamená zpoždění o jeden hodinový takt. Digitální zpracování druhého výstupu $Y_2(z)$ obsahuje filtr typu horní propust 2. řádu $(1 - z^{-1})^2$. Pro jednotlivé výstupy $Y_1(z)$ a $Y_2(z)$ lze odvodit vztahy 3.19 a 3.20. Pro zjednodušení jsou uvažovány všechny koeficienty s hodnotou jedna. Tedy

$$Y_1(z) = [X(z)z^{-2} + E_1(z)(1 - z^{-1})^2]z^{-1}, \quad (3.19)$$

$$Y_2(z) = [-E_1(z)z^{-1} + E_2(z)(1 - z^{-1})](1 - z^{-1})^2. \quad (3.20)$$

Celkový výstup modulátoru pak je

$$Y(z) = Y_1(z) + Y_2(z) = X(z)z^{-3} + E_2(z)(1 - z^{-1})^3. \quad (3.21)$$

Z rovnice 3.21 *STF* a *NTF*

$$STF(z) = z^{-3}, \quad (3.22)$$

$$NTF(z) = (1 - z^{-1})^3. \quad (3.23)$$

Jak vyplývá z výše uvedených rovnic, *STF* má tvar zpoždění o tři hodinové takty. Naopak *NTF* má charakter horní propusti 3. řádu. Stejného výsledku lze dosáhnout např. použitím struktury MASH 1-1-1 (tři smyčky s DSM 1. řádu). Teoreticky je možné zapojit do kaskády libovolný počet stupňů. Avšak tak, jako problémy se stabilitou limitovaly dosažitelné parametry jednosmyčkových modulátorů, tak u MASH je limitujícím faktorem shoda mezi vzájemně svázanými prvky, jako jsou např. přenosové koeficienty (každý z nich je v obvodu na obr. 3.12 dvakrát). Pokud je např. koeficient b_1 upravující přenos kvantizačního šumu z prvního stupně jiný než ten, který je v digitální části, dochází k odečtu jiné hodnoty kvantizačního šumu než reálně v prvním stupni je a tím i jeho pronikání na celkový výstup. Toto pronikání kvantizačního šumu z předchozích stupňů může ve výsledku i zcela znehodnotit přínos vyššího řádu modulátoru. Z tohoto důvodu jsou nároky na analogové bloky v MASH DSM mnohem náročnější, než tomu bylo v případě jednosmyčkových DSM popisovaných v kapitole 3.4.1.

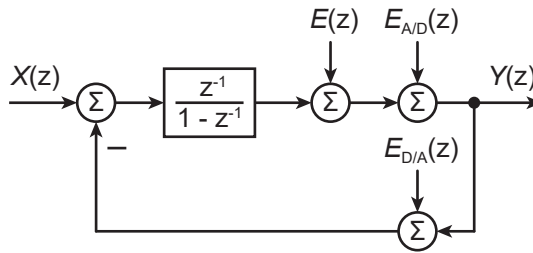
3.4.3 Delta-sigma modulátory s vícebitovým kvantizačním obvodem

Jak vyplývá z rovnice 3.13 pro *OSR*, další možností vedoucí ke zvýšení *SNR* bez zvyšování *OSR* nebo řádu modulátoru je použití vícebitového kvantizačního obvodu. Je to velmi efektivní způsob, jak snížit velikost kvantizačního šumu a tím zvýšit *SNR*. To je výhodně především u DSM vyššího řádu s velkou šířkou užitečného pásma a vysokým vzorkovacím kmitočtem, kde další zvyšování *OSR* (a tedy f_S) již není z technologických důvodů možné, nebo by znamenalo nepřijatelné zvýšení nároků na dílčí bloky. Druhý přínos vícebitové struktury souvisí se stabilitou. V kapitole 3.4.1 bylo napsáno, že za účelem zajištění stability DSM vyššího řádu s jednobitovým kvantizérem jsou voleny přenosové koeficienty s nižší hodnotou, což má za výsledek méně agresivní přenosovou funkci šumu

a tím pokles SNR . Použitím vícebitového kvantizátoru se rozšiřuje oblast stability systému a je tedy možné koeficienty původního modulátoru upravit tak, aby byla získána mnohem agresivnější NTF a tím došlo ke zvýšení SNR .

Nevýhodou DSM s vícebitovým kvantizérem je náročnější návrh, kdy se nejedná pouze o přidání dalších obvodů, ale také zde vzniká nevýhoda spojená s vícebitovým kvantizérem, resp. jeho linearitou. Na rozdíl od jednobitových kvantizátorů, které jsou ve své podstatě lineární, protože pro kvantování se používají pouze dvě úrovně, vykazují multi-bitové kvantizátory v praxi některé nelinearity ve své přenosové charakteristice, většinou kvůli chybám souběhu mezi prvky obvodu, které významně ovlivňují celkové parametry DSM.

Na obr. 3.13 je zobrazen rozšířený linearizovaný model DSM 1. řádu z obr. 3.4. Chyby související s multibitovým kvantizérem jsou na obr. 3.13 reprezentovány chybami $E_{A/D}$ (ADC) a $E_{D/A}$ pro převodník D/A (dále DAC) sloužící k zpětnému převedení digitálního signálu. Chyba $E_{A/D}$ je do obvodu přidávána ve stejném místě jako kvantizační šum a tedy její velikost je (stejně jako $E(z)$) potlačena díky charakteristice NTF stejně jako zmíněný kvantizační šum. Avšak chyba $E_{D/A}$ je do přidávána přímo do zpětné vazby - přímo ke vstupnímu signálu $X(z)$ a nepodléhá vlivu NTF .



Obr. 3.13: Lineární model DSM s vícebitovým kvantizérem včetně chyb ADC a DAC

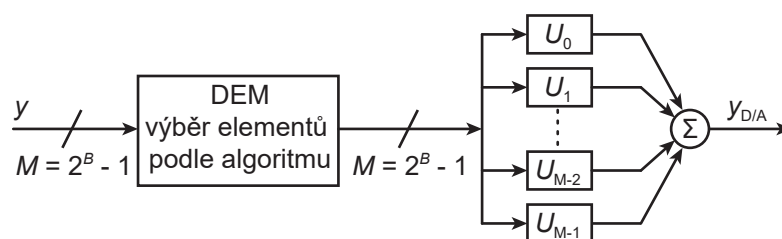
Chyby DAC jsou způsobeny chybami souběhu mezi jednotlivými elementy v jeho struktuře (u DSM nejčastěji kapacitory). To způsobuje, že se výstupní úrovně DAC odchyľují od své nominální hodnoty. Za předpokladu, že hodnota každého jednotlivého elementu v obvodu DAC sleduje Gaussovo rozdělení, lze nejhorší relativní chybu na jeho výstupu $y_{D/A}$ odhadnout jako

$$\sigma\left(\frac{\Delta y_{D/A}}{y_{D/A}}\right) \approx \frac{1}{2\sqrt{2^B}} \sigma\left(\frac{\Delta U}{U}\right), \quad (3.24)$$

kde B je rozlišení DAC a $\sigma\left(\frac{\Delta y_{D/A}}{y_{D/A}}\right)$ je relativní chyba hodnoty dílčího elementu v obvodu DAC. Podle této rovnice lze přesnost DAC zvyšovat pomocí vyššího B . Avšak vyšší B s sebou přináší vyšší nároky na souběh dílčích elementů v DAC. To znamená použití rozměrných součástek [24] a podstatně náročnější vytváření vhodné topologie na čipu. V

dnešních technologiích lze dosáhnout souběhu dvou elementů maximálně kolem 0,05 až 0,1 %, což však není dostačující pro dosažení vysokého rozlišení.

Existuje několik způsobů, jak zvýšit linearitu DAC v DSM a to např. trimováním, digitální korekcí [25] nebo metodou DEM (dynamic element matching). Právě poslední jmenovaná je nejrozšířenější v oblasti DSM. U DAC každé dílčí výstupní hodnotě odpovídají stejné použité elementy (např. ty stejné sepnuté kapacitory nastavující výstupní napětí). Chyba jejich hodnoty koreluje se vstupním signálem a projeví se ve spektru jako harmonické rušení. Metoda DEM, jak napovídá její název, dynamicky přepíná elementy v DAC s každým hodinovým cyklem, čímž se transformuje jeho chyba na časově proměnnou. Za tímto účelem, jak je to znázorněno na obr. 3.14, je do obvodu přidán digitální blok, který řídí výběr elementů v DAC v každém taktu podle daného algoritmu. Tímto způsobem tedy bude chyba úrovně v DAC, který způsobuje zkreslení ležící v oblasti nízkých kmitočtů blízko užitečném pásmu nebo přímo v něm, posunuta na vyšší kmitočty a následně odstraněna v decimačním filtru.



Obr. 3.14: Dynamické přepínání elementů v převodníku D/A.

Jednotkové elementy

	U1	U2	U3	U4	U5	U6	U7
2							
2							
5							
1							
3							
5							
6							

Obr. 3.15: Princip algoritmu DWA u tříbitového převodníku D/A. Šedé čtverce znázorňují aktivní elementy.

Existuje několik algoritmů pro DEM [26], [27], [28], [29]. Jednou z nejznámějších a nejpožívanějších je DWA (Data Weighted Averaging). Pomocí tohoto algoritmu je šum generovaný převodníkem D/A (na obr. 3.13 $E_{D/A}$) tvarován pomocí funkce filtru typu horní

propust 1. řádu. Princip algoritmu DWA je uveden na obr. 3.15. Dílčí elementy jsou sekvencně přepínány s každým hodinovým taktém. A to i v případě, že na výstupu DAC zůstává stejná hodnota.

Pomocí výše zmíněných metod lze dosáhnout vysokého SNR s nízkým OSR . Všechny tyto metody však využívají poměrně složité obvody, které zvyšují nároky na plochu čipu a spotřebu energie. Jak bude zmíněno v kapitole 3.5, vícebitový kvantizér lze také uplatnit u DSM s MASH strukturou.

3.4.4 Porovnání struktur delta-sigma modulátorů

V předchozích kapitolách byly představeny struktury DSM, včetně jejich výhod a nevýhod. V níže uvedené tabulce 3.1 jsou pak tyto charakteristické vlastnosti shrnuty.

Tab. 3.1: Porovnání struktur DSM.

Struktura DSM	Výhody	Nevýhody
jednosmyčkové jednobitový kvantizátor nízký řád	<ul style="list-style-type: none"> - stabilní - jednoduchý obvodový návrh - velký vstupní rozsah - jednoduchý návrh decimálního filtru 	<ul style="list-style-type: none"> - nízké SNR (nutnost vysokého OSR - vyšší nároky na parametry analogových obvodů - náchylnost k vyšším harmonickým tónům
jednosmyčkové jednobitový kvantizátor vysoký řád	<ul style="list-style-type: none"> - vysoké SNR pro přijatelné OSR - menší citlivost na vyšší harmonické tóny - jednoduchý obvodový návrh 	<ul style="list-style-type: none"> - problémy se zajištěním stability - omezený vstupní rozsah
kaskádní (MASH)	<ul style="list-style-type: none"> - vysoké SNR pro přijatelné OSR - stabilní - velký vstupní rozsah 	<ul style="list-style-type: none"> - vysoké nároky na shodnost elementů mezi smyčkami a mezi analogovou a digitální částí - decimální filtr s vícebitovým vstupem
vícebitový kvantizátor	<ul style="list-style-type: none"> - vysoké SNR pro nízké OSR - jednodušší zajištění stability u DSM vyšších řádů 	<ul style="list-style-type: none"> - citlivost na nelinearitu DAC, kterou je nutné kompenzovat - komplexnější analogové a digitální obvody

3.5 Publikované práce

Přehled publikovaných prací z oblasti CT-DSM je uveden v tabulce 3.2. Prvních jedenáct řádků obsahuje DSM s jednosmyčkovou strukturou seřazené od nejnižšího řádu. Na ně navazuje osm publikací DSM se strukturou MASH, v několika případech i s vícebitovým kvantizérem a dvě jednosmyčkové struktury s vícebitovými kvantizérem.

Parametry jako šířka pásma signálu (f_{BW}), poměr signál-šum (SNR), poměr signál-šum a zkreslení ($SNDR$), dynamický rozsah (DR) a spotřeba energie jsou klíčové metriky výkonu, které lze použít k porovnání různých struktur. Pro lepší srovnání jsou zavedeny dvě měřítka vlastností FOM_1 a FOM_2 (figure of merit) [30]. První zdůrazňuje spotřebu energie, zatímco druhý zdůrazňuje efektivní rozlišení. Menší hodnota FOM_1 a větší hodnota FOM_2 ukazuje na DSM s lepšími vlastnostmi. Ve většině publikací z oblasti DSM autoři uvádějí pouze FOM_1 . Kde jej neuvedli, byl dopočítán pomocí rovnice 3.25 a v případě FOM_2 z rovnice 3.26. Ty jsou dány jako

$$FOM_1 = \frac{P_W}{2f_{BW}2^{ENOB}} \quad (3.25)$$

$$FOM_2 = SNDR + 10 \log \frac{f_{BW}}{P_W} [dB], \quad (3.26)$$

kde P_W značí výkonovou spotřebu. V některých publikacích autoři používají ve FOM_2 namísto $SNDR$ parametr DR [30].

Všechny DSM uvedené v tabulce jsou implementovány pomocí techniky SC. Jedná se o vybrané publikace z posledních 13 let nacházející se v databázi IEEE, kdy jedna práce je výrazně starší a to z roku 1991 [31]. Ačkoliv se jedná o velmi starou publikaci ve staré 2 μm technologii, byla do tabulky zařazena z důvodu méně obvyklé jednosmyčkové struktury 5. řádu s jednobitovým kvantizérem. Jednosmyčkový modulátor s nejvyšším řádem je představen v literatuře [32], kdy autoři navrhli strukturu 6. řádu. Podle rovnice 3.13 je teoretická hodnota SNR při použitím $OSR = 64$ rovna 188 dB. Autoři dosáhli hodnoty výrazně nižší a to 112,4 dB ($SNDR$), kdy nejen nároky na analogové bloky jsou velmi vysoké, ale také bylo nutné zvolit méně agresivní NTF z důvodu zajištění stabilního systému. To vše má vliv na výrazně nižší hodnotu SNR , resp. $SNDR$. U publikovaných struktur MASH je často použit vícebitový kvantizátor. V [33] je použita struktura MASH 2-2 s čtyřbitovými kvantizátory a s dvojitou kvantizací. Touto strukturou bylo dosaženo $SNR = 74,9$ dB s OSR pouze 13. Vůbec nejnižší OSR pak je v [34] a to pouze 8, avšak dosažené $SNDR$ je jen 38,3 dB.

Tab. 3.2: Přehled publikací oblasti DSM se smyčkovými filtry pracující v diskretním čase

Rok	V_{DD} [V]	Technologie [nm]	Plocha [mm ²]	Struktura*1	f_s [MHz]	f_{BW} [MHz]	OSR [-]	SNDR [dB]	P_W [mW]	FOM_1 [pJ/krok]	FOM_2 [dB]
2019 [35]	1,8	180	-	2(1)	50	0,5	50	52	0,071	0,211	150,4
2011 [34]	2,8	350	-	2(1)	64	2	16	43	19	41	123,2
2013 [36]	5	700	0,75	2(1)	2	0,005	200	81,1	10	106,3	138,1
2011 [37]	1,5	180	0,492	3(1)	3,2	0,1	16	84	0,14	0,054	172,5
2016 [38]	1,2	65	-	3(1)	128	1	64	76	12,7	1,23	155
2008 [39]	3	180	1,2	4(1)	3,2	0,02	80	88,7	5,6	6,3	154,2
2008 [40]	0,9	130	0,42	4(1)	2	0,02	50	73,1	0,06	0,406	158,3
2013 [41]	0,25	130	0,76	4(1)	1,28	0,01	64	86,5	0,034	0,098	171,2
2011 [42]	1,8	180	0,645	4(1)	10,24	0,04	128	77,58	0,34	0,687	158,3
1991 [31]	5	2000	10,5	5(1)	3,072	0,024	64	98,5	0,2	60,6	149,3
2013 [32]	3,3	350	0,686	6(1)	2,56	0,02	64	112,4	14,7	1,078	173,7
2016 [43]	2,8	350	-	2(1)-1(1)	122,8	3,84	16	42	27	34,2	123,5
2015 [44]	3,3	350	0,5	2(1)-2(1)	1	0,005	100	106,5	20	11,6	160,5
2011 [34]	2,8	350	-	2(1)-2(1)	160	10	8	38,3	48,3	36	121,5
2014 [45]	1,1	65	-	2(1)-2(1)	1000	10	500	66,8	1,5	0,042	165
2018 [46]	3,3	180	-	2(2)-1(1)	4,41	0,022	100	108,02	5,85	0,644	173,8
2011 [47]	1,8	180	-	2(1)-1(1)-1(1)	32	2	16	76	3,65	0,177	163,4
2010 [48]	3,3	130	0,76	2(1)-1(1)-1(2)	80	4	10	53,7	44,5	14,1	133,2
2011 [33]	1,2	130	1,6	2(4)-2(4)	130	5	13	74,9	16	0,35	121,5
2012 [49]	1,8	180	-	2(3)	3,2	0,025	64	101,2	1,68	0,358	172,9
2011 [50]	1	180	1,66	3(4)	3,072	0,024	64	92,4	0,352	0,215	170,7

*1 Struktura je zadávána ve formátu: řád (rozlišení kvantizátoru v bitech), za poměčkou jsou uvedeny případné další smyčky (u MASH).

4 Modulátory delta-sigma se spojitým časem

V předchozí kapitole byly představeny obecné vlastnosti DSM, jejichž popis byl založen na DSM s integrátory pracující časově diskrétně (DT-DSM), kdy přenosová funkce $H(z)$ odpovídá analogovému diskrétnímu filtru. Nahrazením tohoto filtru jeho spojitou alternativou ($H(s)$) lze dosáhnout podobné funkce DSM a některých výhodných vlastností. Zároveň to však s sebou přináší neidealitu, které je při návrhu CT-DSM zohlednit. V této kapitole jsou analyzovány významné rozdíly mezi DT-DSM a CT-DSM a diskutovány neidealitu specifické pro modulátory CT-DSM. Možné realizace smyčkových filtrů u CT-DSM představuje kapitola 4.4.

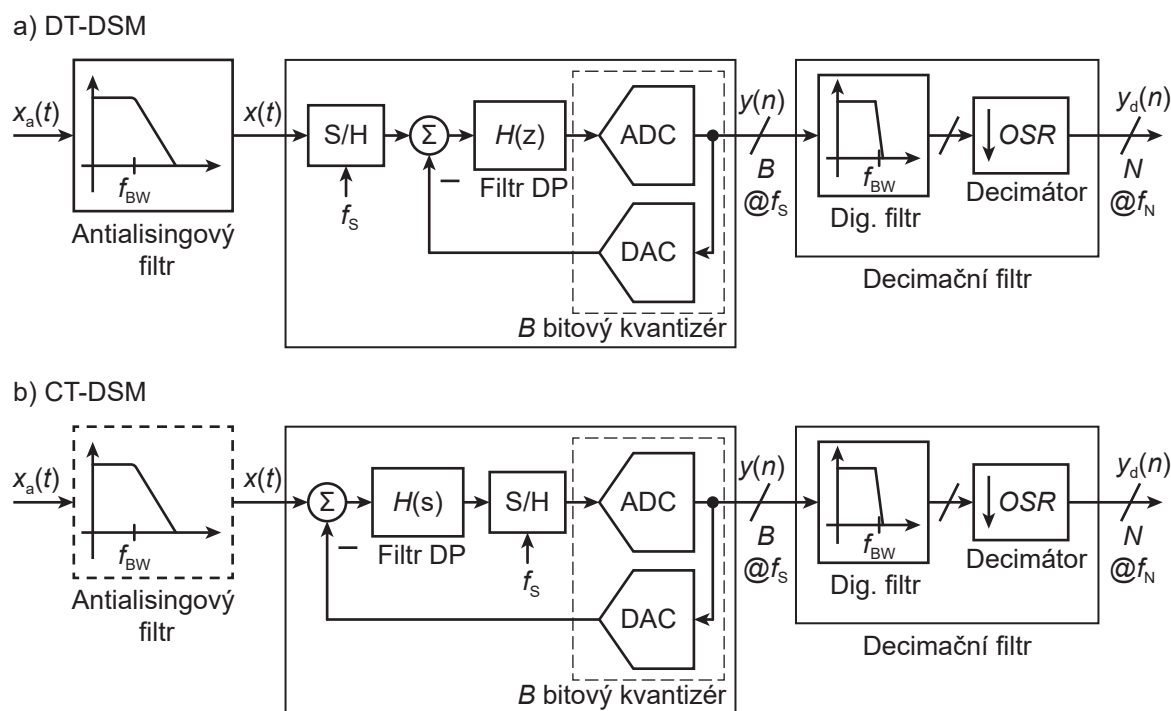
4.1 Vlastnosti a srovnání modulátorů delta-sigma se spojitým a diskrétním časem

Ačkoliv první DSM byly realizovány jako CT-DSM, od roku 1984, kdy byl představen první DT-DSM s integrátory realizovanými pomocí techniky SC (viz. kapitola 2) vyšlo velké množství publikací zabývajících se podobným konceptem, tj. DT-DSM s integrátory implementovaných pomocí techniky SC, popř. spínaných proudů ([51], [52]). Důvodem byla především jednoduchost s jakou lze navrhovat monolitické SC filtry, kdy je časová konstanta dána vzorkovacím kmitočtem a poměrem kapacitorů (nezáleží na jejich absolutní hodnotě), které lze nastavit s vysokou přesností. Navíc v době začátků DT-DSM realizovaných pomocí technik SC byly integrátory RC realizované na IC značně limitovány velikostí součástek, kdy při průměrné tloušťce oxidu 700 Å zabíral kapacitor o velikosti 1 pF plochu kolem 2000 μm^2 [53] a jeho hodnota musela být mnohem větší než u integrátoru SC. Dalšími důvody byla vysoká linearita celkového systému [54]. Díky tomuto zájmu dnes existuje velké množství knih, publikací a softwaru zabývajících se vlastnostmi DT-DSM. V posledních letech však získává na popularitě opět CT-DSM a díky detailně prozkoumaným DT-DSM se jejich návrh často odvozuje od nich. V následujících podkapitolách jsou popsány základní rozdíly mezi CT-DSM a DT-DSM.

4.1.1 Vzorkování

Hlavním rozdílem modulačního procesu mezi DT-DSM a CT-DSM je, že vzorkování u CT-DSM probíhá uvnitř smyčky, zatímco u DT-DSM již na vstupu, kde je umístěn vzorkovací obvod (obr. 4.1).

Každá chyba tohoto kritického bloku se u DT-DSM přidává ke vstupnímu signálu a následně se tedy objeví i na výstupu. Naopak u CT-DSM jsou všechny neidealitu vznikající během vzorkování potlačeny přenosovou funkcí předcházejících integrátorů a dochází tak k jejich tvarování. Zejména v případech, kdy je požadována velká šířka pásma konverze,



Obr. 4.1: Blokové schéma převodníku a) DT-DSM a b) CT-DSM

je obtížné navrhnout výkonný DT-DSM kvůli vysokým nárokům na rychlý a přesný vzorkovací obvod [55], [56].

Další výhodou posunu vzorkování až za integrátory je, že vstupní signál je na vstupu vzorkovacího obvodu již filtrován. Tím dochází k značnému snížení nároků na antialiasingový filtr, který lze v některých případech zcela vypustit. To může obzvláště u DSM s velkou šířkou pásma a nízkým OSR být jedním z hlavních důvodů, proč pro realizaci zvolit CT-DSM. S pozicí vzorkovacího obvodu také souvisí další problémy DT-DSM, které u CT-DSM odpadají, nebo jsou výrazně potlačeny. Např. kvůli nenulovému odporu spínačů v sepnutém stavu vzniká tepelný šum, který je následně navzorkován na kapacitory a společně se vstupním signálem se propaguje až na výstup DSM.

4.1.2 Realizace integrátorů

Smyčkové filtry v DT-DSM i CT-DSM mohou být buď integrátory nebo v případě DSM typu pásmová propust (tzv. bandpass) rezonátory. Jak již bylo uvedeno v předchozích odstavcích, u DT-DSM jsou realizovány nejčastěji technikou SC a u CT-DSM např. pomocí integrátorů RC nebo $G_m - C$ (viz. kapitola 4.4).

U DT-DSM smyčkové filtry pracují s krátkými pulzy, jejich perioda je daná vzorkovacím kmitočtem f_s , kdy $f_s = 2f_{BW}OSR$. Během této krátké doby musí být obvod schopný přenést náboj mezi vzorkovacím a zpětnovazebním kapacitorem. To klade vysoké nároky na použité operační zesilovače, především na parametry jako jsou rychlost

přechodu (SR), dobu ustálení nebo šířku pásma (GBW), které limitují maximální použitelný vzorkovací kmitočet. Naopak u CT-DSM jsou všechny signály uvnitř jednotlivých integrátorů reprezentovány spojitými analogovými signály, což vede k výraznému snížení nároků na použité operační zesilovače. Díky tomu lze ve stejné technologii při použití CT-DSM několikanásobně (3-5 krát [57]) zvýšit vzorkovací kmitočet.

Problémem u DT-DSM, který může mít výrazný vliv na snížení dosažitelného $SNDR$, je zvlnění v uzlu virtuální země vznikající v době příchodu hodinového pulzu. V tomto okamžiku dochází k přelévání náboje mezi kapacitory a objevují se zde proudové a napěťové špičky. Zvlnění může být také pozorováno na uzlu analogové země z důvodu parazitního odporu cesty, nebo v případě externího napájení odporu v ESD ochranách. U CT-DSM jsou tyto problémy značně potlačeny časově spojitou operací.

I přes zmíněné nedostatky smyčkových filtrů realizovaných technikou SC, mají ve srovnání s filtry realizovanými časově spojitě několik výhod, které souvisí s rozptylem výrobního procesu u IC. Zatímco jmenovitá hodnota součástek (tzn. odporů, kapacitorů atd.) se může měnit až o $\pm 20\%$ (záleží na použité technologii), poměr dvou stejných součástek vyrobených stejnými procesními kroky lze realizovat s přesností přibližně $\pm 0,1\%$. U DT-DSM mají SC filtry přenosovou funkci definovanou poměrem vzorkovacího a zpětnovazebního kapacitoru, tedy součástkami stejného typu a lze tak docílit přenosové funkce s malým rozptylem ($\pm 0,1\%$). V integrátorech u CT-DSM jsou filtry nejčastěji realizovány jako aktivní RC nebo $G_m - C$. Tedy dvěma, resp. jednou rozdílnými součástkami, kdy u každé se může jmenovitá hodnota změnit až o zmíněných $\pm 20\%$. Proto musí být u CT-DSM navrhována NTF a s ní související přenosové koeficienty s větší rezervou, aby v případě odchylky se systém nestal nestabilní (viz. 3.15). Důležitým parametrem je také linearita použitých pasivních a aktivních komponent. Jejich nelinearita se projeví harmonickým zkreslením ve výstupním signálu. Linearita integrátorů realizovaných pomocí techniky SC je asi o řád vyšší než u RC .

4.1.3 Kvantizér a zpětnovazební smyčka

U DT-DSM i CT-DSM chyby kvantizéru podléhají, stejně jako jeho šum, procesu tvarování. Přesto je však při jeho návrhu potřeba zvolit jiný přístup. Kvantizér u DT-DSM pracuje ve dvou fázích ϕ_1 a ϕ_2 , kdy každá fáze trvá polovinu vzorkovací periody ($\phi_1 + \phi_2 = T_S$). Během ϕ_1 je navzorkován vstupní signál a následně během ϕ_2 kvantizér nastaví na výstup $\pm U_{REF}$, který během této fáze integrátory navzorkují. Kvantizér má tedy půl periody vzorkovacího signálu na nastavení odpovídající hodnoty na výstupu. U kvantizéru v CT-DSM je požadavek, aby byl ideálně ihned (tzn. po příchodu ϕ_2), protože spojitě smyčkové filtry pracují s tímto signálem okamžitě. Více o zpoždění ve zpětnovazební smyčce je uvedeno v kapitole 4.3.1.

Srovnání CT-DSM a DT-DSM je shrnuto v tabulce 4.1.

Tab. 4.1: Srovnání výhod CT-DSM a DT-DSM.

Výhody CT-DSM	Výhody DT-DSM
<ul style="list-style-type: none"> - implicitní antialiasingový filtr - tvarováním potlačené chyby vzorkovacího obvodu - možný vyšší vzorkovací kmitočet - nižší nároky na rychlost operačních zesilovačů - nižší citlivost na rušení - kratší čas simulace na tranzistorové úrovni 	<ul style="list-style-type: none"> - nízká citlivost na fázový neklid hodinového signálu - nízká citlivost na zpoždění ve zpětnovazební smyčce - nízká citlivost na tvar signálu z DAC - přesně definovaná přenosová funkce integrátorů - SC integrátor s vysokou linearitou - kratší čas simulace na blokové úrovni - pouze kapacitní zátěž

Mimo uvedené nedokonalosti se v praktických realizacích CT-DSM také projevují nedostatky spojené s DAC jako je omezená rychlost přeběhu nebo různé doby náběžné a sestupné hrany. V případě, že tyto neidealilty nejsou dostatečně nízké, degradují vlastnosti celého CT-DSM.

4.2 Návrh modulátoru delta-sigma se spojitým časem - impulsně invariantní transformace

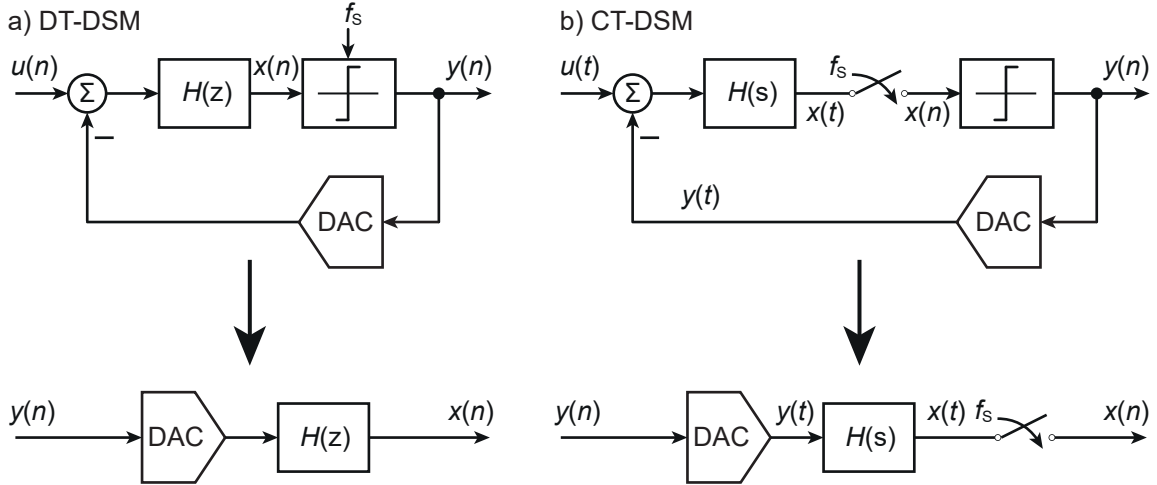
Jak již bylo zmíněno v úvodu kapitoly, existuje mnoho publikací a studií související s DT-DSM. Ty jsou díky tomu detailně prozkoumány. Proto se doporučuje zahájit návrh modulátoru CT-DSM syntézou DT-DSM mající požadované parametry a následně pokračovat v procesu konverze DT-DSM na CT-DSM za účelem získání ekvivalentního modulátoru CT-DSM [58]. Dvě nejpoužívanější metody pro tuto transformaci jsou impulsně invariantní transformace [1], [54] a modifikovaná Z-transformace [59], [60], [61]. Další část kapitoly se věnuje popisu impulsně invariantní transformace.

Princip konverze DT-DSM na CT-DSM pomocí impulsně invariantní transformace je založen na úvaze, že hodinově řízený kvantizér u CT-DSM je časově disktrétní systém společný pro DT-DSM i CT-DSM. Vycházejíce z [59], [62], pokud DT-DSM a CT-DSM (obr. 4.2) v časové analýze produkují stejnou posloupnost výstupních bitů, pak budou vzájemně ekvivalentní a lze tak zaručit, že na výstupu budou mít stejnou sekvenci bitů. Jinými slovy, pokud je zajištěno, že vstupy do obou kvantizátorů ($u(n)$ a $u(t)$) jsou stejné v okamžiku vzorkování, pak oba kvantizátory na výstupu (y_n) nastaví stejnou hodnotu a tedy stejné hodnoty jsou dále kombinovány se stejným vstupním signálem. Dva modulátory jsou tedy ekvivalentní, pokud mají pro stejný vstupní signál stejný signál na vstupu

kvantizátoru v okamžiku vzorkování. Matematicky

$$u(n) \stackrel{!}{=} u(t)|_{t=nT_S}. \quad (4.1)$$

Na obr. 4.2 obvod DAC funguje jako převodník diskrétního signálu y_n na signál spojitý $y(t)$. Tvar pulzu $y(t)$ závisí na převodní funkci DAC označenou jako $R_{DAC}(s)$.



Obr. 4.2: Rozpojení zpětnovazební smyčky a) DT-DSM a b) CT-DSM

Výše popsaná podmínka pro shodnost dvou smyček DSM lze vyjádřit

$$\mathcal{Z}^{-1} \{H(z)\} = \mathcal{L}^{-1} \{R_{DAC}(s)H(s)\} |_{t=nT_S}, \quad (4.2)$$

kde $H(z)$ označuje přenosovou funkci v \mathcal{Z} doméně a $H(s)$ je tomu odpovídající požadovaná spojitá přenosová funkce.

Pro časovou doménu lze rovnici 4.2 přepsat na

$$h(n) = [r_{DAC}(t) * h(t)] |_{t=nT_S} = \int_{-\infty}^{\infty} r_{DAC}(\tau)h(t - \tau) d\tau |_{t=nT_S} \quad (4.3)$$

kde r_{DAC} značí impulzní odezvu DAC (viz. tabulka 4.3), $h(t)$ impulzní odezvu CT smyčkového filtru, $h(n)$ celkovou DT impulzní odezvu smyčky a symbol $*$ značí spojitou konvoluci.

Pomocí výše uvedené transformace lze navrhnout spojitý integrátor $H(s)$ s konkrétní přenosovou funkcí DAC, jehož NTF bude přesně odpovídat funkci NTF DT integrátoru $H(z)$. Níže je uveden názorný příklad návrhu CT-DSM vycházejícího z DT-DSM druhého řádu (obr. 4.3a)). Přenosové koeficienty jsou: $a_1 = a_2 = 0,5$ (zvoleny dle [18]). Přenosová funkce DT integrátoru je

$$H(z) = \frac{C_F}{C_S} \frac{z^{-1}}{1 - z^{-1}} = \frac{a_n z^{-1}}{1 - z^{-1}} = \frac{a_n}{z - 1}, \quad (4.4)$$

kde a_n je přenosový koeficient 1. nebo 2. integrátoru (tzn. a_1 nebo a_2).

Pomocí rozpojení zpětnovazební smyčky podle obr. 4.2 lze pro DT-DSM z obr. 4.3a) psát

$$LF(z) = -a_2 H(z) - a_1 a_1 H^2(z) = -\frac{a_2}{z - 1} - \frac{a_1 a_2}{(z - 1)^2}. \quad (4.5)$$

Tab. 4.2: Póly smyčkových filtrů v \mathcal{Z} -doméně a jejich ekvivalenty v \mathcal{S} -doméně pro obdélníkový tvar pulzu DAC [1]

\mathcal{Z} -doména	Ekvivalentní \mathcal{S} -doména
$\frac{1}{(z - 1)}$	$\frac{\omega_0}{s}, \quad \omega_0 = \frac{f_S}{\beta - \alpha}$
$\frac{1}{(z - 1)^2}$	$\frac{\omega_1 s + \omega_0}{s^2}, \quad \omega_0 = \frac{f_S^2}{\beta - \alpha}, \quad \omega_1 = \frac{1}{2} \frac{f_S (\alpha + \beta - 2)}{\beta - \alpha}$
$\frac{1}{(z - 1)^3}$	$\frac{\omega_2 s^2 + \omega_1 s + \omega_0}{s^3}, \quad \omega_0 = \frac{f_S^3}{\beta - \alpha}, \quad \omega_1 = \frac{1}{2} \frac{f_S^2 (\alpha + \beta - 2)}{\beta - \alpha},$ $\omega_2 = \frac{1}{12} \frac{f_S [\beta (\beta - 9) + \alpha (\alpha - 9) + 4\alpha\beta + 12]}{\beta - \alpha}$
$\frac{1}{(z - 1)^4}$	$\frac{\omega_3 s^3 + \omega_2 s^2 + \omega_1 s + \omega_0}{s^4}, \quad \omega_0 = \frac{f_S^4}{\beta - \alpha}, \quad \omega_1 = \frac{f_S^3 \beta + \alpha - 4}{2} \frac{f_S}{\beta - \alpha},$ $\omega_2 = \frac{f_S^2 (\beta - \alpha)^2 + 2\beta\alpha - 12(\beta + \alpha) + 22}{12} \frac{f_S}{\beta - \alpha},$ $\omega_3 = \frac{1}{12} \frac{\beta^2 (\alpha - 2) + \alpha^2 (\beta - 2) - 8\alpha\beta + 11(\beta + \alpha) - 12}{\beta - \alpha}$

Transformací funkce z rovnice 4.5 v \mathcal{Z} -doméně do \mathcal{S} -domény podle tabulky 4.2 lze získat ekvivalentní CT funkci, tedy

$$LF(s)|_{DT-CT} = -a_2 \frac{f_S}{\beta - \alpha} \frac{1}{s} - a_1 a_2 \frac{\frac{1}{2} \frac{f_S (\alpha + \beta - 2)}{\beta - \alpha} s + \frac{f_S^2}{\beta - \alpha}}{s^2}. \quad (4.6)$$

Použitím NRZ pulzu ($\alpha = 0, \beta = 1$, viz. tab. 4.3) u DAC vede rovnice 4.6 k

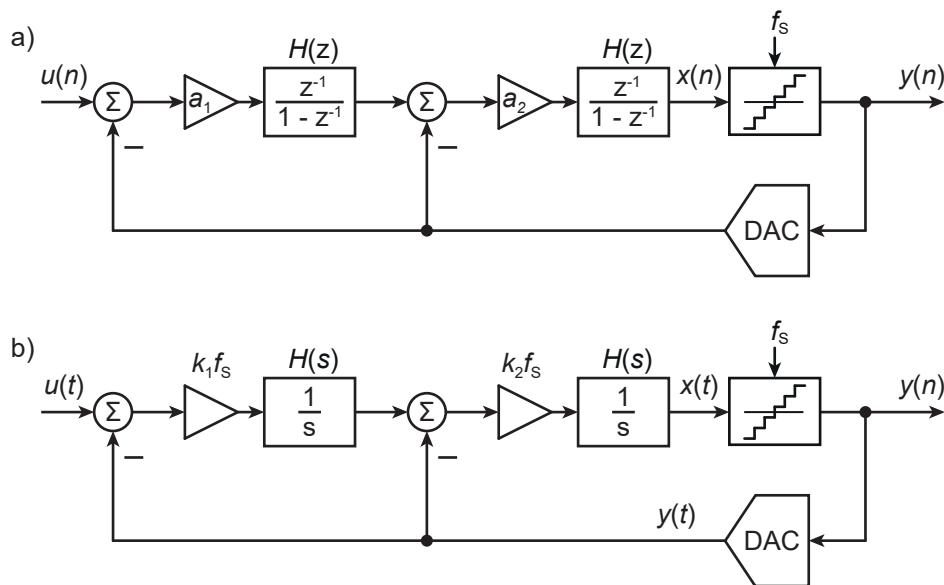
$$LF(s)|_{DT-CT} = - \left(a_2 - \frac{a_1 a_2}{2} \right) \frac{f_S}{s} - a_1 a_2 \frac{f_S^2}{s^2}. \quad (4.7)$$

Z rovnice 4.7 lze již získat přenosové koeficienty CT-DSM k_1 a k_2 , které jsou

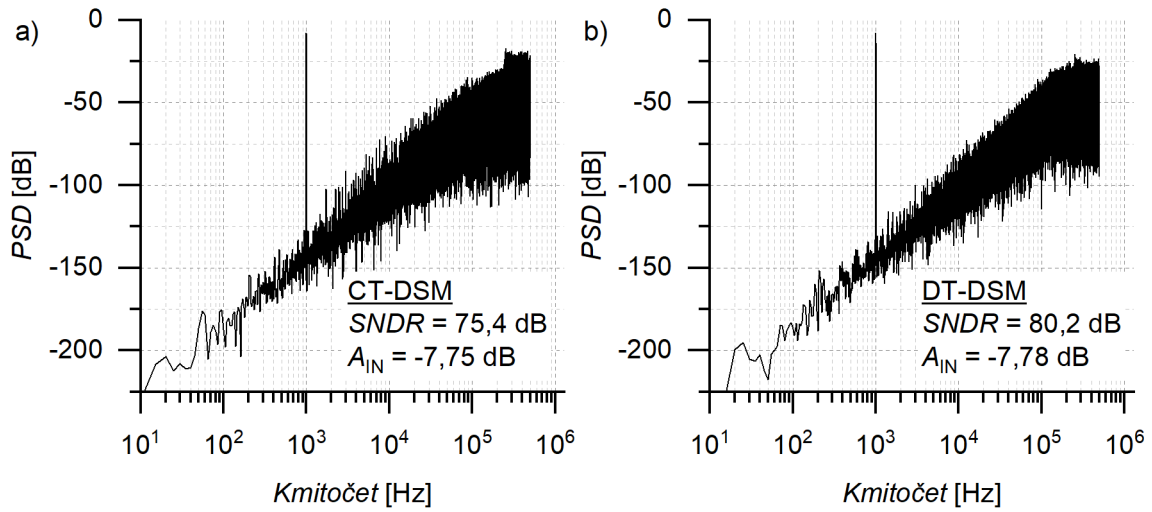
$$k_1 = a_1 a_2, \quad (4.8)$$

$$k_2 = \left(a_2 - \frac{a_1 a_2}{2} \right). \quad (4.9)$$

Správnost výše uvedeného postupu je doložena simulací v MATLAB SIMULINK. Parametry DT-DSM i CT-DSM jsou $f_S = 1$ MHz, $f_{BW} = 5$ kHz, $OSR = 100$ a $n = 1$ (počet bitů kvantizátoru). Pro koeficienty DT-DSM $a_1 = a_2 = 0,5$ lze pro CT-DSM stanovit z rovnic 3.16 a 3.17 koeficienty $k_1 = 0,25$ a $k_2 = 0,375$. Rozložení výkonové spektrální hustoty obou DSM je na obr. 4.4.



Obr. 4.3: Blokové schéma a) DT-DSM 2. řádu a b) odpovídajícího CT-DSM.



Obr. 4.4: Rozložení výkonové spektrální hustoty u a) CT-DSM a) DT-DSM pro amplitudu vstupního signálu 0,5 V.

Porovnáním výsledků z obr. 4.4 je zřejmá shoda mezi DT-DSM a CT-DSM. Stejným postupem lze navrhnout DSM i vyššího řádu.

4.3 Nedokonalosti spojené s DAC

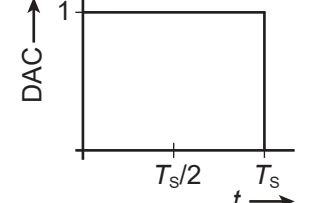
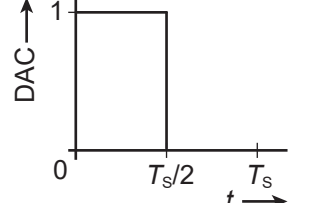
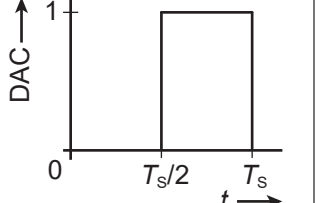
Vzhledem k tomu, že pulzy z DAC jsou nepřetržitě zpracovávány v integrátorech, nelze s nimi zacházet jako s digitálními signály, jako tomu je v případě DT-DSM, kde je důležitá pouze přesnost a doba ustálení, zatímco skutečný tvar zpětnovazebního pulzu neovlivňuje parametry systému. Zpětnovazební pulzy generované DAC mají významný vliv na vlastnosti CT-DSM a to jak jejich tvar tak časové parametry. Mezi běžné typy pulzů DAC implementovaných v CT-DSM patří nevratný k nule (NRZ – non return to zero), vratný k nule (RZ – return to zero) a půl periody zpoždění a návrat k nule (HRZ – half return to zero). Tyto tři pulzy jsou znázorněny v tabulce 4.3. Jejich přenosové funkce jsou

$$R_{NRZ}(s) = \frac{1 - \exp(-T_S s)}{s}, \quad (4.10)$$

$$R_{RZ}(s) = \frac{1 - \exp(-T_S s/2)}{s}, \quad (4.11)$$

$$R_{HRZ}(s) = \frac{\exp(-T_S s/2) - \exp(-T_S s)}{s}. \quad (4.12)$$

Tab. 4.3: Tvary výstupních pulzů DAC

	NRZ	RZ	HRZ
$\alpha; \beta$	0; 1	0; 0,5	0,5; 1
Tvar pulzu			

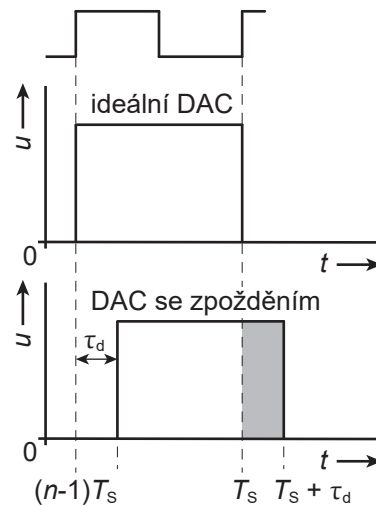
Pulzy NRZ umožňují, aby při každém cyklu byl přenesen větší náboj než u pulzů typu RZ nebo HRZ, což má za následek větší dynamický rozsah vstupního signálu a nižší výkonovou spotřebu DAC, přičemž je zároveň více odolný vůči fázovému neklidu. U implementací RZ a HRZ je třeba vstupní signál zmenšit, aby byla zachována stabilita modulatoru, což má za následek snížení dynamického rozsahu. Výhodou použití pulzů RZ nebo HRZ je však to, že umožňují částečně potlačit některé neidealities týkající se časování u pulzů NRZ. Navíc pulzy typu RZ lze tvarovat, což je užitečné pro snížení šumu vnášeného do systému hodinovým signálem, jak je vysvětleno dále. V této kapitole jsou popsány neidealities spojené s pulzy DAC a hodinového signálu včetně možností jejich potlačení.

4.3.1 Zpoždění ve zpětnovazební smyčce

Kvantizér u CT-DSM je stejně jako u DT-DSM řízený hodinovým signálem. V ideální případě by měl s nástupnou hranou hodinového signálu, na základě vstupních dat, bez prodlení nastavit odpovídající hodnotu na výstup a následně tuto hodnotu okamžitě zpracovat i DAC. Jinými slovy je požadováno nulové zpoždění mezi vstupem kvantizéru a výstupem DAC v okamžiku příchodu hodinového signálu. Vlivem spínacích časů tranzistorů však toto zpoždění nulové není. Navíc v případě vícebitového kvantizéru může vzniknout další zpoždění v obvodu DEM. Toto zpoždění bude v dále v textu označováno jako ELD podle anglického výrazu „excess loop delay“. Na obr. 4.5 je znázorněn ideální ($\alpha = 0$ a $\beta = 1$) a zpožděný ($\alpha = \tau_d$ a $\beta = 1 + \tau_d$) NRZ pulz, kde τ_d reprezentuje ELD.

Jak již bylo ukázáno v kapitole 4.2, při transformaci NTF z DT-DSM na CT-DSM je nutné specifikovat tvar pulzu DAC. Jakákoli odchylka od tohoto tvaru způsobí ELD, což povede k jiné NTF než bylo původně počítáno.

Pro analýzu vlivu ELD je zpožděný pulz NRZ modelován jako součet dvou pulzů – jednoho v aktuální hodinové periodě a druhého v dalším hodinovém cyklu (obr. 4.5). Podle [21], [63] rozložení pulzu do další periody hodinového signálu je ekvivalentní zvýšení řádu modulatoru o jedna. To se následně projeví v lepší schopnosti tvarovat šum, kdy více kvantizačního šumu bude vytlačeno mimo pásmo. Zároveň to však povede ke snížení

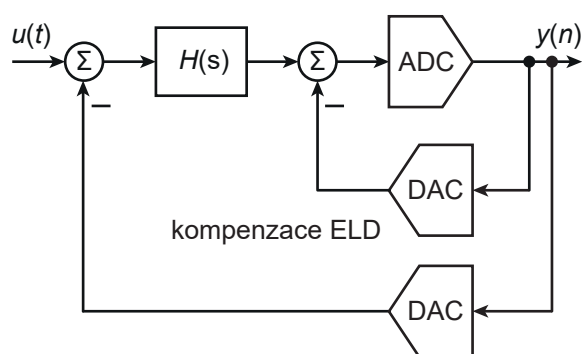


Obr. 4.5: Znázornění zpoždění signálu NRZ.

stability (systém může stát i nestabilní) a klesne maximální možná amplituda vstupního signálu. Ve výsledku tak dosažitelné SNR klesne. Stejný efekt bude také u pulzu HRZ, zatímco u pulzu RZ je citlivost na ELD značně snížena, protože impulz se v polovině T_S vrací do nuly a případné zpoždění (pokud není příliš velké) nebude zasahovat do další periody. Nicméně i při použití pulzu RZ dochází vlivem ELD ke snížení SNR . To je však možné kompenzovat úpravou přenosových koeficientů integrátorů a získat tak požadovanou NTF .

V literatuře je možné nalézt mnoho různých technik pro potlačení ELD [21], [1], [63], [64], [65]. Mezi ty nejběžnější patří:

- použití méně citlivých pulzů (RZ),
- použití méně citlivé struktury CT-DSM jako je např. DT-CT hybridní DSM, kde je poslední integrátor realizovaný jako DT [66], [67], [64], [68],
- použití další zpětné vazby přímo spojené se vstupem kvantizéru, často nazývané cesta nultého řádu, aby se zrušil další koeficient zavedený ELD v NTF (obr. 4.6). Tato technika je však schopna poskytnout kompenzaci pouze do jednoho taktu. Dále má nevýhodu v tom, že je potřeba další DAC a sumační obvod, což má za následek zvýšenou spotřebu energie a větší plochu na čipu. Tento negativní dopad lze potlačit např. použitím techniky spínaných proudů ve zpětné vazbě a následného využít jednoduchého proudového součtu namísto napěťového sumačního obvodu s operačním zesilovačem [64], [69].

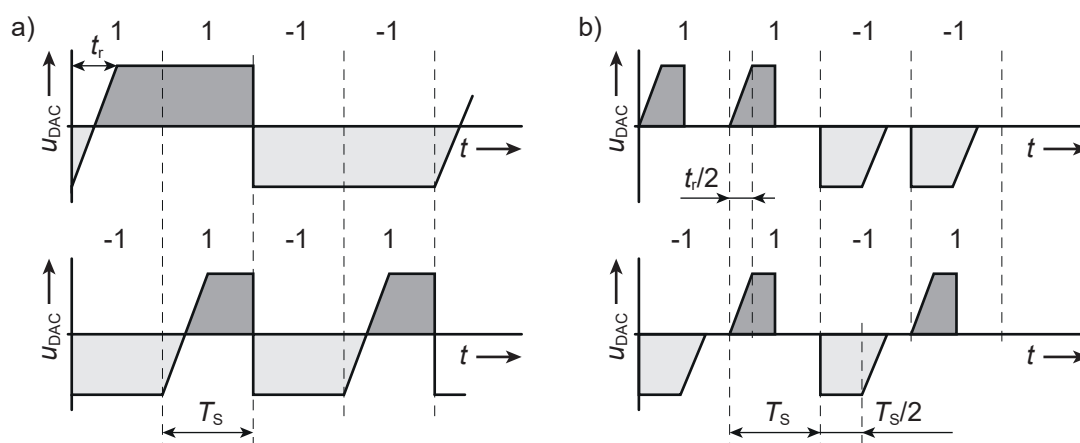


Obr. 4.6: Kompenzace ELD použitím další zpětné vazby.

Vliv ELD lze jednoduše analyzovat v MATLAB SIMULINK zavedením zpožďovacího bloku do zpětnovazební smyčky, popř. využít Toolbox od R. Shreiera, který navíc pro dané zpoždění vypočítá přenosové koeficienty pro kompenzační zpětnou vazbu nultého řádu [21].

4.3.2 Mezisymbolová interference (ISI)

Rozdílná rychlost nástupné a sestupné hrany DAC vytváří dynamickou chybu označovanou jako mezisymbolová interference (ISI - inter-symbol interference). Tato chyba je závislá na zpracovávaném signálu a způsobuje, že se ve výstupním spektru objevují tóny harmonického zkreslení a dochází ke zhoršení parametrů CT-DSM - zejména u těch pracujících s vysokými kmitočty. Na obr. 4.7a) je znázorněn efekt asymetrických časů přechodových hran NRZ pulzů, kdy doba nástupné hrany je limitována (označena jako t_r), zatímco sestupná je uvažována nulová ($t_f = 0$).



Obr. 4.7: Dvě různé sekvence a) NTZ pulzů a b) RZ pulzů.

Na obr. 4.7a) odpovídá vrchní sekvenci stav 1, 1, -1, -1 a spodní -1, 1, -1, 1. Protože v každé sekvenci je stejný počet stavů 1 a -1, měl by být součet ploch pod pulzy 1 a

-1 ideálně také stejný a stejně tím i průměrná hodnota napětí u_{DAC} rovna nule. Avšak to neplatí z důvodu rozdílných časů nástupné/sestupné hrany. Navíc pro oba znázorněné průběhy se jedná o jinou hodnotu. Pro horní signál kladné pulzy trvají dobu

$$T_{1NRZ} = 2T_S - t_r + \frac{t_r}{4} = 2T_S - \frac{3t_r}{4}, \quad (4.13)$$

a záporné pulzy

$$T_{-1NRZ} = 2T_S + \frac{t_r}{4}, \quad (4.14)$$

což vede k celkové disproporcii $\Delta T_{NRZ} = T_{1NRZ} - T_{-1NRZ} = -t_r$.

Stejným výpočtem lze získat hodnotu pro spodní signál, kde je celková disproporce rovna $+2t_r$. Nejen, že zde vzniká výše uvedený nepoměr mezi pulzy 1 a -1, některé z nich přesahují do další periody, ale navíc jeho velikost závisí na posloupnosti pulzů. Mimo problémy spojené s přesahem pulzu do další periody popsané v kapitole 4.3.1 dochází ke zvýšení hladiny šumu a harmonického zkreslení.

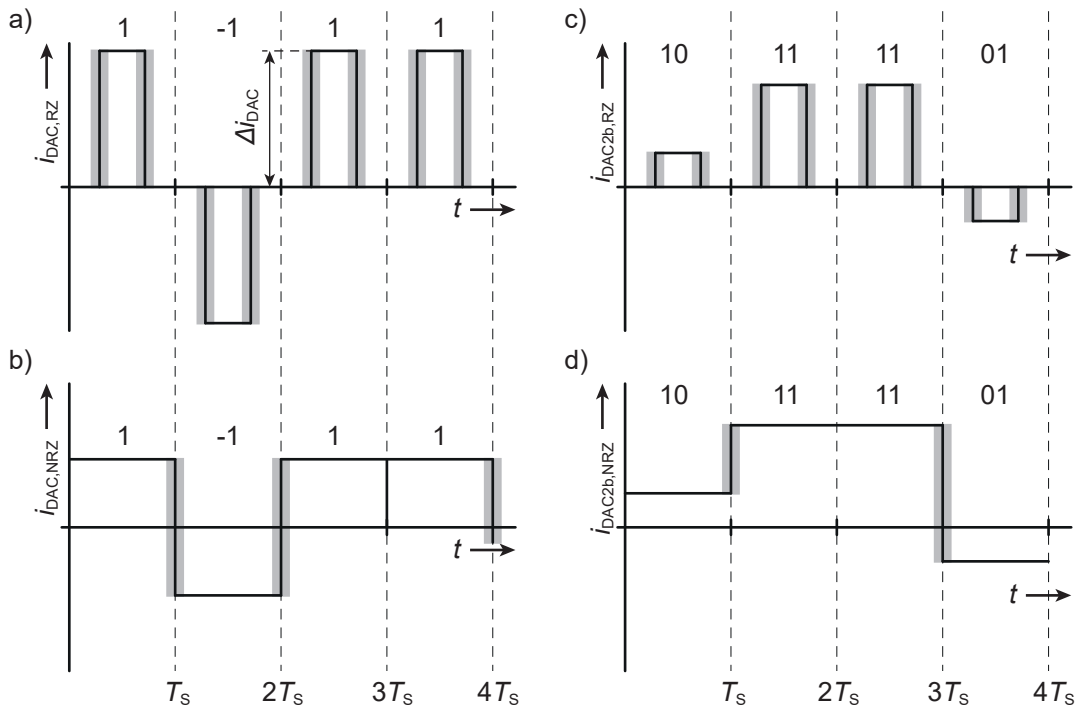
Na obr. 4.7b) je stejná posloupnost bitů realizovaná signály RZ. U nich se pulzy vracejí každou periodu na nulovou úroveň, díky čemuž mají všechny pulzy stejné polarity shodnou velikost. Tím je eliminována závislost na posloupnosti pulzů. Disproporce mezi pulzy -1 a 1 však zůstává a projeví se jako neshodnost koeficientů (chyba zisku) [70]. Stejných výhod lze dosáhnout pomocí HRZ pulzů. Jinou možností nedostatků spojených s ISI je použití plně diferenční struktury.

$$\tau \leq \frac{4T_S \sqrt{OSR}}{SNR}. \quad (4.15)$$

Pomocí vztahu 4.15 lze určit maximální povolenou velikost časové nesymetrie mezi náběžnou a sestupnou hranou pro požadované SNR [1].

4.3.3 Fázový neklid hodinového signálu (clock jitter)

V IC se u hodinových signálů, které jsou nejčastěji generovány pomocí fázového závěsu (PLL) nebo napětím řízeného oscilátoru (VCO), objevují problémy spojené s fázovým neklidem (jitter), což je náhodná změna polohy hran hodinového pulzu, způsobená např. vlivem tepelného šumu, šumu zdroje apod. Projevuje se rozdílným trváním jednotlivých vzorkovacích period. To má za následek rozdílné množství přeneseného náboje do integrátorů. Na obr. 4.8a)b) jsou znázorněny NRZ a RZ pulzy s fázovým neklidem. Oblast rozptylu hran signálu je zobrazena šedou plochou.



Obr. 4.8: Sekvence (1, -1, 1, 1) a) RZ a b) NRZ pulzů a sekvence (10, 11, 11, 01) c) RZ a d) NRZ pulzů u dvoubitového DAC.

Rozptýl hran pulzů NRZ nastává pouze při změně stavu, čímž vzniká závislost tohoto efektu na posloupnosti pulzů, která se projeví harmonickým zkreslením. Navíc, stejně jako u ISI i zde tak vznikají problémy spojené s přesahem pulzu do další periody. U pulzů RZ je četnost přechodových dějů konstantní, nezávislá na posloupnosti bitů a má náhodný charakter. Nicméně během periody je ve srovnání s NRZ pulzy přenesena pouze polovina náboje (při střídě 1:1), proto pro přenos stejného náboje musí být dvojnásobně zvýšena amplituda pulzu. Dvojnásobná amplituda a dva přechodové děje během periody však zvýší šumový výkon čtyřnásobně (o 6 dB). Pro případ NRZ pulzů lze pro chybu náboje psát

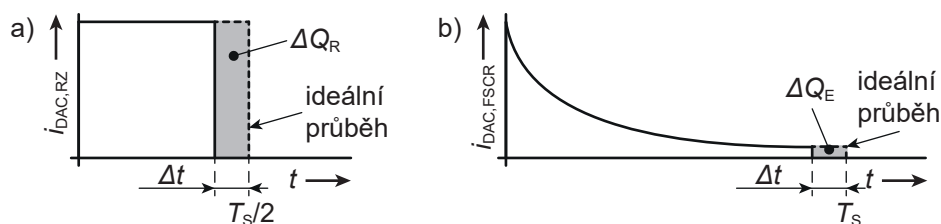
$$\Delta Q = \Delta I_{DAC} \Delta t = \pm k \frac{I_{FS}}{2^B} \Delta t, \quad (4.16)$$

kde I_{FS} značí maximální rozsah proudu DAC, B je rozlišení kvantizéru, δt časová odchylka od výchozí hodnoty a k značí o kolik LSB se změnila úroveň výstupu DAC. Z této rovnice vyplývá, že multibitové DSM jsou méně náchylné na fázový neklid.

Ačkoli pulzy NRZ dosahují lepších výsledků než pulzy RZ u jednobitových i vícebitových kvantizátorů, není možné je tvarovat. Potlačit vliv fázového neklidu na parametry DSM je tak možno jen zvýšením kvality hodinového signálu, což znamená vyšší nároky na přesnost generátoru hodinového signálu. Naopak pulzy RZ umožňují tvarování a mohou

být ve výsledku vhodnějším řešením.

Na obr. 4.9.a) je znázorněn obdélníkový tvar pulzu s vyznačením náboje, který se vlivem zkrácení pulzy ztratí. Na obr. 4.9b) je ukázán stejný efekt se shodným časovým úsekem pro signál s exponenciálně klesajícím průběhem. Je patrné, že na obr. 4.9b) dochází k výrazně menší ztrátě náboje. Aby během jedné periody byl přenesen stejný náboj jako v případě obdélníkového, je však potřeba dosáhnout velkého špičkového proudu.



Obr. 4.9: Průběhy na výstupu DAC s vyznačenou oblastí ztráty náboje pro a) obdélníkový a b) SCR pulz.

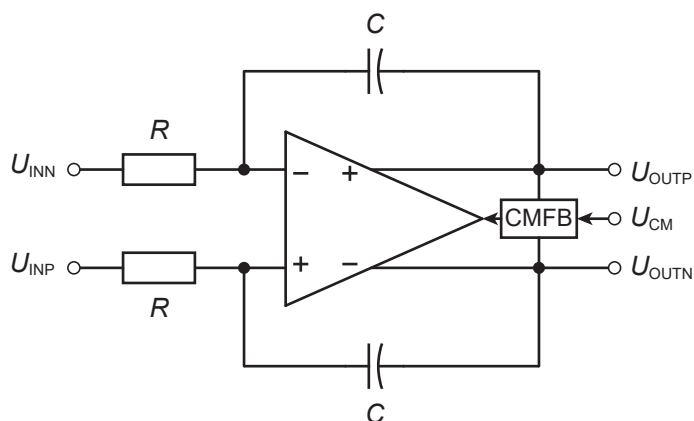
V CT-DSM se používá několik druhů pulzů s exponenciálním poklesem lišících se od sebe tvarem. Jejich zkratky jsou odvozeny od obvodové realizace takového pulzu. Jsou to: SCR (spínaný kapacitor - rezistor), SCVR (spínaný kapacitor-proměnný rezistor), DSCR (dvojitý spínaný kapacitor - rezistor) nebo FSCR (celá perioda signálu - spínaný kapacitor - rezistor) [71].

4.4 Typy integrátorů

Na rozdíl od DT-DSM, kde jsou integrátory řešeny technikou SC, u CT-DSM existuje několik rozdílných typů, které mají svoje výhody a nevýhody. U CT-DSM jsou, stejně jako u DT-DSM, kladeny největší nároky na první integrátor, jehož chyby (např. linearita) dominují, zatímco s dalšími integrátory nároky na jejich parametry klesají. Proto se často přistupuje ke smíšené realizaci integrátorů, kdy ten první je řešen jako RC , který má nejlepší linearitu a následující pak jako $G_m - C$ mající zpravidla nižší spotřebu a menší plochu. Možná řešení integrátorů v CT-DSM včetně jejich výhod a nevýhod jsou prezentována v této kapitole.

4.4.1 Aktivní integrátory RC

Aktivní integrátory RC se řadí mezi nepoužívanější typ integrátoru v CT-DSM a to díky své jednoduchosti, vysoké linearitě (jsou-li v navrhované technologii dostupné vysoce lineární rezistory), menší citlivosti na parazitní vlastnosti nebo vhodnosti pro obvody pracující s nízkým napájecím napětím.

Obr. 4.10: Schéma plně diferenčního integrátoru RC .

Ideální přenosová funkce RC integrátoru je

$$H(s) = k_n \frac{f_S}{s} = \frac{1}{sRC}, \quad (4.17)$$

kde k_n značí přenosový koeficient integrátoru a f_S je vzorkovací kmitočet.

Za předpokladu, že má operační zesilovač vysoké zesílení, uzly na jeho vstupech tvoří virtuální zem (V_{CM}). Vstupní rezistory R pak provádí převod napětí na proud, kdy linearita tohoto převodu závisí na parametrech R je dominantní pro celkovou linearitu integrátoru stejně jako velikost zisku operačního zesilovače. Vlivem jeho konečného zesílení není napětí na uzlech virtuální země konstantní, ale kolísá. Další zdroje zkreslení vznikají díky nelineární přenosové charakteristice operačního zesilovače nebo vlivem napěťové závislosti kapacitoru.

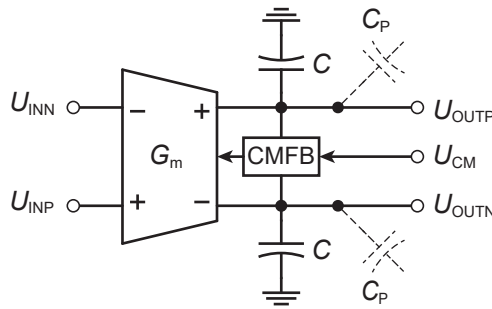
Lepších výsledků lze dosáhnout zvýšením plochy rezistorů nebo zvýšením zesílení operačního zesilovače. V případě plně diferenčního zapojení se s větší plochou rezistorů zlepšuje jejich souběh, kdy jeho případné neshodnosti se promítnou sudými harmonickými složkami ve výstupním spektru.

Návrh integrátoru vychází ze stanovených přenosových koeficientů k_1, k_2, \dots, k_n a použitého vzorkovacího kmitočtu f_S 4.2. Z nich lze pomocí rovnice (nahore) vypočítat požadovanou časovou konstantu RC , kdy rozložení této hodnoty mezi R a C může ovlivnit další parametry jako je spotřeba, plocha čipu nebo např. velikost šumu. Při volbě dílčích hodnot je také třeba brát v úvahu souběh mezi R a souběh mezi C , který lze ovlivnit velikostí plochy. Zatímco u kapacitorů je plocha přímo úměrná velikosti kapacity (typicky nižší jednotky $\text{fF}/\mu\text{m}^2$ u MIM kapacitorů) tak u odporů lze stejnou velikost v Ω realizovat pomocí různě velkých ploch, kdy celkový odpor závisí na počtu čtverců a jeho hodnota je typicky $1\text{-}2 \text{ k}\Omega/\square$). Pro minimalizaci spotřeby je vhodnější volit větší hodnoty R . Maximální velikost R je pak ovlivněna velikostí jeho tepelného šumu.

Jak již bylo zmíněno v úvodu kapitoly 4.1.2, vlivem velké rozptylu jmenovité hodnoty R i C dochází ke změně koeficientů k_1, k_2, \dots, k_n a tedy změně NTF a může to vést až k nestabilitě systému. Z toho důvodu je nutné buď volit NTF s dostatečnou rezervou nebo ladit koeficienty změnou časové konstanty RC . To je možné buď trimováním nebo vytvořením přepínatelné sítě odporů nebo kapacitorů [68], což s sebou přináší větší komplexnost obvodu.

4.4.2 Integrátory $G_m - C$

Integrátor $G_m - C$ se skládá s transkonduktančního zesilovače (OTA) a kapacitoru (obr. 4.11). Vstupní napětí je převedeno přes G_m OTA na proud $i = G_m(U_{INP} - U_{INN}) = G_m U_{IN}$, který pak nabíjí/vybíjí kapacitor. Velikost proudu tak určuje G_m , zatímco u RC integrátoru to byla velikost odporu.



Obr. 4.11: Schéma integrátoru $G_m - C$ s vyznačenými parazitními kapacitami.

Ideální přenosová funkce integrátoru $G_m - C$ je

$$H(s) = k_n \frac{f_s}{s} = \frac{G_m}{sC}. \quad (4.18)$$

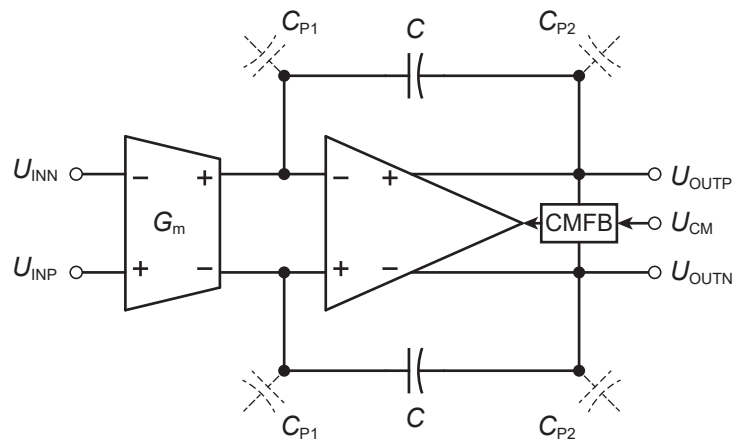
Integrátory $G_m - C$ mají ve srovnání s integrátory RC několik značných výhod. Jsou například snadno laditelné. Zatímco u integrátorů RC bylo možné přeladovat přenosovou funkci jen za cenu značného zvýšení komplexnosti obvodu, u $G_m - C$ lze za tímto účelem např. nahradit degenerační odpory v diferenčním páru řízenými tranzistory MOS pracujícími v triodovém režimu [72]. Ve srovnání s integrátory RC nemají uzavřenou zpětnou vazbu, a proto dosahují vysoké stability. Další výhodou je nižší spotřeba a plocha na čipu.

Na rozdíl od operačního zesilovače v integrátoru RC , který držel na svých vstupech napětí virtuální země, u OTA se na vstupu mění napětí v celém vstupním rozsahu CT-DSM (pokud se jedná o první integrátor). Realizace takového vstupu (dvojitý diferenční pár NMOS-PMOS nebo tranzistory řízené přes elektrodu bulk) zvyšují komplexnost obvodu. Pro maximální výstupní rozsah jsou navrhovány výstupní zdroje proudu s velkým poměrem W/L , což s sebou přináší větší proudový šum. Další nevýhodou je citlivost na

parazitní kapacity C_P , které mají přímý vliv na změnu časové konstanty integrátoru. Dalším, neméně podstatným problémem, je rozsah a linearita G_m [73], [74], [75]. Jak již bylo zmíněno a jak také je patrné z tabulky 4.5, často jsou CT-DSM realizovány pomocí kombinace dvou typů integrátorů, kdy jako první je použit integrátor RC s vysokou linearitou a maximálním vstupním rozsahem a za ním následují integrátory $G_m - C$, u nichž již nejsou požadavky na linearitu a rozsah tak přísné.

4.4.3 Aktivní integrátory $G_m - C$

Možným řešením některých nevýhod integrátorů $G_m - C$ prezentovaných v předchozí kapitole 4.4.2 je použití tzv. aktivního $G_m - C$ integrátoru (obr. 4.12). V porovnání s obvodem na obr. 4.11 je na výstup doplněn operační zesilovač. Zatímco přenosová funkce zůstává stejná (rovnice 4.11), toto řešení přináší několik výhod.



Obr. 4.12: Schéma aktivního integrátoru $G_m - C$ s vyznačenými parazitními kapacitami.

Tou nejzásadnější výhodou je držení potenciálu analogové země (U_{CM}) na výstupu obvodu $G_m - C$, čímž již dále není potřeba jej mít s maximálním výstupním rozsahem. To je výhodné obzvlášť u systémů s nízkým napájecím napětím. Také vliv parazitních kapacit je potlačen. Parazitní kapacita C_{P1} je připojena nyní do uzlu virtuální země a tak na ní dochází pouze k malým změnám napětí (ideálně nulovým). Parazitní kapacita C_{P2} , připojená k výstupu operačního zesilovače, je pak řízena nikoliv obvodem $G_m - C$ ale operačním zesilovačem. Vlivem parazitních kapacit zde tedy nedochází ke změně integrační časové konstanty. V případě, že je další integrátor řešený opět jako $G_m - C$ nebo aktivní $G_m - C$, má operační zesilovač pouze kapacitní zátěž, což umožňuje použít jednodušší strukturu než v případě operačního zesilovače u aktivního integrátoru RC (obr. 4.10) s kapacitní i odporovou zátěží. Některé nevýhody jako je omezená linearita G_m závislá na vstupním napětí však přetrvávají a jsou určující pro celkové rozlišení CT-DSM. Přidaný operační zesilovač také zvyšuje spotřebu a plochu integrátoru.

4.4.4 Porovnání vlastností integrátorů

Z výše uvedeného popisu je zřejmé, že každá ze struktur integrátoru má některé důležité výhody týkající se kmitočtového rozsahu, laditelnosti integrační konstanty, vlivu nesouběhu atd. Přehledné porovnání základních parametrů je v tabulce 4.4.

Tab. 4.4: Vlastnosti vybraných CT integrátorů [2]

Parametr	Aktivní RC	$G_m - C$	Aktivní $G_m - C$
Kmitočtový rozsah	+++	++++	+++
Laditelnost	+	+++	+++
Citlivost na souběh	++	+++	++
Linearita	++++	+	+++
Dynamický rozsah	+++	++	+
Spotřeba	++	+++	+
Vhodnost pro nízké napájení	+++	+	++

Počet symbolů „+“ označuje vhodnost pro dosažení nejlepších vlastností daného parametru.

4.5 Publikované práce

V tabulce 4.5 jsou uvedeny publikované CT-DSM z databáze IEEE. Ty se v posledních letech dostávají do popředí a jejich četnost značně převažuje nad DT-DSM. Jak již bylo zmíněno v této kapitole, u CT-DSM jsou nároky na rychlost dílčích analogových bloků, jako jsou např. operační zesilovače, $G_m - C$ apod., ve srovnání s DT-DSM méně náročné. To lze také vyčíst z tabulky, kde se vzorkovací kmitočet pohybuje běžně ve stovkách MHz, někde dokonce v jednotkách GHz s šířkou zpracovávaného pásma v řádu až desítek MHz. V převážné části publikací jsou využívány integrátory RC , popř. první integrátor RC a další $G_m - C$. V jednom případě se jedná o hybrid CT-DT struktury MASH, kdy kvantizační šum první smyčky je zpracováván v druhé smyčce s integrátorem SC [68]. U šesti z uvedených CT-DSM použili autoři kompenzaci rozptylu jmenovitých hodnot součástek pomocí programovatelné matice C [68], [76], [77], [78], [79], [80], matice R [81], [82] nebo pomocí přeladování G_m napětím připojeným na hradlo tranzistoru MOS plnícího funkci degeneračního odporu v OTA.

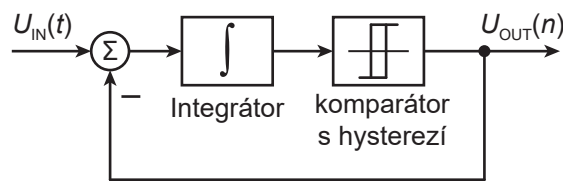
Tab. 4.5: Přehled publikací z oblasti CT-DSM

Rok	V_{DD} [V]	Techn. [nm]	Plocha [μm^2]	Struktura*1	Integrátory	f_s [MHz]	f_{BW} [MHz]	OSR	SNDR [dB]	P_W [mW]	FOM_1 [pJ/krok]	FOM_2 [dB]
2007 [83]	2,5	240	1,25	5(1)	RC, $G_m - C$	128	2	32	72	8	0,615	156
2012 [76]	1,2	65	0,08	3(3)	RC	288	9	16	69	7,5	0,181	159,8
2012 [77]	1,2	90	0,23	3(4)	RC	500	25	10	67,5	8,5	0,088	162,2
2013 [84]	0,8	65	0,08	2(4)	RC	16	0,5	16	65	0,076	0,052	163,2
2013 [85]	1,5	28	0,08	4(9L)	RC	640	18	17,8	73,6	3,9	0,028	170,2
2013 [86]	-	180	-	5(4)	$G_m - C$	640	10	32	70	60	1,161	152,2
2014 [68]	1,8	180	-	2(3)-1(3)	RC, SC	20	0,5	20	87	34	1,858	158,7
2015 [87]	1,1	65	0,6	4(5)	$G_m - C$	3,072	0,024	64	85	0,121	0,173	198
2015 [78]	1,2	130	0,09	3(9L)	RC	640	20	16	66,4	0,005	0,075	192,3
2015 [81]	0,3	130	0,125	4(1)	RC	6,4	0,05	64	75,9	0,03	0,058	168,2
2015 [88]	1,5	28	0,34	3(15L)-1(7L)	RC, $G_m - C$	1800	50	18	74,6	78	0,178	192,7
2016 [89]	-	65	0,055	3(3)	RC, $G_m - C$	1000	20	25	72,4	6,8	0,05	167,1
2016 [90]	2,3	180	4,1	3(4)	$G_m - C$	640	10	32	74,9	70	0,77	156,4
2016 [79]	1,8	65	0,16	4(4)	RC	900	45	10	75,3	24,7	0,058	167,9
2017 [91]	1,2	65	0,27	3(1)	RC	8	0,02	200	88,5	0,055	0,063	174,1
2017 [92]	1,8	65	0,033	3(4)	RC	460	10	23	79,6	5,35	0,034	172,3
2018 [93]	1,5	180	-	3(1)	$G_m - C$	25,6	0,1	128	73,4	0,22	0,288	160
2019 [94]	1,2	65	0,16	3(5L)	$G_m - C$	8	0,1	40	78,8	0,023	0,016	175,2
2020 [95]	1,2	65	-	4(4)	RC	160	2	40	86,3	2,9	0,043	174,7
2020 [96]	1	110	0,078	2(4)	$G_m - C$	1,28	0,01	64	80,4	0,007	0,038	172,3
2020 [82]	1,2	65	0,4	4(1)	RC	3,072	0,02	76,8	102	0,37	0,09	179,3
2020 [80]	1,5	28	0,019	4(6)	RC	2000	100	10	170,1	16,3	0,023	268

*1 Struktura je zadávána ve formátu: řád (rozdílení kvantizátoru v bitech nebo L - počet úrovní), za pomčkou jsou uvedeny případné další smyčky (u MASH).

5 Asynchronní modulátory delta-sigma

V předchozích kapitolách popsané DT-DSM a CT-DSM se od sebe lišily realizací integrátorů a s tím souvisejícími vlastnostmi, nicméně v obou případech se jedná o synchronní modulátory. V posledních letech získává na atraktivitě dlouho zapomenutý plně asynchronní DSM (dále ADSM) původně vynalezen a publikován v roce 1975 C. J. Kikkertem a D. J. Millerem [14]. Tento modulátor má několik výjimečných vlastností, které jej dělají vhodným pro použití v aplikacích pracujících s vysokým kmitočtem nebo s velmi nízkou spotřebou. Obvod ADSM prvního řádu je zobrazen na obr. 5.1.



Obr. 5.1: Schéma ADSM 1. řádu.

Obvod se skládá z integrátoru a komparátoru s hysterezí. Výstupem je obdélníkový signál, jehož šířka pulzu (T_{PW}) a kmitočet ($f_N = 1/T_{PER}$) závisí na amplitudě vstupního signálu, podle vztahu

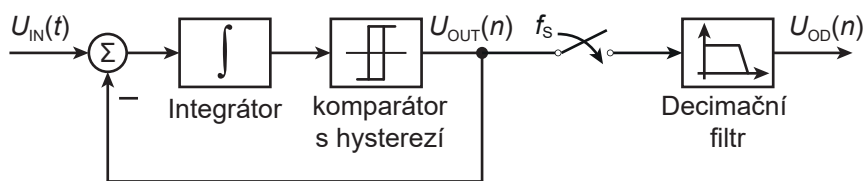
$$D = \frac{T_{PW}}{T_{PER}} = \frac{1 + u}{2}, \quad (5.1)$$

$$\frac{f_C}{f_0} = 1 - u^2, \quad |u| < 1, \quad (5.2)$$

kde u vyjadřuje poměr mezi aktuální a maximální amplitudou vstupního signálu ($u = u_{in}/U_{max}$), f_C je kmitočet limitního cyklu ADSM a f_0 je maximální hodnota kmitočtu f_C .

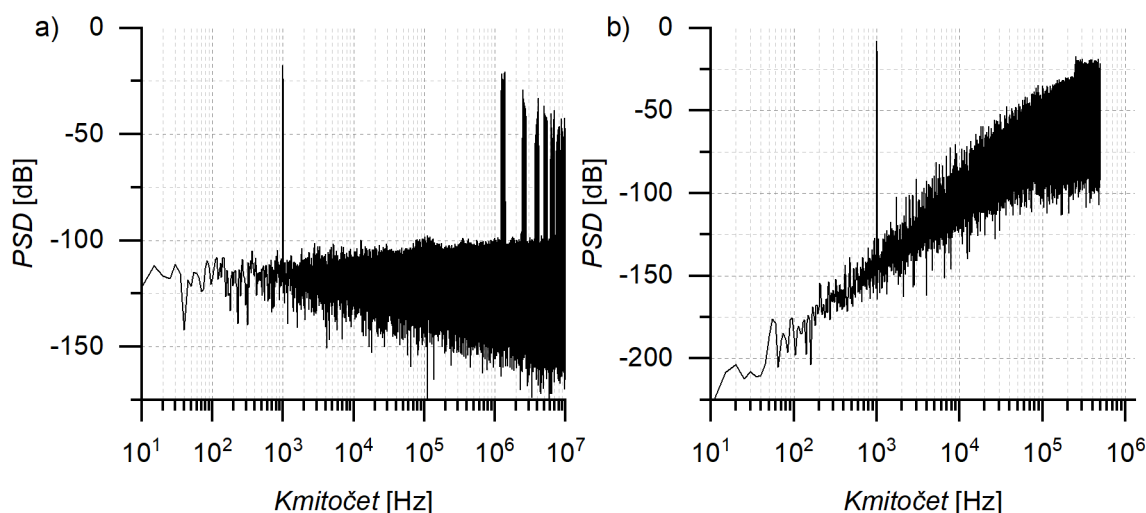
Tato transformace z amplitudy na čas nepoužívá externí hodinový signál jako v případě DT-DSM nebo CT-DSM, kdy každou periodu hodinového signálu je vstupní signál kvantizéru reprezentovaný určitou diskrétní hodnotou a tím zavádí do obvodu kvantizační šum. Místo toho kvantizér reaguje na vstupní signál v momentě, kdy dosáhne jeho prahové úrovně. Proto není do systému zaveden žádný kvantizační šum.

Převod amplitudy na čas může být pomocí ADSM realizován velmi přesně, ale asynchronní výstup není vhodný pro další digitální zpracování bez nějakého vzorkování. Jedním z možných řešení je použití vzorkovacího obvodu umístěného na výstupu ADSM následovaný decimálním filtrem, jak ukazuje obr. 5.2.



Obr. 5.2: Schéma ADSM včetně zpracování výstupního asynchronního signálu.

Pokud při tomto vzorkování má být asynchronní výstup ADSM, resp. jeho nástupné a sestupné hrany přesně zachyceny, je nutné použít dostatečně krátké periody vzorkovacího signálu. Tímto vzorkováním vzniká kvantizační šum, a protože je vzorkování umístěno mimo smyčku ADSM, nepodléhá tvarování šumu jako tomu bylo u DT-DSM a CT-DSM. To vede k nutnosti použít extrémně vysoké vzorkovací kmitočty f_s . Porovnání výstupní spektra CT-DSM a ADSM druhého řádu je ukázáno na obr. 5.3 a v tabulce 5.1 jsou pak tyto dva typy modulátorů porovnány.



Obr. 5.3: Porovnání charakteristik rozložení výkonové spektrální hustoty šumu u a) ADSM a b) CT-DSM 2.řádu.

Z obr. 5.3 je u ADSM patrná absence tvarování šumu. Podobně jako u synchronních DSM existuje parametr OSR , tak u ADSM definuje poměr mezi užitečným pásmem (f_{BW}) a maximálním kmitočtem limitního cyklu (f_0) parametr označovaný jako CBR (carrier to bandwidth ratio), pro který platí

$$CBR = \frac{f_0}{2f_{BW}}. \quad (5.3)$$

Hodnota CBR není na rozdíl od OSR konstantní, ale klesá s rostoucím vstupním signálem. Největší hodnoty nabývá při nulovém vstupním signálu, kdy je jeho střída 1:1.

Tab. 5.1: Srovnání výhod a nevýhod ADSM a CT-DSM

	ADSM	Výhody CT-DSM
Společné	<ul style="list-style-type: none"> - implicitní antialiasingový filtr - nižší nároky na rychlost operačních zesilovačů - nízká spotřeba u aplikací pracujících s vysokým kmitočtem - kratší čas simulace na tranzistorové úrovni 	
Výhody	<ul style="list-style-type: none"> - jednoduchý obvod (1. řád) - neobsahuje hodinový signál 	<ul style="list-style-type: none"> - tvarování šumu
Nevýhody	<ul style="list-style-type: none"> - absence tvarování šumu - složitý dekódovací obvod - nutnost vysokého kmitočtu limitního cyklu 	<ul style="list-style-type: none"> - citlivost na fázový neklid, - vliv zpoždění DAC - komplexní obvod

Tato hodnota je označována jako f_0 (limit cycle frequency) – viz. rovnice 5.2. U nulového vstupního signálu obsahuje výstupní spektrum jeden tón na kmitočtu limitního cyklu f_0 a liché vyšší harmonické. Pokud však je připojen sinusový vstupní signál, postranní složky, jejichž velikost je daná hodnotami Besselových funkcí, se objevují kolem f_0 [97]. Proto musí být f_0 dostatečně vysoké, aby se jeho postranní složky nedostaly do užitečného pásma a nesnižovaly tak $SNDR$. V [98] bylo odvozeno, že nejbližší postranní složka oscilačního kmitočtu ADSM k užitečnému pásmu je na kmitočtu

$$f_0 \left(1 - \frac{u^2}{2}\right). \quad (5.4)$$

Z výše uvedené rovnice vyplývá, že pro maximální vstupní amplitudu musí být kmitočet limitního cyklu alespoň dvakrát větší než požadovaná užitečná šířka pásma.

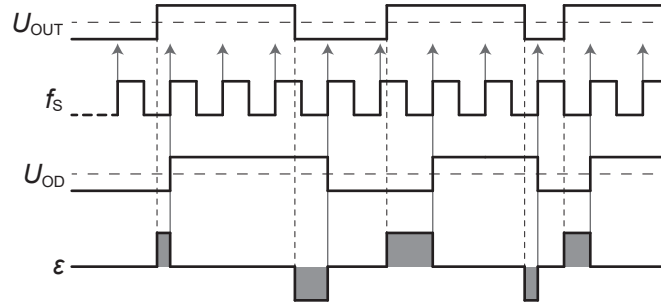
5.1 Kvantizační šum

Jak již bylo zmíněno v předchozích odstavcích, v samotném ADSM se kvantizační šum nevyskytuje, avšak následné vzorkování asynchronního výstupu z ADSM lze pohlížet jako na kvantizační šum. Vznik tohoto šumu je graficky znázorněn na obr. 5.4.

Aby bylo možné spočítat velikost kvantizačního šumu, je nejdříve potřeba určit výkonové spektrum chybového signálu, které bude dále označeno jako $E(f)$. Je obtížné udělat přesnou analýzu, která však není potřeba, a proto je možné přistoupit ke níže zmíněným zjednodušením [99]:

- plocha A odpovídající chybovým pulzům má náhodný charakter a je rovnoměrně rozdělena mezi 0 až $2T_S$. Tím je zabráněno korelaci mezi vzorkovacím kmitočtem f_S a kmitočtem limitního cyklu f_C (signál z ADSM),

- přesný tvar chybových pulzů není důležitý, důležitá je pouze jejich plocha. Toto zjednodušení je opodstatněné v případech, pokud je šířka užitečného pásma (f_{BW}) ve srovnání s průměrnou rychlostí opakování chybových pulzů malá. Jak je vidět na obr. 5.4, chybovým signálem je sled impulzů se střídavou polaritou. Protože tvar pulzu není podstatný, lze dva po sobě následující pulzy zkombinovat do jednoho, jehož plocha je rovnoměrně rozdělena mezi $-2T_S$ a $2T_S$.



Obr. 5.4: Vzorkování asynchronního signálu z výstupu ADSM.

Na základě výše uvedených předpokladů může být chybový signál $\epsilon(t)$ popsán jako

$$\epsilon(t) = \sum_{n=-\infty}^{+\infty} A_n \delta(t - nT_0), \quad (5.5)$$

kde

$$-2T_S \leq A_n \leq 2T_S \quad \text{a} \quad T_0 = 2\pi f_0. \quad (5.6)$$

Podle [100] lze pro jednostranné spektrum psát

$$E(f) = 2f_0 \bar{A}_n^2, \quad (5.7)$$

kde

$$\bar{A}_n^2 = \frac{1}{3} 4T_S^2. \quad (5.8)$$

Celkový šum v užitečném pásmu (f_{BW}) je dán

$$P_N = \frac{8}{3} f_0 T_S^2 f_{BW}. \quad (5.9)$$

Výkon harmonického signálu s amplitudou vztaženou k maximální hodnotě podle $u = u_{in}/u_{max}$ je

$$P_S = \left(\frac{u}{\sqrt{2}} \right)^2. \quad (5.10)$$

Následně lze vyjádřit SNR

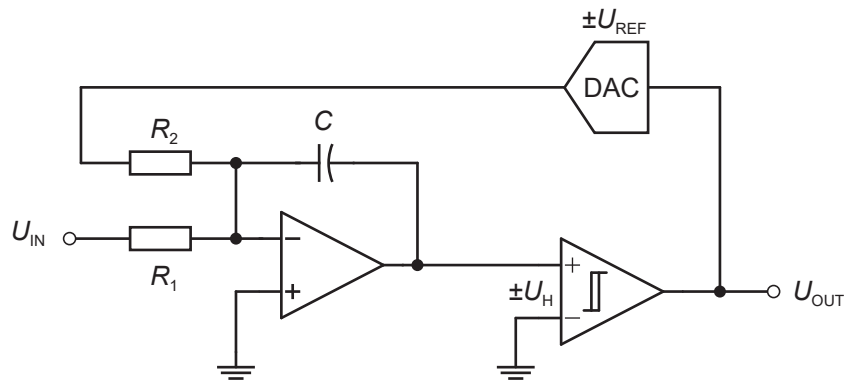
$$SNR = 10 \log \left(\frac{P_S}{P_N} \right) = 10 \log \left(\frac{3}{16} \frac{T_0}{f_{BW} T_S^2} u^2 \right). \quad (5.11)$$

Maximální SNR teoreticky nastává při $u = 1$. Z této rovnice vyplývá, že vyšší SNR lze dosáhnout zvýšením kmitočtu limitního cyklu ADSM nebo především kratší periodou vzorkování f_S . Možnosti obou variant jsou diskutovány v následujících kapitolách 5.2 a 5.3.

5.2 Kmitočet limitního cyklu

Jak již bylo zmíněno na začátku této kapitoly, kmitočet limitního cyklu je důležitý parametr ovlivňující výsledné SNR modulátoru. Jak ho lze stanovit a ovlivnit popisuje tato kapitola. Detailnější matematické odvození pak následuje v kapitole 6, kde jsou ukázány dva konkrétní návrhy ADSM s různou strukturou.

Integrátory používané v ADSM jsou shodné s těmi prezentovanými u CT-DSM v kapitole 4.4. V této kapitole bude uvažováno základní zapojení ADSM 1. řádu s integrátory RC . Schéma tohoto obvodu je na obr. 5.5.



Obr. 5.5: Schéma ADSM 1. řádu s integrátory RC .

Obvod se skládá z integrátoru se dvěma vstupy, komparátoru s hysterezí s prahovými úrovněmi $\pm U_{TH}$ a jednobitového DAC. Z rovnice 5.11 lze pro známou šířku pásma a předpokládaný vzorkovací kmitočet stanovit kmitočet limitních cyklů ADSM (f_C). Jeho perioda T_C je definována jako

$$T_N = T_1 + T_2, \quad (5.12)$$

kde T_1 značí logickou úroveň 1 a T_2 logickou úroveň 0 výstupního signálu U_{OUT} .

Výstup komparátoru se nachází v logické úrovni 1 během doby, kdy se signál na jeho vstupu pohybuje od $+U_{TH}$ k $-U_{TH}$. Matematicky to lze popsat

$$T_1 = \frac{2U_{TH}C}{\frac{U_{IN}}{R_1} + \frac{U_{REF}}{R_2}} = \frac{2U_{TH}R_1R_2C}{U_{IN}R_2 + U_{REF}R_1}, \quad (5.13)$$

Pro normovaný vstupní signál k maximální amplitudě platí

$$u = \frac{U_{IN}R_2}{U_{REF}R_1}. \quad (5.14)$$

Upravením rovnice 5.13 dosazením rovnice 5.14 je získán vztah

$$T_1 = \frac{2U_{TH}R_2C}{U_{REF}} \frac{1}{(1-u)}, \quad (5.15)$$

Stejným postupem lze odvodit vztah pro T_2 .

$$T_2 = \frac{2U_{TH}R_2C}{U_{REF}} \frac{1}{(1+u)}. \quad (5.16)$$

Maximálního kmitočtu je dosaženo při $u = 0$, pro který platí

$$T_C = \frac{4U_{TH}R_2C}{U_{REF}} \frac{1}{(1-u^2)}, \quad (5.17)$$

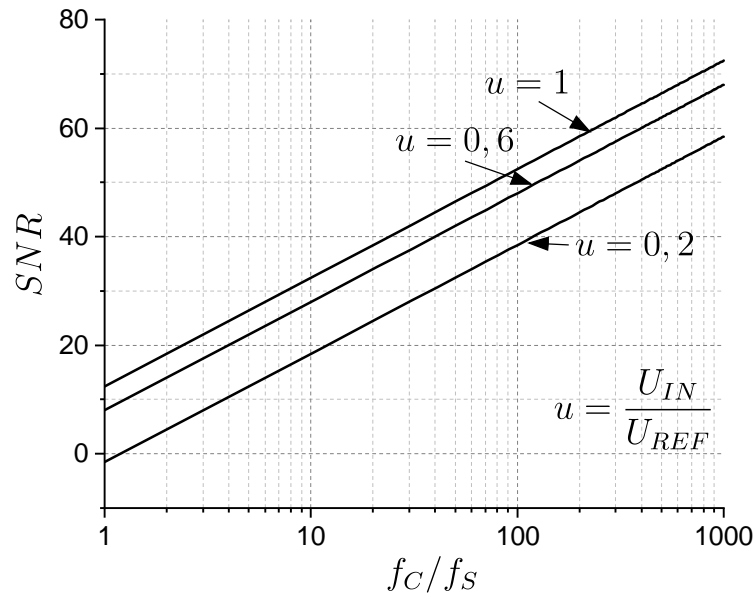
Z výše uvedené rovnice je zřejmé, že s nárůstem hodnoty vstupního signálu bude docházet ke snižování kmitočtu limitního cyklu. Na jeho velikost má také vliv zpoždění komparátoru (τ), které se projeví posunutím jeho prahových úrovní. Lze ho vyjádřit

$$T_{C0} = 4 \left(\frac{U_{TH}R_2C}{U_{REF}} + \tau \right), \quad (5.18)$$

což ukazuje, že oscilační kmitočet s rostoucím zpožděním komparátoru klesá. Rovnice 5.17 pak ukazuje možnosti, jak lze jeho velikost ovlivnit. A to: velikostí hystereze komparátoru, velikostí R a C nebo zpětnovazebním přenosovou funkcí danou hodnotou U_{REF} a R_2 . Toto platí pro uvažované schéma z obr. 5.5 s integrátory RC . V případě implementace jiného typu integrátoru by se jednalo o ekvivalentní parametry.

5.3 Časově digitální převodníky (převodníky TD)

Jak již bylo zmíněno, v případě dalšího digitálního zpracování je nutné výstupní signál z ADSM synchronizovat. Aby byly přesně zachyceny hrany asynchronního signálu je nutné použít extrémně vysokého vzorkovacího kmitočtu. To vyplývá také z rovnice 5.11, jejíž grafickou podobu ukazuje obr. 5.6.



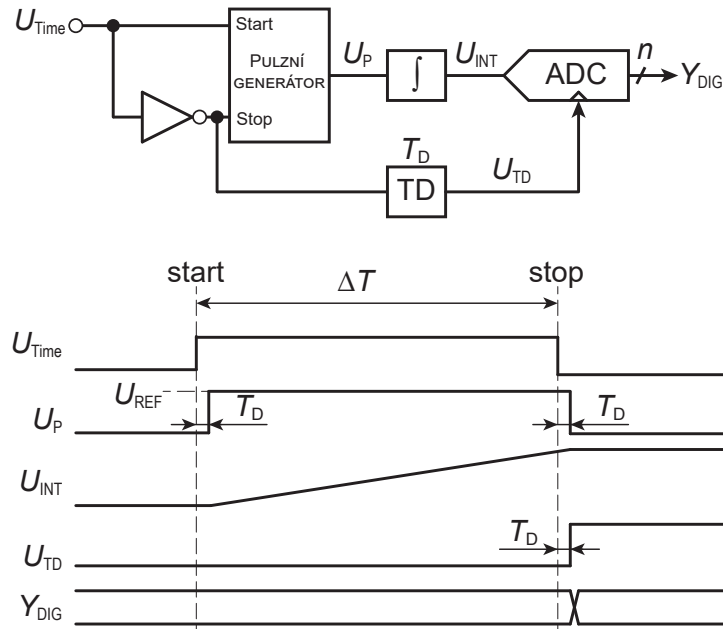
Obr. 5.6: Velikost SNR v závislosti na vzorkování (f_s) pro $f_C = 1$ MHz a $f_{BW} = 5$ kHz.

Pro převod asynchronního signálu lze mimo jednoduchého čítače využít také časově-digitální převodníky (TDC - time to digital converters), kterými se zabývá tato kapitola. U některých TDC lze využít cyklického zapojení, které vede ke snížení počtu bloků v řetězci zpoždovacích linek. To však příliš navyšuje dobu převodu, proto cyklické varianty TDC se dále v textu nevyskytují.

5.3.1 Převodník TD s mezipřevodem na napětí

Jako TDC první generace bývají označovány časově digitální převodníky využívající analogové jevy, u nichž je časový interval nejdříve převeden na napětí a v druhém kroku následuje proces digitalizace pomocí klasického ADC. Blokové schéma takového TDC je zobrazeno na obr.5.7. Převáděný signál (U_{Time}) je připojen na generátor referenčního pulzního generátoru, kdy nástupná hrana aktivuje napětí U_P na výstupu. Následně analogový integrátor převádí tento signál na napětí s nastavenou integrační konstantou. V okamžiku ukončení aktivní úrovně vstupního signálu U_{Time} nástupná hrana signálu $\overline{U_{Time}}$ restartuje pulzní generátor, jehož výstup přejde do výchozího stavu, zpravidla 0 V a je ukončen

proces integrace. V tento moment také dochází k převodu napětí U_{INT} na digitální kód. Blok TD slouží k časové synchronizaci mezi cestou převodu U_{INT} na napětí, aby nedošlo k převedení signálu pomocí ADC před ukončením procesu integrace.



Obr. 5.7: Blokové schéma a časové diagramy TDC s mezipřevodem na napětí.

Maximální časový interval (T_{MAX}), který lze zpracovat, je dán vztahem

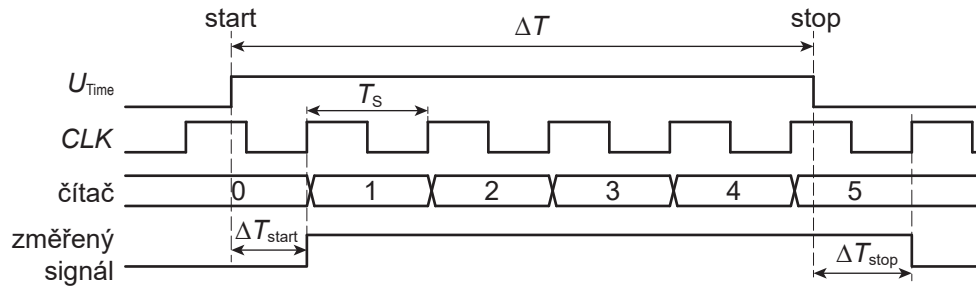
$$T_{MAX} = 2^N T_{LSB}, \quad (5.19)$$

kde N je maximální rozlišení ADC a T_{LSB} je minimální časový interval, který lze změřit.

Pro využití celého rozsahu ADC je nutné správně navrhnout minimální a maximální časový interval společně s vhodnou integrační časovou konstantou. Přestože je tento princip TDC jednoduchý, mezipřevod časového intervalu na napětí vnáší do převodního řetězce nepřesnosti. S tím souvisí vysoké nároky na parametry integrátoru, především na přesnou hodnotu časové konstanty. Při realizaci takového obvodu na čipu se součástky s velkým rozptylem jmenovité hodnoty není možné dosáhnout vysoké přesnosti převodu bez použití kalibrace. Existuje několik dalších modifikací tohoto TDC za účelem zvýšení rozlišení jako např. využití integračního ADC s vícesklonnou integrací nebo využití dvou TDC pro zpracování hrubého a následně jemného T_{LSB} . Nicméně i zde se v obvodech vyskytují parametry, jejichž přesná hodnota je nezbytná pro dosažení vysokého rozlišení TDC a tedy rovněž vyžadují kalibraci nebo případně trimování. Z tohoto důvodu není tento typ TDC vhodný pro využití v ADSM.

5.3.2 Převodník TD realizovaný jednoduchým čítačem

Jako TDC druhé generace jsou označovány plně digitální převodníky využívající pouze digitální bloky (čítače, klopné obvody atd.). Zde nejjednodušší způsob, jak lze realizovat převod časového intervalu na digitální kód, je použití čítače. Měřený pulz označený na obr. U_{Time} je přiveden na EN (enable) vstup čítače. Při logické úrovni H signálu U_{Time} čítač při nástupné hraně referenčního hodinového signálu T_S inkrementuje svůj stav. Rozlišení tohoto TDC závisí na periodě T_S , platí $T_S = T_{LSB}$.



Obr. 5.8: Časové diagramy TDC s jednoduchým čítačem.

Převáděný časový interval je vzhledem k referenčnímu hodinovému signálu T_S asynchronní. To způsobuje chybu ΔT_{start} na začátku intervalu a chybu ΔT_{stop} na konci převáděného časového intervalu ΔT . Pro ΔT lze psát

$$\begin{aligned} \Delta T &= NT_S - (T_S - \Delta T_{start}) + (T_S - \Delta T_{stop}) \\ &= NT_S + \Delta T_{start} - \Delta T_{stop} \\ &= NT_S + \varepsilon_T, \end{aligned} \quad (5.20)$$

pro ε_T platí

$$\varepsilon_T = \Delta T_{start} - \Delta T_{stop} \in [-T_S; T_S], \quad (5.21)$$

kde N je hodnota čítače. Hodnoty ΔT_{start} a ΔT_{stop} jsou časové intervaly mezi nástupnou, resp. sestupnou hranou U_{Time} a následující nástupnou hranou T_S . Mohou nabývat hodnot $\Delta T_{start}, \Delta T_{stop} \in [0; T_S]$. Maximální kvantizační chyba převodu je tak $2T_S$.

Přesnost tohoto TDC lze zvýšit zvýšením kmitočtu referenčního hodinového signálu $f_S = 1/T_S$, což však znamená zvýšení výkonové spotřeby generátoru f_S . Jak lze vidět na obr. 5.6, pro dosažení vysokého SNR je potřeba velmi vysoký vzorkovací kmitočet f_S v řádu GHz. Omezená maximální rychlost čítače stejně jako maximální kmitočet generátoru f_S nebo obecně rychlost zpracování signálu může narazit na své limity a další

zvyšování f_S tak nemusí být realizovatelné. V publikaci [101] uvádí autor pro 65 nm technologii maximální možný kmitočet 5-10 GHz, čemuž odpovídá maximální přesnost TDC $2T_S = 100 - 200$ ps.

5.3.3 Převodník TD se zpožďovací linkou

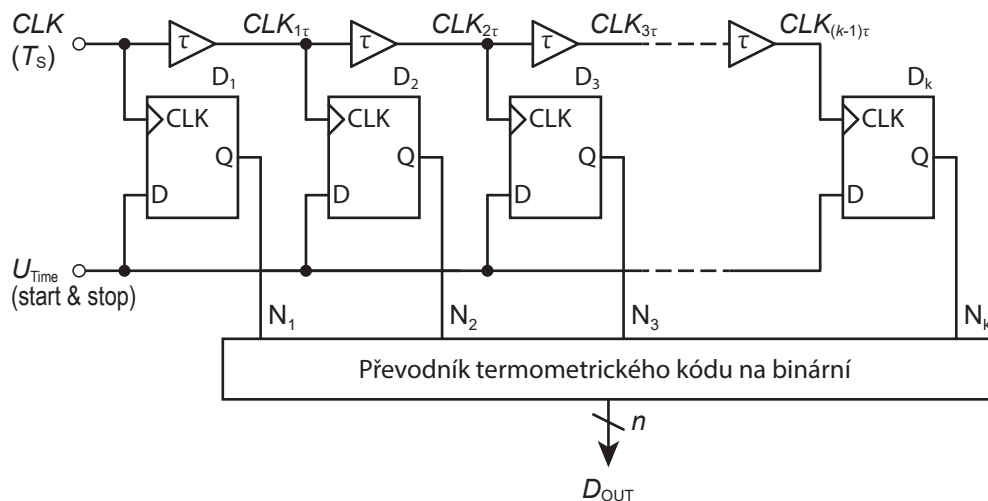
Na konci předchozí kapitoly 5.3.2 bylo zmíněno, že maximální vzorkovací kmitočet f_S a s tím přímo související přesnost TDC je limitována použitou technologií. Možností, jak zvýšit přesnost TDC při zachování stejného f_S je rozdělení periody vzorkovacího kmitočtu T_S na menší, asynchronní intervaly. V této a i v následujících podkapitolách zabývajících se typy TDC budou představeny obvody, u nichž je vyššího rozlišení dosaženo bez zvyšování vzorkovacího kmitočtu f_S . Po implementaci jemného asynchronního rozsahu lze rovnici 5.20 přepsat

$$\begin{aligned}
 \Delta T &= NT_S - (T_S - \Delta T_{start}) + (T_S - \Delta T_{stop}) \\
 &= NT_S + \Delta T_{start} - \Delta T_{stop} \quad \varepsilon_1, \varepsilon_2 \in \left[0; T_{LSB} = \frac{T_S}{k}\right] \\
 &= NT_S + N_1 \frac{T_S}{k} - \varepsilon_1 - N_2 \frac{T_S}{k} + \varepsilon_2.
 \end{aligned} \tag{5.22}$$

Pro ε_T platí

$$\varepsilon_T = \varepsilon_2 - \varepsilon_1 \in \left[\frac{-T_S}{k}; \frac{T_S}{k}\right]. \tag{5.23}$$

Parametr k udává, na kolik menších intervalů je rozdělena perioda hodinového signálu T_S a jeho zvýšením lze docílit většího rozlišení TDC. Nyní $T_{LSB} = \frac{T_S}{k}$. Parametry N_1 a N_2 udávají počet T_{LSB} v rámci jednoho T_S u náběžné, resp. sestupné hrany vstupního signálu U_{Time} . Implementace obvodu s klopnými obvody typu D ukazuje obr. 5.9.

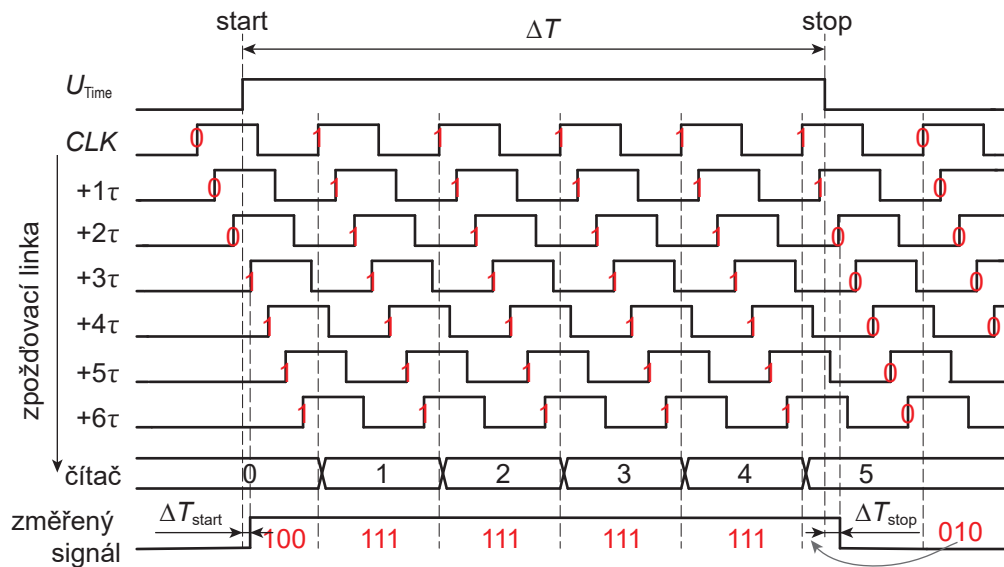


Obr. 5.9: Implementace obvodu pro měření LSB bitů pomocí zpožďovací linky.

Referenční hodinový signál CLK s periodou T_S je přiveden na zpožďovací linku s celkovým zpožděním $(k - 1) \tau$, kdy platí $T_S = k\tau$. Tedy zpoždění mají přesně takovou velikost, že perioda T_S je rozdělena na k stejných dílů. Na vstupy D je přiveden měřený signál U_{Time} . S přechodem U_{Time} do logické úrovně 1 se začne s nástupnou hranou $CLK_{k\tau}$ zapisovat na výstupy Q jednotlivých D klopných obvodů logická 1. Během této periody CLK je určena doba ΔT_{start} . V případě, že je během celé periody CLK signál U_{Time} v logické úrovni 1, je zapsána logická 1 na všechny výstupy Q . To se opakuje až do přechodu U_{Time} do logické úrovně 0. Následně se na výstupy Q s nástupnou hranou hodinového signálu $CLK_{k\tau}$ zapisuje logická 0 a během této periody CLK je určena doba ΔT_{stop} . Ilustrativní časové diagramy jsou ukázány na obr. 5.10. Časové diagramy odpovídají obvodu s šesti zpožďovacími bloky se sedmi klopnými obvody typu D ($k = 7$). Během každé periody CLK se na výstupu D_{OUT} (viz. obr. 5.9) objeví 3 bitové číslo.

Uvedený TDC, využívající hrubý a jemný rozsah, má výhodu v jednoduché struktuře, nízkém počtu digitálních bloků a vysokém rozlišení. Nevýhodou je nižší rychlost převodu, kdy zpracování jednoho časového intervalu probíhá ve více periodách CLK . Pro dostatečné rozlišení TDC určeného pro zpracování signálu z ADSM je tak nutné použít dostatečně vysoký vzorkovací kmitočet f_S . Další nevýhodou je závislost zpoždění τ na procesu. V publikaci [102] autoři přidali do obvodu z obr. 5.9 další zpožďovací blok (τ_k), na jehož výstupu je signál $CLK_{k\tau}$, který je v ideálním případě, tj. při přesně navrženém zpoždění τ ve fázi ze vstupním CLK . Obvod navíc obsahuje fázový detektor, který porovnává $CLK_{k\tau}$ a CLK a v případě rozdílu pomocí napětí upravuje proudové poměry ve zpožďovacích blocích τ , čímž dochází k úpravě zpoždění. Autoři dosáhli rozlišovací schopnosti $LSB = 12,2$ ps. V práci 5.9 dosáhli autoři s využitím kalibrace dosáhli $LSB = 5,5$ ns při $f_S = 40$ MHz

Obvod z obr. 5.9 lze po menší úpravě použít jako rychlý paralelní převodník a to tak,

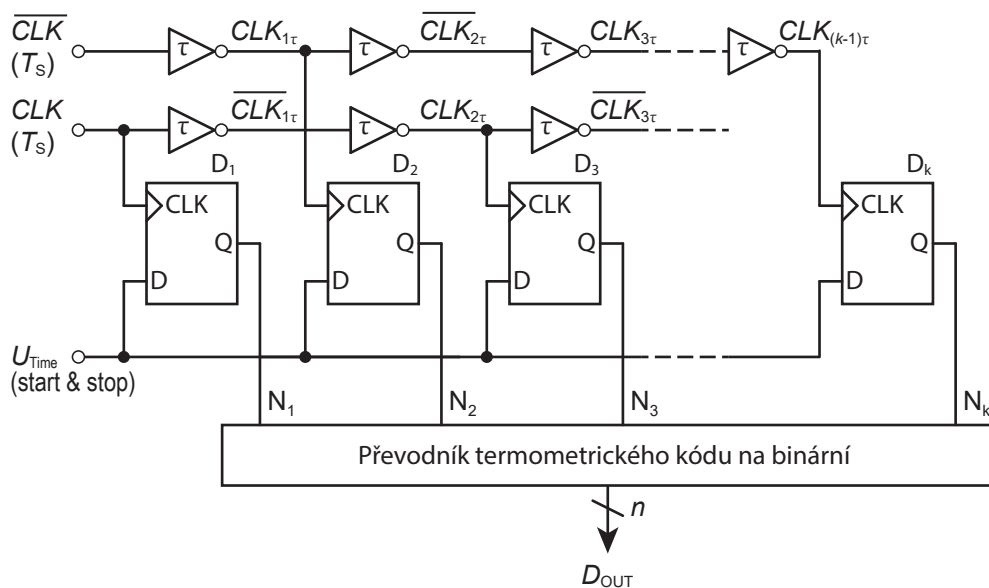
Obr. 5.10: Časové diagram TDC se zpoždovací linkou s $k = 7$.

že měřený signál bude přiváděn na zpoždovací linku, která bude obsahovat $(2^N - 2)$ zpoždovacích bloků, kde N je rozlišení převodníku. S příchodem nástupné hrany hodinového signálu dojde k zápisu aktuálního stavu na výstupy Q klopných obvodů typu D. Výhodou je velmi rychlý převod. Nevýhodou je velký počet zpoždovacích bloků a to $(N^2 - 2)$, kde N je rozlišení TDC. U tohoto převodníku je rozlišovací schopnost limitována minimálním realizovatelným zpožděním τ . Vzhledem ke zmíněnému procesnímu rozptylu se používají různé kalibrace za účel dosažení lepších parametrů. O některých publikovaný se lze dočíst v [103][104][105].

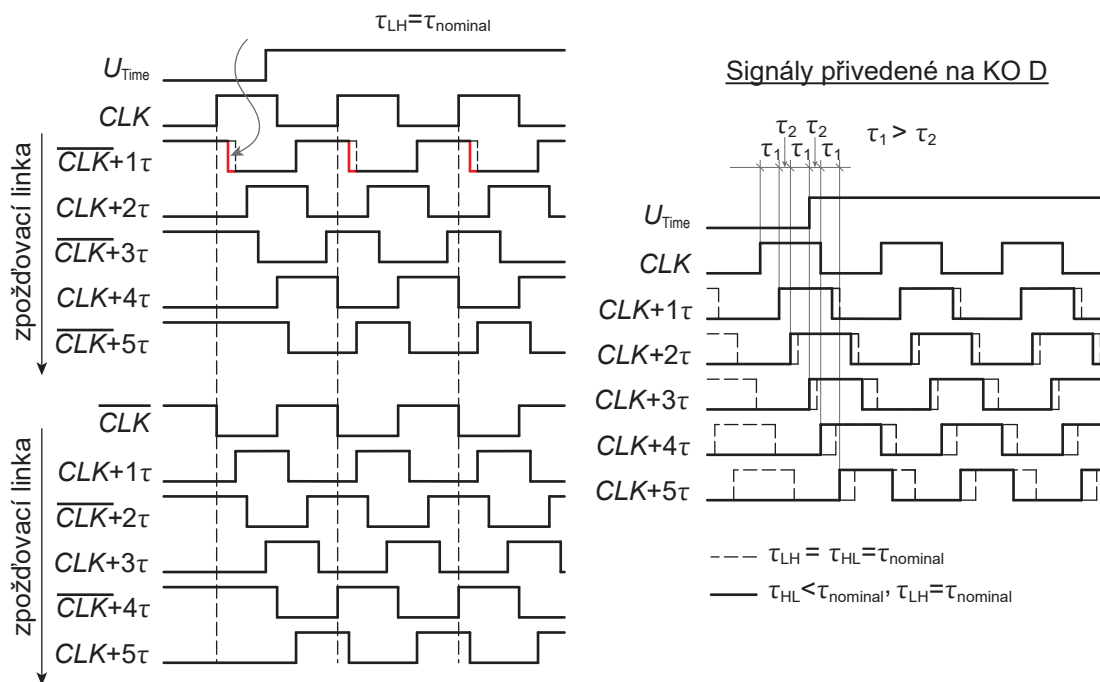
5.3.4 Převodník TD se zpoždovací linkou tvořenou inventory

Jak již bylo zmíněno v předchozí kapitole 5.3.3, minimální hodnota LSB je omezena zpožděním τ . To bylo tvořeno buffery, které lze nejjednodušeji vytvořit dvěma sériově spojenými inventory. V takovém případě platí $\tau_{min} = 2\tau_{inv}$. Pokud dojde k nahrazení bufferu invertorem, lze dosáhnout poloviční hodnoty LSB a to $\tau_{min} = \tau_{inv}$. Nelze však jednoduše nahradit buffery ve schématu na obr. 5.9 inventory. Realizace vyžaduje více modifikací, které budou představeny níže.

Ve zpoždovací lince se inventory překlápějí střídavě z $0 \rightarrow 1$ (τ_{LH}) a $1 \rightarrow 0$ (τ_{HL}). Nedochozí tedy ke stejné změně logického stavu jednotlivých zpoždovacích prvků jako u zpoždovací linky složené z buffery. V nominálním procesu lze u invertoru dosáhnout stejné rychlosti nástupné a sestupné hrany ($\tau_{HL} = \tau_{LH}$), avšak vlivem některých odlišných kroků výrobního procesu tranzistorů NMOS a PMOS dochází vlivem nepřesností k rozdílným časům přechodových stavů ($\tau_{HL} \neq \tau_{LH}$). Následkem toho může dojít k zhoršení linearity TDC. Příklad zapojení TDC s inventory je ukázán na obr. 5.11.



Obr. 5.11: Blokové schéma TDC s použitím invertorů.



Obr. 5.12: Časování v obvodu TDC s invertory.

Obvod obsahuje dvě zpoždovací linky se vstupními signály CLK a jeho invertovanou verzí \overline{CLK} . Protože ADSM jsou převážně navrhovány v plně diferenční struktuře, lze využít jejich diferenčního výstupu. Mezi nástupními/sestupnými hranami CLK a \overline{CLK} tak není zpoždění, které by vzniklo při použití pouze jednoho výstupu a nutnosti vytvořit signál \overline{CLK} pomocí invertoru. Klopné obvody D na obr. 5.11 reagují na náběžnou hranu

CLK , proto je hodinový signál brán střídavě z každé zpožďovací linky tak, aby po sobě následovaly nástupné hrany se vzájemným zpožděním τ , jak je znázorněno pro prvních pět stupňů zpožďovacích linek na obr. 5.12.

Na obr. 5.12 je také ukázán vliv poklesu τ_{HL} od nominální hodnoty, následkem čehož nejsou hodnoty τ stejné v celé zpožďovací lince, ale nabývají dvou různých hodnot, které se v lince střídají. Celkové zpoždění linky tvoří kratší časový interval než v případě nominálních hodnot τ . Při realizaci dvou zpožďovacích linek je rovněž nutné, aby celkové zpoždění obou bylo ideálně stejné, tzn. hodnoty τ_{HL} (platí také pro τ_{LH}) ve všech zpožďovacích stupních měly stejnou hodnotu. Dosažení co nejlepší shodnosti lze dosáhnout navržením vhodné topologie na čipu. Další možností, jak se zbavit zmiňované nepřesnosti je použití jen jedné zpožďovací linky a klopného obvodu D typu DETFF (Double Edge Triggered Flip-Flop)[106].

5.3.5 Převodník TD se zkracováním šířky pulzu

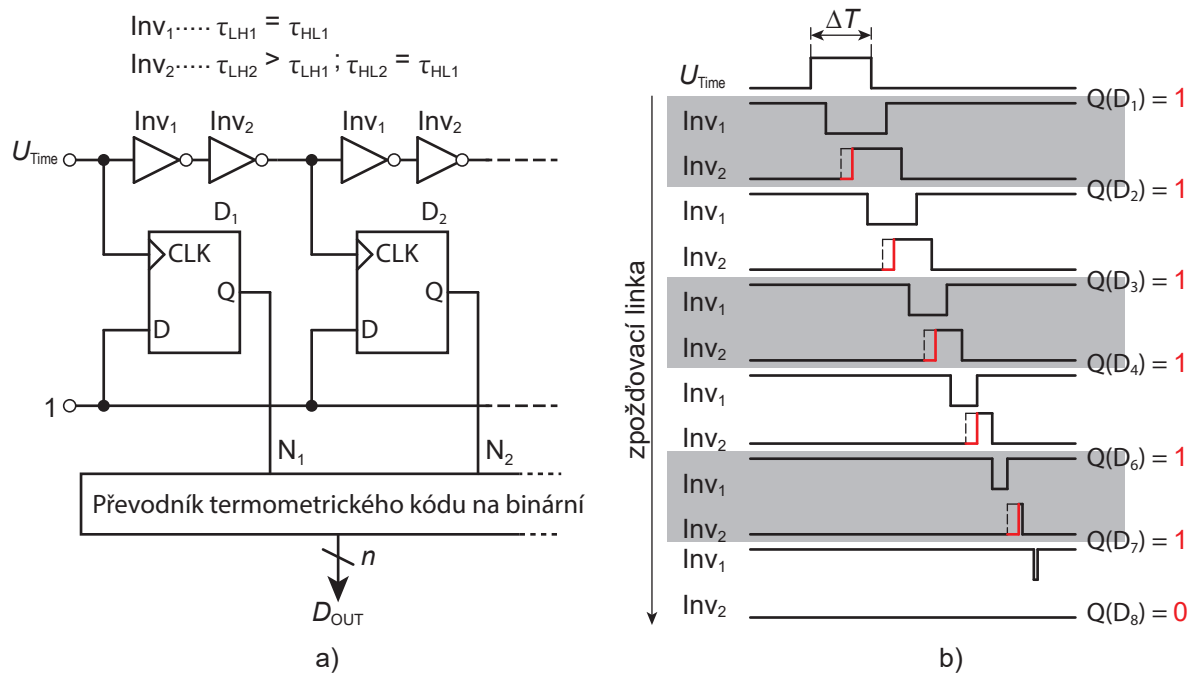
Minimální dosažitelné LSB doposud prezentovaných TDC bylo omezené nejmenším možným propagačním zpožděním invertoru τ_{inv} . To je závislé na použité technologii, proto bývá označováno jako rozlišení technologie (T_{Tech}). Pro návrh TDC s vyšším rozlišením (nižším LSB) je nutné zvolit rychlejší technologii nebo pokročilejší obvodovou techniku. Obvody TDC s rozlišením vyšším než je rozlišení technologie ($T_{LSB} < T_{Tech}$) jsou označovány jako převodníky s rozlišením nižší než propagační zpoždění hradla (sub-gate delay). U těchto TDC se poměr mezi rozlišením (T_{Tech}) technologie a jejich rozlišením T_{LSB} vyjadřuje pomocí interpolačního faktoru IF .

Jeden z představovaných TDC s rozlišením vyšším než je T_{Tech} je založen na postupném zkracování měřeného časového intervalu (anglicky pulse-shrinking) [107], [108], [109], [110], [111]. Náznorné schéma obvodu obsahující první dva stupně je na obr. 5.13a)

Na vstupy D klopných obvodů typu D je připojena trvalá hodnota logické 1. Stejně jako u předchozích TDC i zde probíhá zápis hodnoty z D na výstup Q při nástupné hraně CLK. Na zpožďovací linku je přiveden měřený časový interval. Každý stupeň obsahuje dva invertory, přičemž jeden z nich je navržen s větším zpožděním τ_{LH} . Díky tomu je za každým párem invertorů (Inv1, Inv2) délka pulzu zkrácena. To lze matematicky popsat

$$\begin{aligned} \Delta T' &= \Delta T + \tau_{LH1} + \tau_{HL2} - \tau_{HL1} - \tau_{LH2} \\ &= \Delta T + [(\tau_{LH1} - \tau_{HL1}) - (\tau_{LH2} - \tau_{HL2})], \end{aligned} \quad (5.24)$$

kde $\Delta T'$ označuje zkrácenou délku původního pulsu δT . Z rovnice 5.24 lze vyjádřit nejmenší možný interval, který lze změřit (LSB). V tomto případě je to hodnota o kterou se délka pulzu zkrátí



Obr. 5.13: TDC se zkracováním šířky pulsu: a) blokové schéma obsahující první dva bloky a b) časové průběhy pro prvních šest klopných obvodů typu D.

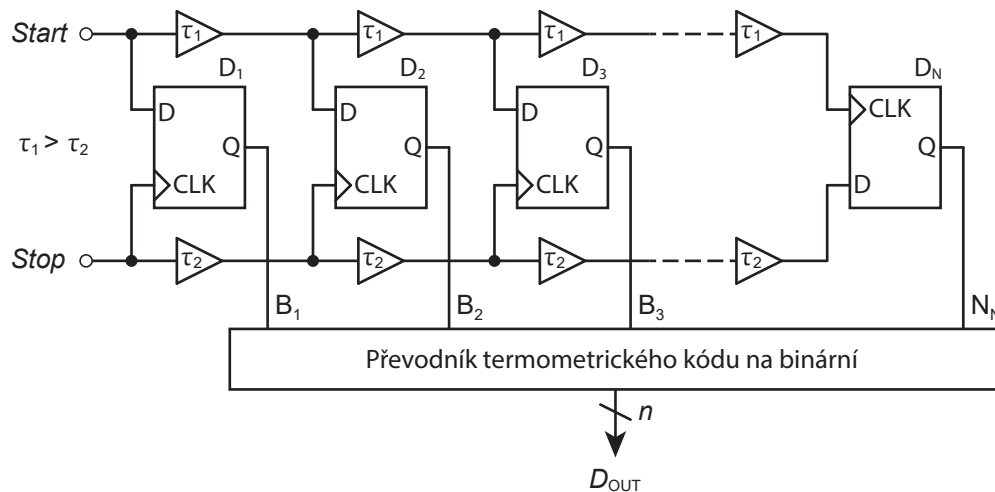
$$T_{LSB} = -(\tau_{LH1} - \tau_{HL1}) + (\tau_{LH2} - \tau_{HL2}). \quad (5.25)$$

Nutno podotknout, že při návrhu tohoto TDC je třeba brát v úvahu i nejkratší možnou detekovatelnou délku pulzu, kterou je schopný D klopný obvod na svém vstupu zaregistrovat. Nevýhodou tohoto převodníku je velký počet stupňů a tím i velká plocha na čipu. Obvod je možné realizovat jako cyklický, avšak tím je výrazně zvýšena doba převedu.

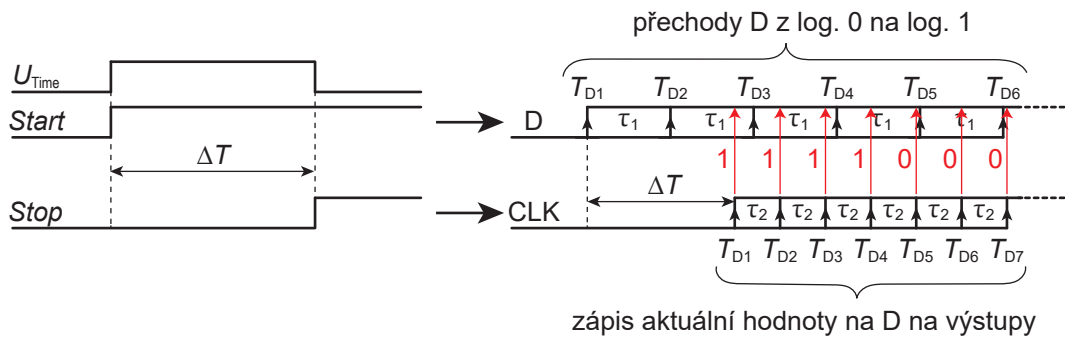
5.3.6 Vernierův převodník TD

Jedním s dalších TDC s rozlišením nižší než je propagační zpoždění hradla je převodník s Vernierovými zpožďovacími linkami [108][112][113][114]. Jak je ukázáno na obr. 5.14, obvod se skládá ze dvou zpožďovacích linek.

Na první zpožďovací linku s propagačním zpožděním τ_1 je přiveden signál *Start*, který signalizuje začátek měřeného pulzu. Druhý signál *Stop*, signalizuje konec měřeného pulzu. Jeho nástupná hrana je zpožděna vůči nástupné hraně signálu *Start* o délku měřeného pulzu, tedy o ΔT . Propagační zpoždění (τ_2) je však menší než u první zpožďovací linky. Platí $\tau_1 > \tau_2$.



Obr. 5.14: Blokové schéma Vernierova TDC.

Obr. 5.15: Princip funkce Vernierova TDC znázorněný na časových diagramech pro $\tau_1 = 2\tau_2$.

Princip obvodu je znázorněn na obr. 5.15. Měření začíná příchodem nástupné hrany signálu U_{Time} , resp. *Start*. Tento signál připojený na vstupy D se okamžitě začne propagovat první zpožďovací linkou. Jakmile signál U_{Time} přejde do stavu logické 0, aktivuje se signál *Stop* připojený na vstupy CLK a propaguje se druhou zpožďovací linkou. Se změnou stavu, resp. příchodem jeho nástupné hrany na dílčích klopných obvodech typu D dochází k zápisu aktuálního stavu na vstupu D na výstup Q. Protože propagační zpoždění druhé linky je menší než první ($\tau_1 > \tau_2$), v určitý čas nástupná hrana *Stop* signálu dostihne nástupnou hranu *Start* signálu. Od tohoto okamžiku je na vstupech D v době zápisu na výstup Q, tedy v čase nástupné hrany na CLK, již hodnota 0.

Hodnota LSB je zde definována jako

$$T_{LSB} = \tau_1 - \tau_2. \quad (5.26)$$

Výhoda Vernierova TDC je možnost dosažení vysokého rozlišení. Nevýhodou je dlouhá

doba převodu závislá na délce měřeného pulzu a také velká plocha na čipu, která je dána velkým počtem stupňů potřebných pro dosažení vysokého rozlišení. Jejich počet N lze jednoduše vypočítat

$$N = \frac{T_{max}}{T_{LSB}} = \frac{T_{max}}{\tau_1 - \tau_2}, \quad (5.27)$$

kde T_{max} je maximální délka měřeného časového intervalu.

5.4 Publikované práce

Na rozdíl od synchronních DSM popisovaných v předchozích kapitolách, neexistuje mnoho publikací z oblasti ADSM. V roce 1997 Engel Roza publikoval práci [99] týkající se především dynamických vlastností ADSM. Následně v letech 2004 - 2006 spolu s S. Ouzonovem vydali několik článků [97], [115], [116], kde se zabývali již konkrétním návrhem ADSM 1. a 2. řádu s šířkou užitečného pásma 8 a 12 MHz. Zavést do struktury ADSM vzorkování a tím tvarování šumu se pokusil J. Daniels [117] nebo W. Chen [118], kdy TDC umístil hned za komparátor před uzel zpětné vazby. Zároveň použili vícebitový DAC. V textu není zmínka použití nějaké DEM techniky pro potlačení jeho nelinearity. Ač výsledek přinesl zlepšení některých parametrů, nevznikla žádná další práce navazující na tento koncept. Významnou práci z oblasti ADSM prezentoval v roce 2015 L. Ferreira [98], který představil obvod s velmi nízkou spotřebou v řádu desítek nW při napájení 0,25 V s šířkou užitečného pásma 30 Hz a $SNDR = 58$ dB. V obvodech využil tranzistory řízené elektrodou bulk pracující v podprahovém režimu. Podobných prací s obdobnými parametry vzniklo několik [119], [120], [121]. Pokus o vylepšení struktury ADSM představil v roce 2016 tým autorů v čele s W. Hussainem [122]. Motivací pro jejich práci bylo to, že ostré hrany signálu z komparátoru jsou přímo přiváděné do sumačního bloku, tedy na vstupy prvního integrátoru, což vede ke zhoršení linearitě převodu. Jejich vylepšení spočívalo v umístění integrátoru do zpětné vazby, následkem čehož signál přicházející na rozdílový zesilovač již neobsahoval ostré přechody. Zároveň namísto komparátoru s hysterezí použil klasický komparátor spojený se zpožďovacími bloky. Se svou strukturou s nízkou plochou zabírající pouze $990 \mu\text{m}^2$, šířkou užitečného pásma 2 MHz a spotřebou 0,5 mW dosáhl pouze $SNDR = 47$ dB. Stejnou strukturu prezentovali autoři v [119] extrémně nízkou spotřebu 20 nW s šířkou pásma 30 Hz a hodnotou $SNDR = 35$ dB.

Shrnutí vydaných publikací z oblasti ADSM je uvedeno v tabulce 5.2. Poslední dvě práce, z nichž jedna zatím nebyla publikována, jsou představeny v kapitole 6.

Tab. 5.2: Přehled publikací z oblasti ADSM

Rok	V_{DD} [V]	Techn. [nm]	Plocha [μm^2]	Řád	Integrátory	f_0 [Hz]	f_{BW} [Hz]	CBR [-]	$SNDR$ [dB]	P_w [W]	FOM_1 [pJ/krok]	FOM_2 [dB]
2006 [97]	1,8	180	0,026	1	$G_m - C$	140 M	8 M	8,75	70	1,5 m	0,036	167
2006 [97]	1,8	180	0,04	2	$G_m - C$	120 M	12 M	5	70	2,2 m	0,035	167
2006 [123]	-	500	0,141	1	RC	630	30	10,5	58	28 n	0,712	203
2013 [118]	-	350	-	1	-	200 k	3 k	33,3	78,2	-	-	-
2015 [98]	0,25	130	0,141 ^{*1}	1	RC	630	30	10,5	58	28 n	0,712	148
2016 [122]	3,3	130	0,00099	1	$G_m - C$	100 M	2 M	25	47	495 μ	0,67	143
2017 [119]	0,25	130	0,11 ^{*1}	1	$G_m - C$	610	30	10,2	35	20 n	7,2	127
2017 [120]	0,25	130	-	2	RC	1730	70,2	12,3	37,3	30 n	3,5	131
2019 [121]	0,3	180	0,141	1	$G_m - C$	2640	62	21,3	53,3	37 n	0,782	146
2020 [124] ^{*2}	1	180	0,054	2	RC	848 k	10k	42,4	92	290 μ	0,44	167
2021 [] ^{*3}	2	180	0,054	2	RC	990 k	10k	42,4	83,5	290 μ	1,12	159
2021 [] ^{*4}	1	28 (FDSOI)	0,0017	1	$G_m - C$	893 k	5 k	89,3	76,8	32 μ	0,56	159

^{*1} Pasivní součástky C popř. R byly umístěny mimo čip na DPS

^{*2} Práce autora

^{*3} Viz. kapitola 6.2

^{*4} Viz. kapitola 6.1

6 Nové asynchronní delta-sigma modulátory

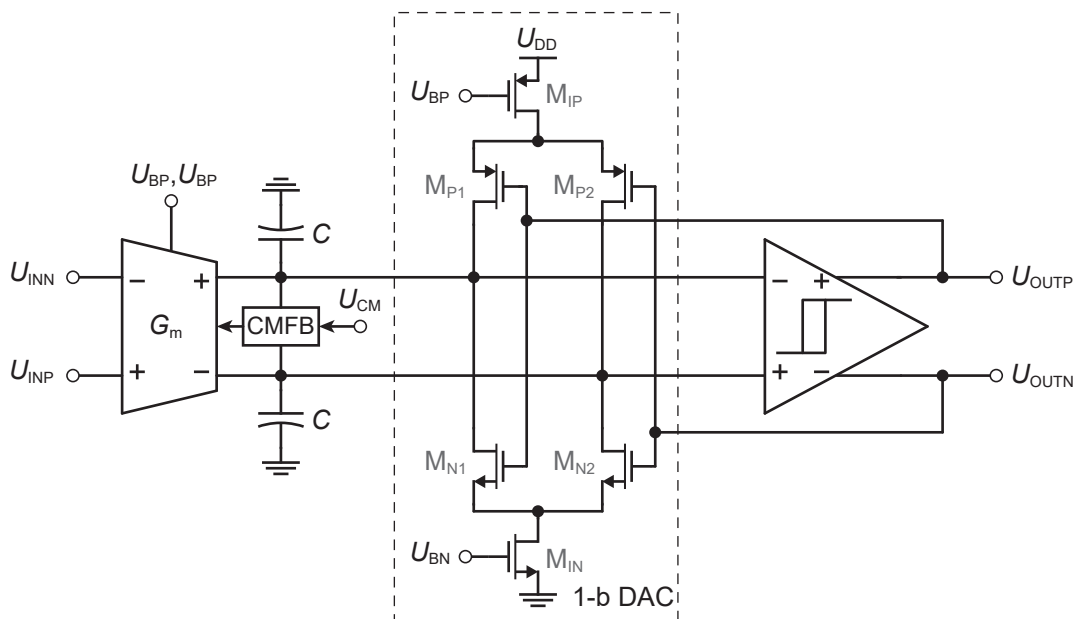
Jak již bylo zmíněno na konci předchozí kapitoly a následně v tabulce 5.2, v současné době je jen několik publikací týkající se návrhu ADSM, ve kterých není samotný návrh detailněji popsán a text obsahuje většinou jen složité matematické vztahy definující dynamické chování modulátoru. Z těch prezentovaných je převažující kategorie ADSM s velmi nízkým napájecím napětím 0,25 V - 0,3 V a spotřebou v desítkách nW. U těchto obvodů pracují tranzistory MOS v podprahovém režimu, kdy výsledná šířka pásma ADSM je jen v desítkách Hz. Motivací pro následující dva, nově navržené, ADSM je zaplnění mezery v oblasti kmitočtových pásem (do 5 - 10 kHz), ve kterých byly v minulosti na Ústavu mikroelektroniky navrhovány klasické DT-DSM pro zpracování biologických signálů nebo signálů z vibračních senzorů. Oba ADSM byly navrženy na tranzistorové úrovni s využitím programu Cadence Virtuoso a simulátoru Spectre. Jejich přednosti budou diskutovány v níže uvedených podkapitolách.

6.1 Asynchronní delta-sigma modulátor 1. řádu v technologii FD-SOI 28 nm

První představovaný ADSM využívá přednosti technologie ST CMOS28FDSOI. Jak napovídá název, jedná se o 28 nm technologii FDSOI (Fully depleted Silicon-on-Insulator) od švýcarské společnosti ST Microelectronics. Izolovaný kanál od substrátu přináší možnost řídit tranzistor nejen přes elektrodu gate, ale také polarizací substrátu pod tranzistorem, podobně jako tomu je u standardních technologií při řízení tranzistoru přes bulk. U nich však je napěťový rozsah značně omezen parazitními proudy, protože cesta od elektrody bulk k drain a source tvoří PN přechod, který je propustně pólovaný. U výše zmíněných publikací s tranzistory řízenými přes bulk autoři použili velmi nízké napájení, díky čemuž dokázali pracovat v téměř celém rozsahu. U FD-SOI technologie díky izolovanému substrátu je parazitní proud prakticky nulový a tak lze využít maximální rozsah řízení přes bulk. Toho je využito i v následujícím ADSM, který je napájen 1 V a je schopen pracovat v plném rozsahu 0 - 1 V. Díky použité technologii FDSOI a svým parametrům jako je extrémně nízká plocha, relativně vysoké rozlišení, kmitočtový nebo napěťový rozsah, se jedná o jedinečný ADSM, který nebyl doposud nikde nepublikovaný. Představení navržených analogových bloků pro tento ADSM je popsáno v kapitole 6.1.2.

Schéma nově navrženého ADSM je na obr. 6.1. Obvod se skládá z integrátoru $G_m - C$ s obvodem pro nastavení souhlasného napětí (CMFB), komparátoru s hysterezí a 1-bitový DAC realizovaného pomocí několika tranzistorů, které jsou řízeny z výstupu komparátoru. Napětí pro nastavování jejich pracovního bodu (napětí U_{BP} a U_{BN}) je generováno stejným typem tranzistoru v diodovém zapojení v bloku referenčních signálů (není zakreslena na schématu) a je společné i pro blok G_m . Tedy proudy v DAC i v G_m jsou odvozeny ze

stejných tranzistorů a tedy jejich vzájemná neshodnost je dána pouze chybou souběhu.



Obr. 6.1: Schéma navrženého ADΣM 1. řádu s integrátorem $G_m - C$.

Dalšími vstupními parametry je $ENOB > 10$ ($SNR = 62$ dB) a šířka pásma $f_{BW} = 5$ kHz. Z rovnice 5.11 a z obr. 5.6 lze zjistit, že kmitočet limitního cyklu $f_C = 1$ MHz a kmitočet vzorkování výstupního signálu z ADΣM s hodnotou $f_S = 1$ GHz odpovídají teoretické hodnotě $SNR = 76$ dB ($ENOB = 12,3$). Vlivem zpoždění komparátoru, vyšších harmonických složek u větších amplitud vstupního signálu (kdy $u \rightarrow 1$) a dalších vlastností reálných obvodů bude výsledné SNR menší, proto je vhodné zvolit tuto rezervu. Matematicky je možné vyjádřit minimální požadavky na parametry dílčích bloků, avšak mnohem rychlejší a efektivnější je provést analýzu na modelu vytvořeném v programu MATLAB SIMULINK, který v nástroji Simscape Electronics obsahuje řadu komponent se zahrnutými reálnými vlastnostmi, nebo je umožňuje efektivně modelovat. Tento model byl vytvořen a průběžně slouží k ověřování spočítaných parametrů.

6.1.1 Kmitočet limitního cyklu

Vyjádření maximálního kmitočtu limitního cyklu f_0 je důležité pro stanovení dalších parametrů jako je G_m , výstupní proud DAC nebo velikost hystereze komparátoru ($\pm V_H$). V kapitole 5.2 byl odvozen vztah pro ADΣM 1. řádu s integrátorem RC. Obdobným způsobem lze vyjádřit f_0 pro zde použitou strukturu.

Doba trvání periody výstupního signálu ve stavu logické 1 (vztaženo k výstupu U_{OUTP}) označená jako T_1 je dána rychlostí nabíjení C a příslušnými proudy. Během této periody klesá napětí na vstupu – komparátoru z hodnoty $+U_H$ k $-U_H$ a je v sepnutém stavu spínač tvořený tranzistorem M_{N1} . Pro T_1 tedy platí

$$T_1 = \frac{2U_H C}{I_C} = \frac{2U_H C}{I_{G_m} - I_{MIN}} = \frac{2U_H C}{U_{IN} G_m - I_{MIN}}, \quad (6.1)$$

kde I_{MIN} je proud DAC daný v tomto případě tranzistorem M_{IN} a I_{G_m} je proud z výstupu bloku G_m . Obdobně lze odvodit čas pro logickou 0 na výstupu U_{OUTP} , označený jako T_2

$$T_2 = \frac{2U_H C}{I_C} = \frac{2U_H C}{I_{G_m} + I_{MIP}} = \frac{2U_H C}{U_{IN} G_m + I_{MIP}}, \quad (6.2)$$

kde I_{MIP} je proud DAC daný v tomto případě tranzistorem M_{IP}

Maximální kmitočet limitního cyklu (f_0) nastává pro nulový vstupní signál, nebo přesněji řečeno pro signál s hodnotou odpovídající potenciálu analogové země (hodnota U_{CM}). To je v tomto případě u nesymetrického napájecího napětí 0 a 1 V rovno 0,5 V.

$$T_0 = T_1 + T_2 = \frac{4U_H C}{I_{DAC}}, \quad (6.3)$$

kde $I_{DAC} = I_{MIP} = |I_{MIN}|$.

Nastavení kmitočtu limitního cyklu $f_0 = 1$ MHz lze tedy ovlivnit hodnotou C , velikostí hystereze komparátoru nebo proudem DAC. S ohledem na prioritu co nejmenší plochy a spotřeby, které negativně ovlivňuje veliké C , resp. I_{DAC} jsou zvoleny co menší na úkor velikosti hystereze komparátoru (U_H). Velikost U_H je limitována výstupním napěťovým rozsahem bloku G_m , protože U_H přímo určuje, mezi jakými hodnotami se bude napětí výstupu G_m pohybovat. Zároveň je potřeba brát v úvahu zpoždění komparátoru při rychlých změnách na vstupu, které by v krajním případě mohlo vést k saturaci napětí na jeho vstupech. S ohledem na výše uvedené vlastnosti je zvolen $C = 2$ pF, $I_{DAC} = 1,2 \mu\text{A}$ a $V_H = 150$ mV. Tomu odpovídá teoretická hodnota $f_0 = 1$ MHz.

Pro vstupní signál musí platit $|u| < 1$, kdy

$$u = \frac{G_m U_{IN}}{I_{DAC}}. \quad (6.4)$$

S ohledem na I_{DAC} a požadovanou maximální vstupní amplitudy až po napájecím napětím musí být $I_{G_m} < I_{DAC}$.

6.1.2 Analogové bloky

V této části jsou popsány analogové bloky, jejichž vlastnosti byly ověřeny nejen pro typické modely součástek, ale také analýzou Monte Carlo s 500 běhy zahrnující jak rozptyl

souběhu, tak vliv procesních odchylek. To vše pro schémata s vygenerovanými parazitními R a C z navržené topologie obvodu. Vzhledem k časové náročnosti je výsledný model ADSM zahrnující zmíněné součástky z parazitní extrakce simulován jen v typickém procesu.

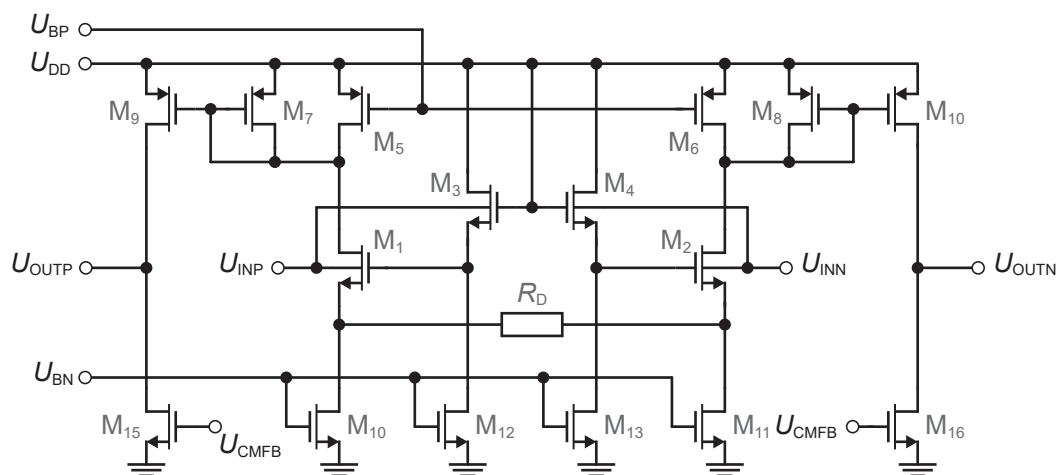
Transkonduktační zesilovač (G_m)

Velikost transkonduktance G_m bloku vyplývá z navrženého I_{DAC} , kdy pro maximální hodnotu vstupního signálu by měl být výstupní proud $I_{Gm} < I_{DAC}$, tzn.

$$U_{IN}G_m < I_{DAC}, \quad (6.5)$$

kde hodnota U_{IN} je vztažena k analogové zemi, která je pro nesymetrické napájecí napětí posunuta na $U_{CM} = U_{DD}/2 = 0,5$ V. Z toho vyplývá $G_m < 2,4 \mu A/V$.

Vstupy transkonduktačního zesilovače jsou připojeny přímo na vstup ADSM, proto je požadavek na maximální vstupní rozsah. Naopak požadovaný výstupní rozsah je určen velikostí prahových úrovní komparátoru a pohybuje se mezi $\pm U_H$ a tedy nemusí být v celém napájecím rozsahu. Přesto zde není napěťový prostor pro používání kaskod. Schéma navrženého G_m stupně na tranzistorové úrovni je na obr. 6.2.



Obr. 6.2: Schéma navrženého G_m stupně na tranzistorové úrovni.

Vstupní diferenční pár je tvořen tranzistorem M_1 a M_2 řízené přes elektrodu bulk. Protože transkonduktance takto řízeného tranzistoru je malá, je do obvodu přidán druhý pár tranzistorů NMOS M_3 a M_4 , na jejichž elektrodě source se objeví napětí dané jako $U_{DD} - U_{GS3}$, resp. $U_{DD} - U_{GS4}$. U těchto tranzistorů lze U_{GS3} ovlivnit změnou napětí na jejich bulku, tedy změnou vstupního napětí. Následně se tato změna propaguje na gate M_1 a M_2 a dochází tak k řízení těchto tranzistorů i přes elektrodu gate. Pro transkonduktaci takového diferenčního páru platí

$$g_{m(DP)} = g_{mb} + g_m \frac{\Delta U_{GS3}}{\Delta U_{IN}}, \quad (6.6)$$

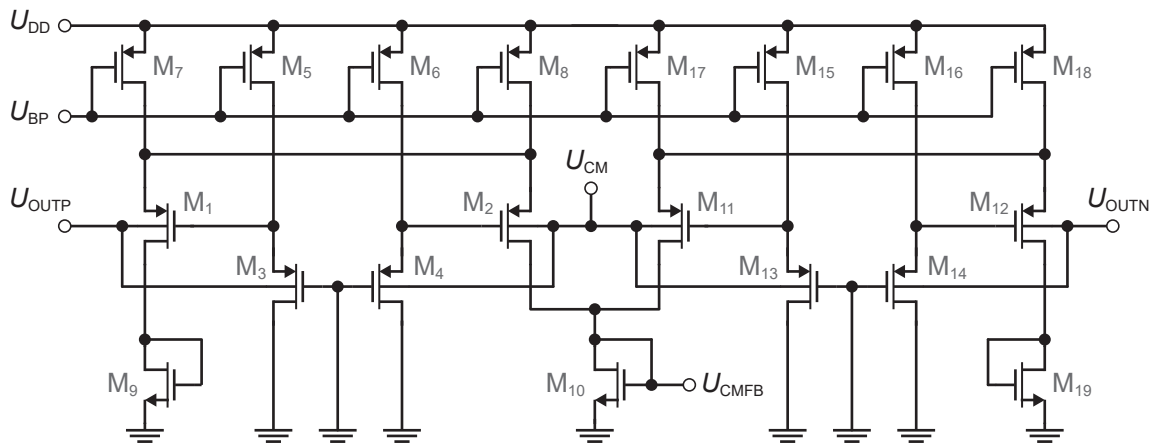
kdy transkonduktance může být dále zvýšena poměrem proudových zrcadel $B = M_7/M_9$, resp. M_8/M_{10} . Za účelem linearizace G_m je do obvodu přidán rezistor R_D . Rovnici 6.6 lze pak přepsat na

$$G_m = \frac{B g_{m(DP)}}{1 + g_{m(DP)} R_D}. \quad (6.7)$$

S ohledem na proudovou spotřebu je $B = 2$, aby vstupním diferenčním párem protékaly poloviční proudy a bylo dosaženo nižší spotřeby. Výhodou navržené struktury obvodu G_m je maximální vstupní a výstupní rozsah. Minimální použitelné napájecí napětí je limitováno na

$$U_{DD(min)} = U_{DS10(sat)} + U_{GS1} + U_{GS3} \approx 2U_{TH} + 3U_{DS(sat)}. \quad (6.8)$$

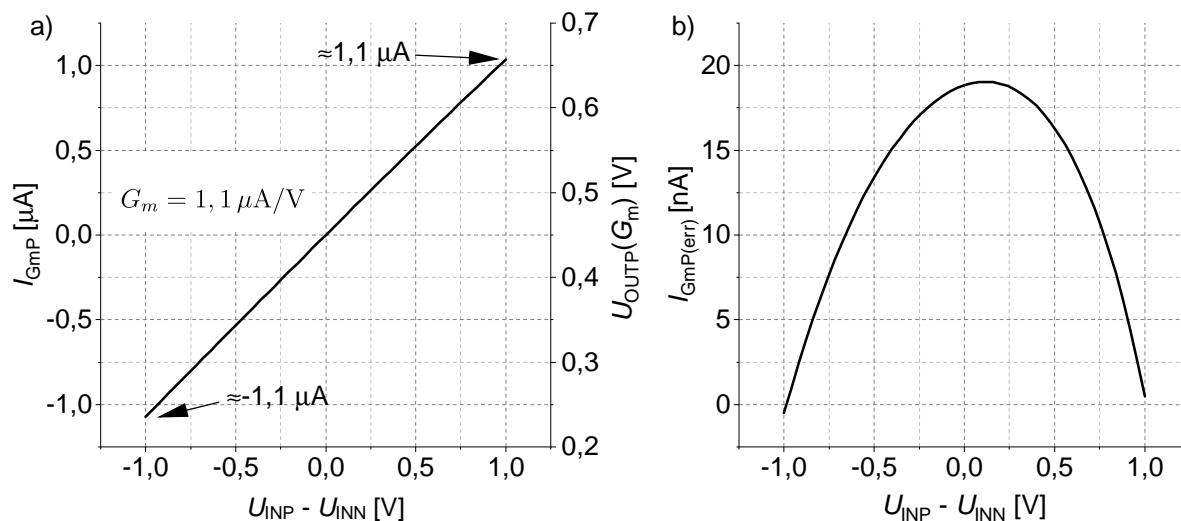
kde $U_{DS(sat)}$ je minimální napětí mezi drain a source pro udržení tranzistoru v režimu saturace. Dvě prahové napětí ve vztahu značně limitují minimální V_{DD} a aby bylo možno použít $V_{DD} = 1$ V, je u těchto tranzistorů NMOS zvolena verze s nižším prahovým napětím (tzv. medium V_{TH}), které jsou dostupné v použité technologii.



Obr. 6.3: Schéma navrženého obvodu CMFB na tranzistorové úrovni.

Pro nastavení souhlasného napětí na výstupu je navržen obvod CMFB (common mode feedback). Aby byl schopen pracovat s maximálním napěťovým rozsahem signálu, nabízí se ze známých možností použít napěťový dělič mezi výstupy V_{OUTP} a V_{OUTN} . Výstupní napětí děliče pohybující se s velmi malým rozptylem kolem hodnoty U_{CM} by následně

mohlo být vyhodnoceno klasickým diferenčním párem. Avšak díky malým proudům v obvodu G_m a třídě A, by odpory musely být příliš veliké, aby neodebíraly podstatnou část proudu z výstupu. Proto byl navržen obvod CMFB s diferenčním párem shodným s G_m s výjimkou absence linearizačního odporu R_D . Schéma obvodu CMFB je na obr. 6.3. Jedna ze simulací ověřujících správnou činnost bloku G_m je uvedena na obr. 6.4.



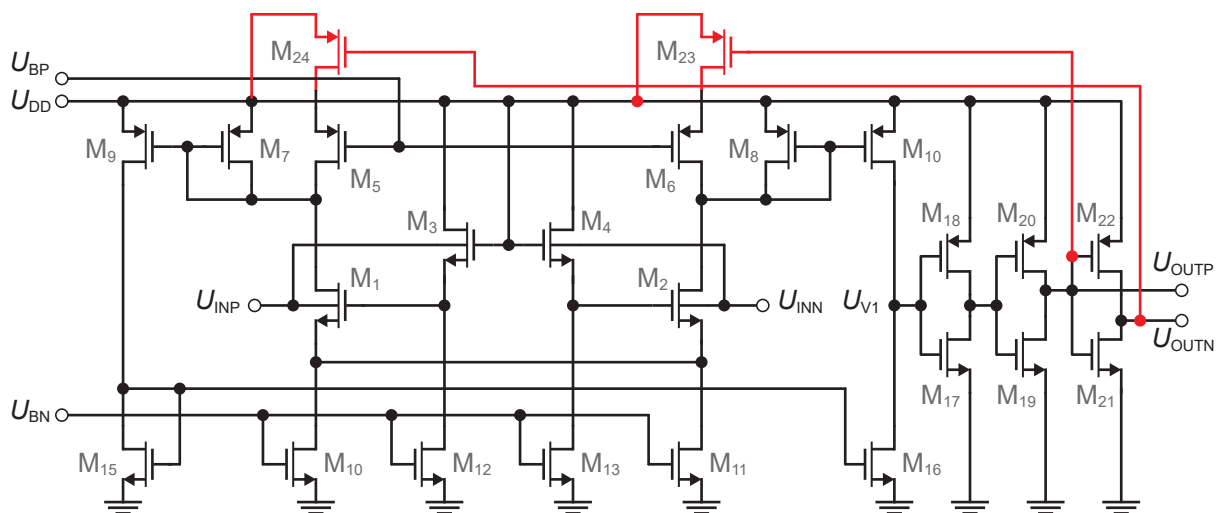
Obr. 6.4: Graf znázorňující a) výstupní proud bloku G_m a b) odchylky od ideálního průběhu v závislosti na vstupním diferenčním napětí.

Na obr. 6.4a) je znázorněn průběh výstupního proudu I_{GmP} obvodu G_m . Na výstup byl připojen odpor $100\text{ k}\Omega$ pro simulaci chování obvodu v očekávaném napěťovém rozsahu definovaným prahovými úrovněmi komparátoru $\pm U_H$. Na obr. 6.4b) pak křivka reprezentuje odchylku I_{GmP} od ideální hodnoty.

Komparátor s hysterezí

Zapojení komparátoru vychází ze stejné struktury jako předcházející dva obvody. Jeho schéma je na obr. 6.5. Na rozdíl od bloku G_m nemá základní struktura diferenční výstup. Ten je vytvořen z jednoho výstupu pomocí invertorů. Hystereze je do struktury zavedena pomocí červeně vyznačené zpětné vazby s tranzistory M_{23} a M_{24} , které slouží jako spínače.

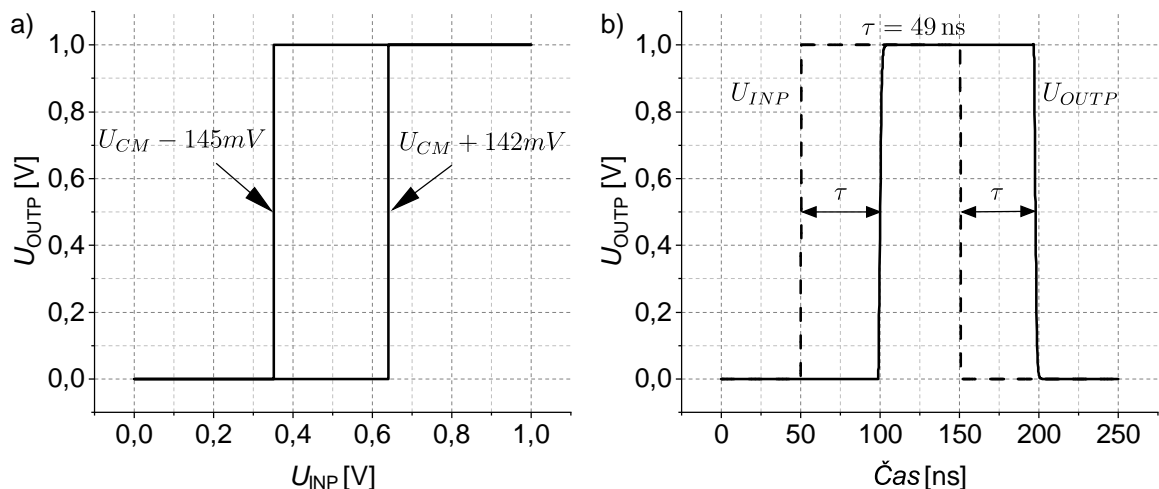
V případě stavu kdy $U_{OUTP} = 0\text{ V}$ a $U_{OUTN} = U_{DD}$, je sepnut tranzistor M_{23} , zatímco M_{24} je v nevodivém stavu. Proud procházející diferenčním párem (I_{M1} a I_{M2}) jsou v blízkosti prahového napětí stejné, nicméně část proudu I_{M2} není proudovým zrcadlem, tvořeným tranzistory M_8 - M_{10} , přenesena do výstupního uzlu (U_{V1}), ale je odebírána skrz M_6 a M_{23} . Protože je M_{24} nevodivý, proud I_{M1} je do výstupního uzlu přenesen celý a napětí a U_{V1} je staženo k zemi ($I_{M16} > I_{M10}$). Nyní pro změnu stavu do $U_{OUTP} = U_{DD}$ a $U_{OUTN} = 0\text{ V}$ je nutné, aby proud I_{M10} byl větší než I_{M11} a to stále za stavu, kdy je jeho část odebírána skrz I_{M6} a I_{M23} . Napětí U_{INN} musí být vyšší než U_{INP} právě o hod-



Obr. 6.5: Zapojení komparátoru na tranzistorové úrovni.

notu hystereze (U_H), aby bylo dosaženo $I_{M10} > I_{M16}$. Jakmile je tato podmínka splněna, dojde k překlopení výstupu, sepnutí tranzistoru M_{24} a rozepnutí M_{23} .

Na obr. 6.6a) je výstup z časové analýzy se změněnou hodnotou na ose X, kdy namísto času byl vybrán U_{INP} a na obr. 6.6b) je ukázáno zpoždění komparátoru.



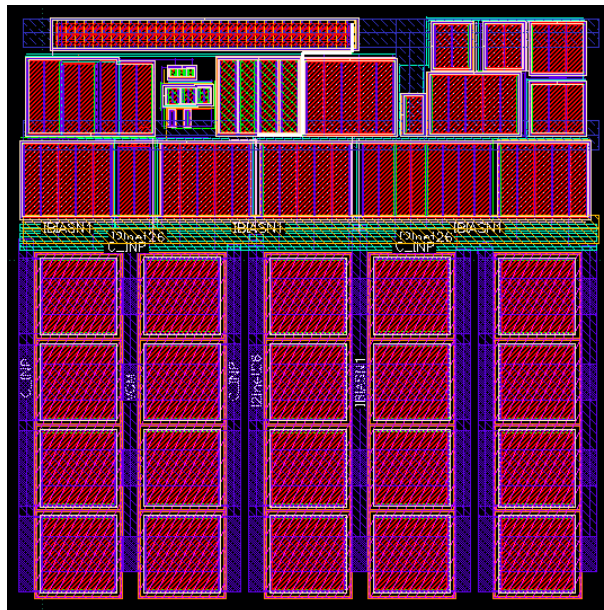
Obr. 6.6: Výsledky analýz z Cadence Virtuoso: a) hysterezní křivka a b) zpoždění.

Z obr. 6.6b) je vidět důsledek časového zpoždění komparátoru o velikosti 49 ns projevující se poklesem kmitočtu limitního cyklu z 1 MHz na 882 kHz (viz. rovnice 5.18).

Parametry navrženého asynchronního modulátoru delta-sigma

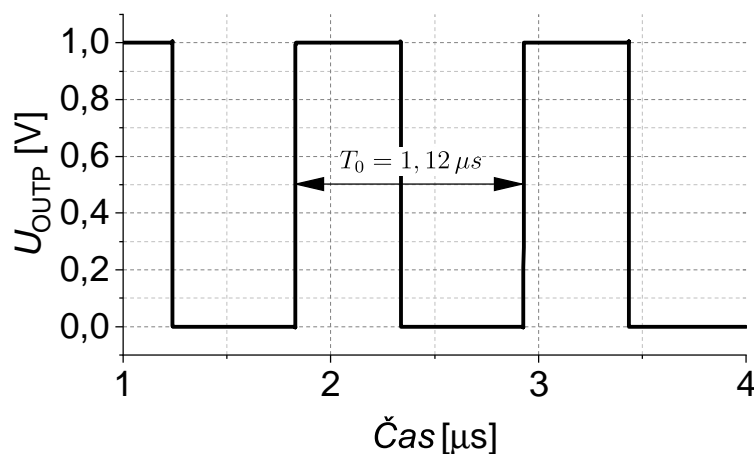
Po vytvoření topologie obvodu byla provedena extrakce parazitních $R+C$ a na tomto modelu proběhla charakterizace obvodu. Velikost plochy na čipu je pouze $0,017 \text{ mm}^2$,

příčemž největší plochu zapírají dva 2 pF kapacitory (každý segment 6x6 μm).



Obr. 6.7: Topologie ADSM 1. řádu v technologii STMicroelectronics CMOS28FDSOI.

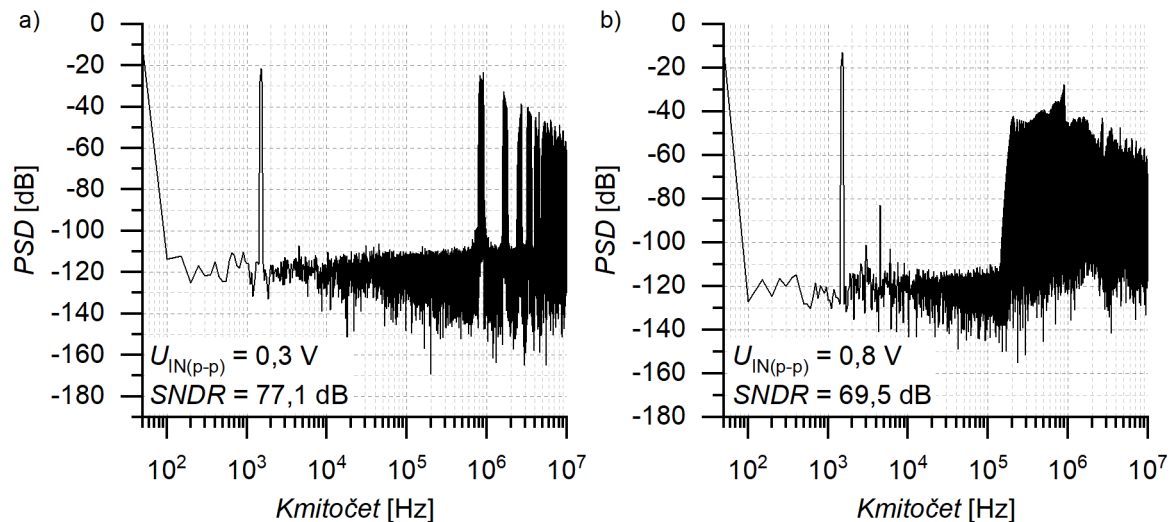
Na obr. 6.8 je výstup časové analýzy pro nulový vstupní signál ($U_{IN} = U_{CM}$), kdy dosahuje maximálního kmitočtu limitního cyklu. Ten byl navrhován na 1 MHz, z důvodu zpoždění komparátoru jeho hodnota klesla na 909 kHz. Simulace ukazuje hodnotu $T_0 = 1,12 \mu\text{s}$, což odpovídá $f_0 = 893 \text{ kHz}$. To koresponduje s vypočítanými hodnotami. Menší odchylka v řádu desítek ns u odečtu T_0 může být způsobena rozdílnou rychlostí nástupné a sestupné hrany signálu nebo nastavením kroku maximálního kroku časové simulace.



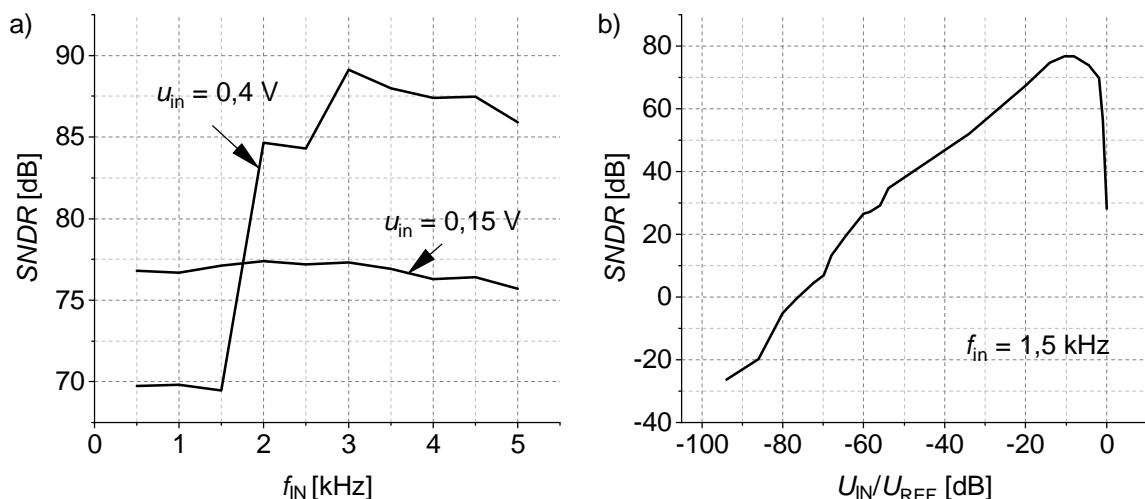
Obr. 6.8: Časový průběh U_{OUTP} pro nulový vstupní signál.

Pro vyhodnocení $SNDR$ byla nastavena časová analýza na 20 ms pro různé amplitudy a kmitočty vstupního signálu. Při použitím vzorkování $T_S = 1 \text{ ns}$ obsahoval výstupní

soubor 20 milionů vzorků. Na obr. 6.9 je ukázáno rozložení výkonové spektrální hustoty pro amplitudy vstupního signálu 0,15 V a 0,4 V. Při hodnotě 0,15 V je šum v oblasti kmitočtu limitního cyklu na hodnotě cca 930 kHz. U amplitudy 0,4 V dochází k posunu toho šumu na nižší kmitočty od cca 150 kHz. Zároveň se ve spektru objevuje výrazná třetí harmonická složka vstupního signálu. Její vliv je také vidět na obr. 6.10a), který ukazuje závislost $SNDR$ na kmitočtu vstupního signálu pro výše uvedené dvě amplitudy 0,15 V a 0,4 V.



Obr. 6.9: Rozložení výkonové spektrální hustoty pro signál o vstupní amplitudě a) 0,15 V a b) 0,4 V.



Obr. 6.10: Závislost $SNDR$ na a) kmitočtu vstupního signálu a b) na jeho amplitudě.

Zatímco u hodnoty 0,15 V se $SNDR$ v celém rozsahu kmitočtového pásma pohybuje v rozsahu 76 ± 2 dB u amplitudy 0,4 V dosahuje u vyšších kmitočtů $SNDR = 88$ dB,

zatímco u nižších, kdy $f_{IN} < f_{BW}/3$, dochází k poklesu na 70 dB. To je způsobeno posunem třetí harmonické složky do zpracovávaného kmitočtového pásma.

Vyhodnocení parametrů navrženého ADSM je uvedeno v tabulce 6.1 a porovnání s jinými ADSM lze nalézt v tabulce 5.2.

Tab. 6.1: Dosažené parametry ADSM 1. řádu.

Parametr	Hodnota
Technologie	FDSOI 28nm
U_{DD}	1 V
Plocha	0,0017 mm ²
Integrátory	$G_m - C$
Kmitočet lim. cyklu (f_0)	893 kHz
Šířka pásma (f_{BW})	5 kHz
$SNDR$	76,5 dB
DR	75 dB
Spotřeba	32 μW
FOM_1^{*1}	0,56 pJ/krok
FOM_2^{*1}	159 dB

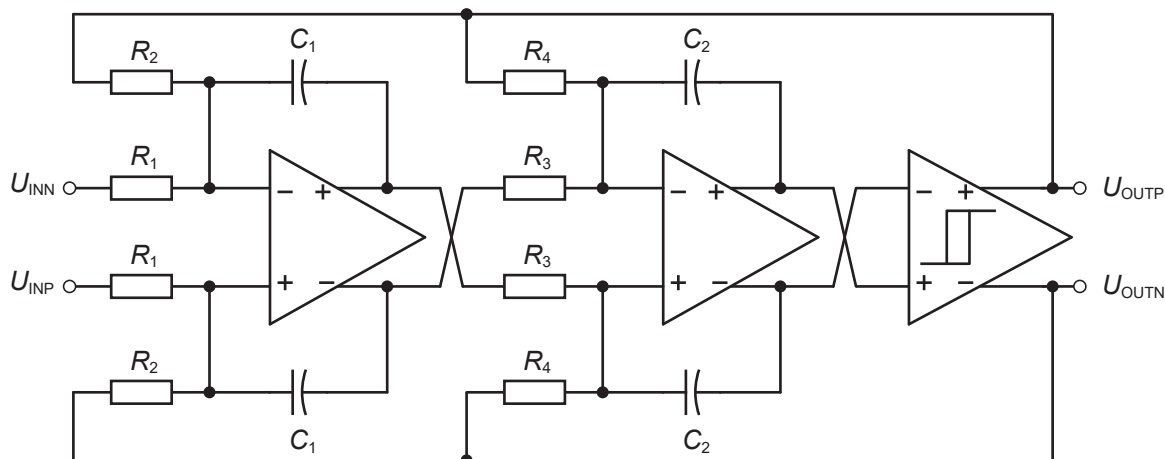
*1 Počítáno dle rovnic 3.25 a 3.26.

Navržený ADSM vyniká v extrémně malé ploše, kdy všechny pasivní prvky integrátorů (v tomto případě C) jsou integrovány na čipu. Nižší plochy autoři dosáhli v [122]. Jejich struktura však není plně diferenční, proto obsahuje pouze jeden kapacitor (o velikosti 233 fF). Výhodou představeného ADSM je také jeho velký napěťový vstupní rozsah a vysoké $SNDR$. Oproti některým ADSM zmíněným v tabulce 5.2, má o řád vyšší spotřebu, ale o dva řády vyšší šířku pásma. Svými parametry nemá v současné době přímého konkurenta v publikovaných pracích. Výjimkou je ADSM prezentovaný v další kapitole nebo ten v publikaci [118], kde se však jedná o krátký článek bez uvedení některých podstatných informací.

6.2 Asynchronní delta-sigma modulátor 2. řádu v technologii TSMC 180 nm

Druhý představovaný ADSM vychází z publikace z roku 2020 v časopise MDPI Sensors (Q2) [124] a jeho cílovou aplikací je zpracování biomedicínských signálů. Tento ADSM je navržen ve standardní technologii TSMC 0,18 μm s použitým napájením 1 V. Na rozdíl od publikovaného článku tato kapitola představuje jinou metodu výpočtu kmitočtu limitního cyklu, která je obecně náročnější než tomu bylo v případě ADSM 1. řádu uvedená v kapitole 6.1.1. Obvod využívá integrátory RC , což s sebou přináší nižší požadavky na

vstupní rozsahy použitých operačních zesilovačů, avšak ty nyní musí být schopny pracovat s odporovou zátěží tvořenou následujícím integrátorem. V případě tohoto ADSM je použito stejné vzorkování $T_S = 1$ ns, díky čemuž je dosaženo nižšího $SNDR$ než v publikované práci. Kvůli absenci tvarování šumu vyšší řád modulátoru nepřináší vyšší dosažitelné $SNDR$, ale je možno nezávisle na sobě nastavit hloubku modulace a kmitočet limitního cyklu. Schéma zapojení obvodu je na obr. 6.11.



Obr. 6.11: Schéma navrženého ADSM 2. řádu s integrátory RC .

Obsahuje dva operační zesilovače ve třídě A/AB s obvodem CMFB, komparátor s hysterezí a implementovaným DAC, kdu $+U_{REF} = U_{OUTP}$ a $-U_{REF} = U_{OUTN}$. Všechny tyto analogové bloky budou na tranzistorové úrovni popsány v kapitole 6.2.2.

6.2.1 Kmitočet limitního cyklu

V případě modulátoru 2. řádu je složitější odvodit vztah pro výpočet mezního kmitočtu. V následující kapitole bude představena jednoduchá metoda pro jeho stanovení, která se doposud v publikacích neobjevila. Vychází ze základního faktu, že střída na výstupu 1. a 2. integrátoru je stejná. Nejdříve je odvozen vztah pro dobu periody T_1 , kdy se výstup ADSM (U_{OUT}) nachází v logické úrovni 1. Pro referenční vstupy integrátorů platí

$$U_{R1}(t) = \begin{cases} +U_{REF} & \text{když } U_{OUTP}(t) = -U_{DD}, \\ -U_{REF} & \text{když } U_{OUTP}(t) = +U_{DD}, \end{cases} \quad (6.9)$$

$$U_{R2}(t) = \begin{cases} +U_{REF} & \text{když } U_{OUTP}(t) = +U_{DD}, \\ -U_{REF} & \text{když } U_{OUTP}(t) = -U_{DD}. \end{cases} \quad (6.10)$$

Během periody T_1 se nachází vstup U_{R1} v hodnotě $-U_{REF}$ a vstup U_{R2} v hodnotě $+U_{REF}$. Ze vstupního signálu U_{IN} a rychlostí nástupu obou hran lze stanovit střídu.

Stejnou střidu musí mít oba integrátory, tedy poměr jejich rychlostí přeběhu pro stejnou úroveň U_{OUT} musí být totožný. Na rozdíl od prvního integrátoru, kde všechny vstupní parametry jsou známé, u druhé integrátoru je vstup U_{Y1} právě hledaný parametr, který ovlivní poměr rychlostí přeběhu druhého integrátoru. Ačkoliv má tento signál trojúhelníkový průběh, jeho rozptyl není pro výpočet důležitý, ale jen jeho střední hodnota. Tedy

$$\frac{SR_{1R}}{SR_{1F}} = \frac{SR_{2F}}{SR_{2R}}, \quad (6.11)$$

po dosazení

$$\frac{\frac{U_{IN}}{R_1} - \frac{U_{REF}}{R_2}}{\frac{U_{IN}}{R_1} + \frac{U_{REF}}{R_2}} = \frac{\frac{U_{Y1}}{R_3} + \frac{U_{REF}}{R_4}}{\frac{U_{Y1}}{R_3} - \frac{U_{REF}}{R_4}}, \quad (6.12)$$

kapacitory C_1 a C_2 se z rovnice vykrátí, a proto nejsou již uvedeny. Z rovnice 6.12 lze vyjádřit U_{Y1}

$$U_{Y1} = -\frac{R_2 R_3 U_{IN}}{R_1 R_4}. \quad (6.13)$$

Další postup je obdobný jako u ADSM prvního řádu, kdy vstupním signálem nyní je U_{Y1} . Během doby T_1 signál na výstupu druhého integrátoru, resp. vstupu komparátoru klesá od $+V_H$ k $-V_H$. Doba potřebná k této změně, tj. $2V_H$, odpovídá T_1 . Tedy

$$\frac{\frac{-R_2 R_3 U_{IN}}{R_1 R_3 R_4} + \frac{U_{REF}}{R_4}}{C_2} T_1 = 2V_H, \quad (6.14)$$

potom

$$T_1 = \frac{2U_H C_2 R_1 R_4}{R_1 U_{REF} - R_2 U_{IN}}. \quad (6.15)$$

Obdobně lze vypočítat dobu T_2

$$T_2 = \frac{2U_H C_2 R_1 R_4}{R_1 U_{REF} + R_2 U_{IN}}. \quad (6.16)$$

Jak již bylo zmíněno, maximální kmitočet limitního cyklu nastává při nulovém vstupním signálu ($U_{IN} = 0$ V), kdy je střída signálu 1:1. Pro nosný kmitočet platí

$$T_0 = \frac{4U_H C_2 R_4}{U_{REF}}. \quad (6.17)$$

Vztah pro T_0 je tedy stejný jako v případě ADSM 1. řádu (rovnice 6.3). Zvýšením řádu modulátoru nedochází ke zvýšení kmitočtu limitního cyklu a kvůli absenci tvarování šumu s sebou ani nepřináší zvýšení $SNDR$, avšak umožňuje nezávisle na sobě nastavit hloubku modulace a kmitočet limitního cyklu. Lze tak docílit menšího poklesu kmitočtu limitního cyklu pro vyšší amplitudy.

6.2.2 Analogové bloky

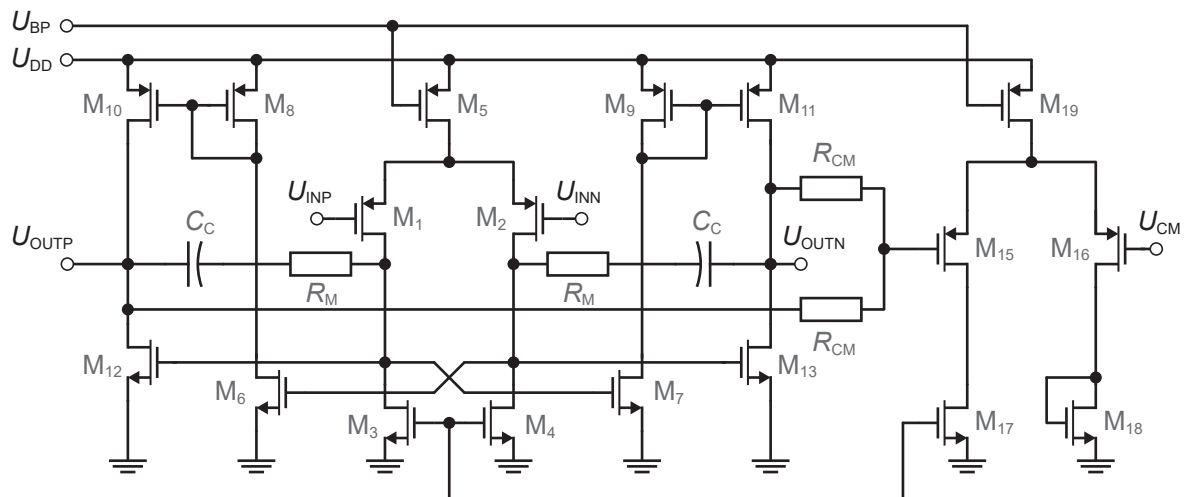
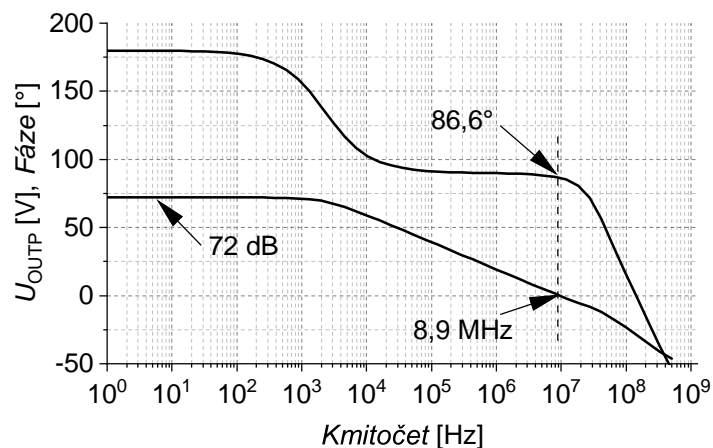
V této části jsou popsány analogové bloky, jejichž vlastnosti byly ověřeny nejen pro typické modely součástek, ale také analýzou Monte Carlo s 500 běhy zahrnující jak rozptyl souběhu, tak vliv procesních odchylek. To vše pro schémata s vygenerovanými parazitními R a C z navržené topologie obvodu. Vzhledem k časové náročnosti je výsledný model ADSM zahrnující zmíněné součástky z parazitní extrakce simulován jen v typickém procesu.

Operační zesilovač

Na operační zesilovače použité v integrátorech RC jsou z hlediska vstupního rozsahu kladeny nižší požadavky, protože signál na jejich vstupu se pohybuje v blízkosti potenciálu virtuální země, kdy velikost fluktuace kolem této hodnoty je dána zesílením operačního zesilovače v otevřené smyčce. Použití integrátoru $G_m - C$ je v tomto případě méně vhodné, protože při požadovaném napěťovém rozsahu je značně obtížné navrhnout obvod se vstupním diferenčním párem řízeným elektrodou bulk, jako tomu bylo u ADSM v technologii FDSOI. Možným řešením by bylo navrhnout komplementární diferenční pár s tranzistorem NMOS i PMOS, avšak by to s sebou přinášelo nárůst plochy, spotřeby obvodu a horší linearitu. Nevýhodou integrátoru RC je odporová zátěž na výstupu prvního integrátoru.

Schéma navrženého operačního zesilovače je ukázáno na obr. 6.12. Jedná se o dvoustupeňovou strukturu s diferenčním párem tvořeným tranzistorem PMOS se sníženým U_{TH} . Druhý stupeň třídy A/AB je tvořen celkem čtyřmi tranzistorem a pro zajištění stability je použit kapacitor C s odporem R_M . Výhodou této struktury ve srovnání s běžným provedením ve třídě A je menší spotřeba, rychlejší rychlost přeběhu nebo vyšší zatížitelnost výstupu.

Pro nastavení souhlasného napětí slouží druhý diferenční pár s odporovým děličem na vstupu. Výhodou tohoto obvodu je, že na vstupu diferenčního páru je napětí udržováno na hodnotě U_{CM} pouze s malými fluktuacemi. Nevýhodou je zmíněný odporový dělič, který představuje zátěž pro operační zesilovač. Proto jsou navrženy odpory s velkou hodnotou 500 k Ω . Bodeho diagram ukazuje obr. 6.13.

Obr. 6.12: Schéma operačního zesilovače navrženého pro integrátory RC .

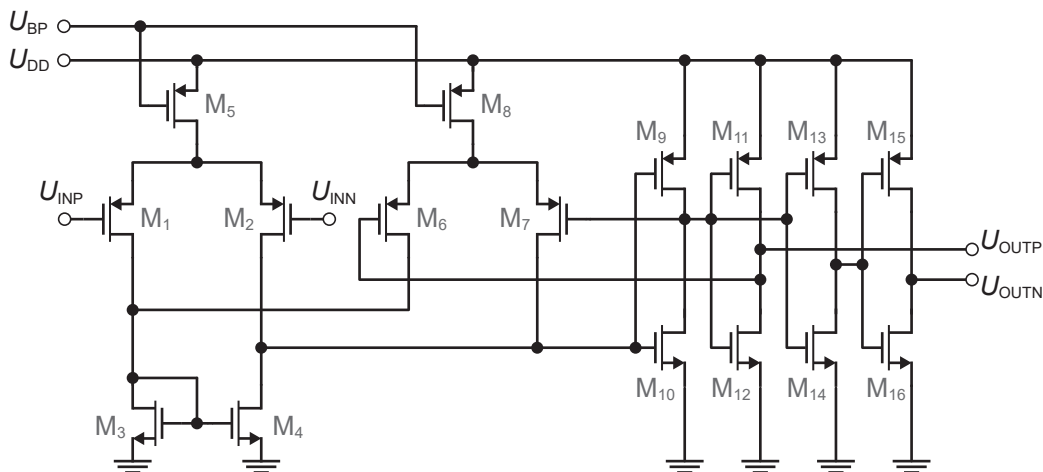
Obr. 6.13: Bodeho diagram operačního zesilovače.

Diferenční pár pro nastavení souhlasného napětí je tvořený, stejně jako u vstupního diferenčního páru operačního zesilovače, tranzistory se sníženým prahovým napětím.

Komparátor s hysterezí

Schéma zapojení komparátoru využívající kladnou zpětnou vazbu je na obr. 6.14. Obvod se skládá ze dvou diferenčních párů. První, tvořený tranzistory M_1 a M_2 je klasický vstupní diferenční pár s aktivní zátěží běžně používaný v operačních zesilovačích. Druhý s tranzistory M_6 a M_7 slouží k rozvažování prvního diferenčního páru za účelem zavedení hystereze. Jak bylo odvozeno v kapitole 6.2.1, hystereze byla s ohledem na ostatní parametry zvolena $U_{REF} = \pm 90$ mV. Na rozdíl od ADSM realizovaným v technologii FD-SOI se vstupním napěťovým rozsahem v plném napájecím rozsahu, je zde vstupní rozsah omezen na $\langle 0; U_{DD} - U_{DS5(sat)} - U_{TH1} \rangle$. Podle Corner analýzy je nejhorší možný případ

0 - 620 mV. Pro dosažení tohoto rozsahu jsou použity vstupní tranzistory (a také M_3 , M_4) se sníženým prahovým napětím (medium V_{TH}). Stejně jako u operačního zesilovače i zde jsou vstupní tranzistory typu PMOS a to s ohledem na použitou nwell technologii, kdy elektrody bulk jsou spojeny se source, aby nedocházelo ke změně prahového napětí v závislosti na vstupních signálech vlivem bulk efektu. Pro vyšší zesílení je druhý stupeň tvořený invertorem, za kterým následují další invertory pro vyváření dvou navzájem invertovaných výstupů, které zároveň slouží jako referenční napětí pro integrátory.

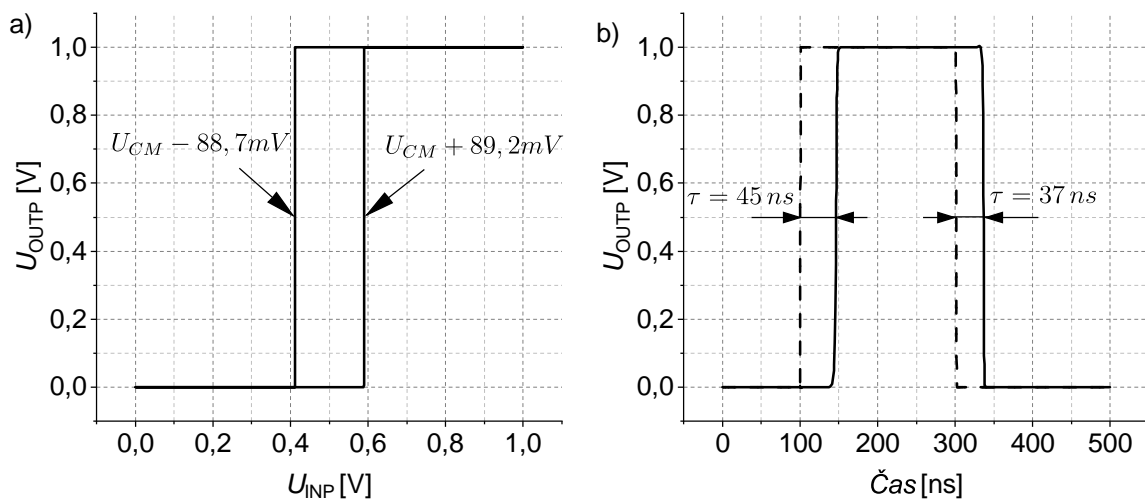


Obr. 6.14: Schéma navrženého komparátoru s hysterezí.

V případě vstupních signálů komparátoru $U_{INP} = U_{DD}$ a $U_{INN} \ll U_{INP}$ jsou výstupy ve stavu $U_{OUTP} = U_{DD}$ a $U_{OUTN} = 0$ V. Ve vstupním diferenčním páru je M_1 zavřený a M_2 plně otevřený. U druhého diferenčního páru je výstup U_{OUTP} připojen na gate M_6 a tento tranzistor je při výše uvedených podmínkách uzavřen. Naopak M_7 má na hradle hodnotu 0 V a měl by jím protékat proud daný proudovým zdrojem M_8 a následně se přičítat k proudu I_{M2} . Protože je však M_3 a tím pádem i M_4 zavřený, je tento proud nulový. V tomto stavu má komparátor nulovou spotřebu. V případě, že začne napětí U_{INP} klesat a dosáhne hodnoty U_{INN} nacházel by se komparátor bez zavedené hystereze na prahové úrovni. Avšak díky připojenému proudu I_{M8} je nutné, aby U_{INP} klesl ještě níže a došlo k vyrovnání proudů I_{M3} a I_{M4} . Matematicky to lze vyjádřit

$$V_H = \frac{(\sqrt{I_{D3} + I_{D11}} - \sqrt{I_{D3} - I_{D11}})}{\sqrt{\mu C_{OX}(W/L)_1}}. \quad (6.18)$$

Na obr. 6.15a) je výstup z časové analýzy se změnou hodnotou na ose X, kdy namísto času byl vybrán U_{INP} a na obr. 6.15b) je ukázáno zpoždění komparátoru.

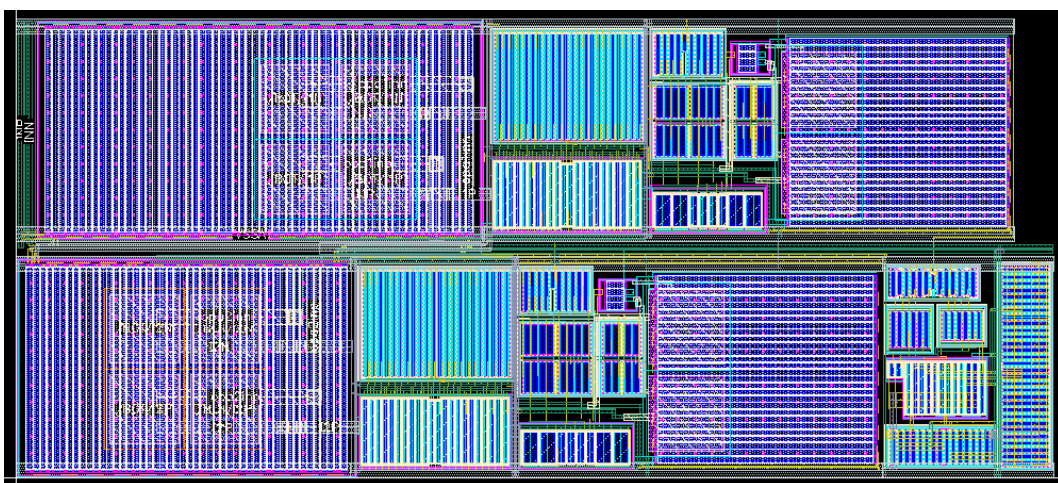


Obr. 6.15: Výsledky analýz komparátoru v Cadence Virtuoso: a) hysterezní křivka a b) zpoždění.

Z obr. 6.15b je vidět důsledek časového zpoždění komparátoru o velikosti 45 ns projevující se poklesem kmitočtu limitního cyklu z 1,4 MHz na 1,1 MHz (viz. rovnice 5.18).

Parametry navrženého asynchronního modulátoru delta-sigma

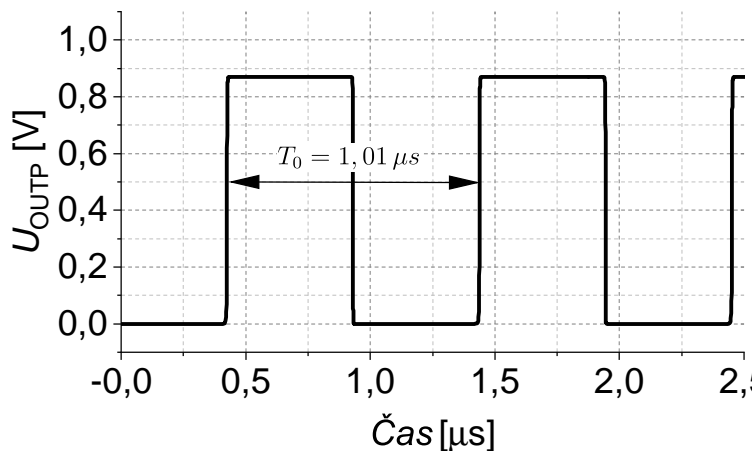
Stejně jako u ADSM 1. řádu (kapitola 6.1.2) byla nejdříve provedena extrakce parazitních $R + C$ a na tomto modelu proběhla charakterizace obvodu. Velikost plochy na čipu je $0,054\text{ mm}^2$, přičemž největší plochu zabírají pasivní prvky: odpory v integráto-rech a operačních zesilovačích a kapacitory. Kapacitory typu MIM (metal-insulator-metal) se nacházejí mezi metalem 5 (resp. 5,5) a metalem 6. Pro úspory plochy jsou pod nimi umístěny zmíněné odpory nacházející se naopak v nejnižších vrstvách.



Obr. 6.16: Topologie ADSM 2. řádu v technologii TSMC $0,18\ \mu\text{m}$.

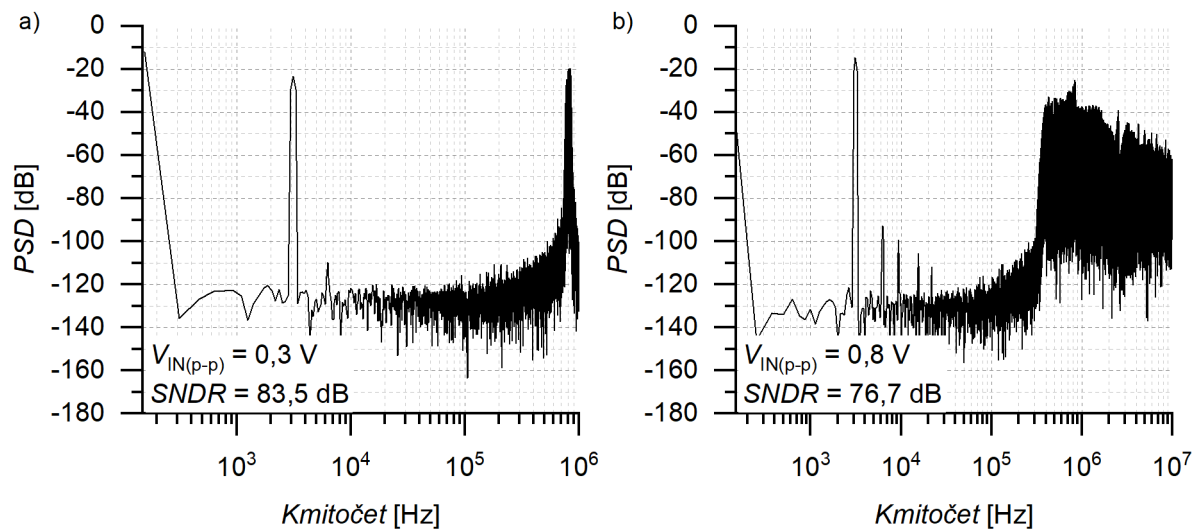
U tohoto ADSM jsou referenční napětí ($\pm U_{REF}$) dané přímo napájecím napětím (U_{DD}), a proto, na rozdíl od ADSM 1. řádu z kapitoly 6.1.2, je předpokládáno U_{DD} jako přesné referenční napětí. Hodnoty pasivních součástek jsou: $R_1 = R_2 = 550 \text{ k}\Omega$, $R_2 = R_4 = 500 \text{ k}\Omega$.

Na obr. 6.17 je výstup časové analýzy pro nulový vstupní signál ($U_{IN} = U_{CM}$), kdy dosahuje maximálního kmitočtu limitního cyklu. Ten byl navrhován na 1,4 MHz, ale z důvodu zpoždění komparátoru jeho hodnota klesla na 1,1 MHz. Z výstupu simulace na obr. 6.17 byla odečtena hodnota $T_0 = 1,01 \mu\text{s}$, což odpovídá $f_0 = 990 \text{ kHz}$. Výsledná hodnota je ještě o 100 Hz nižší než ta vypočítaná, která zahrnuje také zpoždění komparátoru. To je způsobeno několika faktory. Hodnota odporu R_4 je 510 k Ω namísto 500 k Ω z důvodu rozdělení jeho topologie na více shodných segmentů se středově symetrickým proložením s odporem R_3 pro dosažení co nejlepší shodnosti. Dalšími možnými příčinami, avšak s minoritním vlivem, jsou reálně nižší hodnota $\pm U_{REF}$ daná úbytkem napětí na výstupních tranzistorech komparátoru a parazitní R a C . Zároveň se ve spektru objevují sudé i liché harmonické složky vstupního signálu. Jejich vliv je také vidět na obr. 6.19, který ukazuje závislost $SNDR$ na kmitočtu vstupního signálu pro výše uvedené amplitudy 0,15 V a 0,4 V.

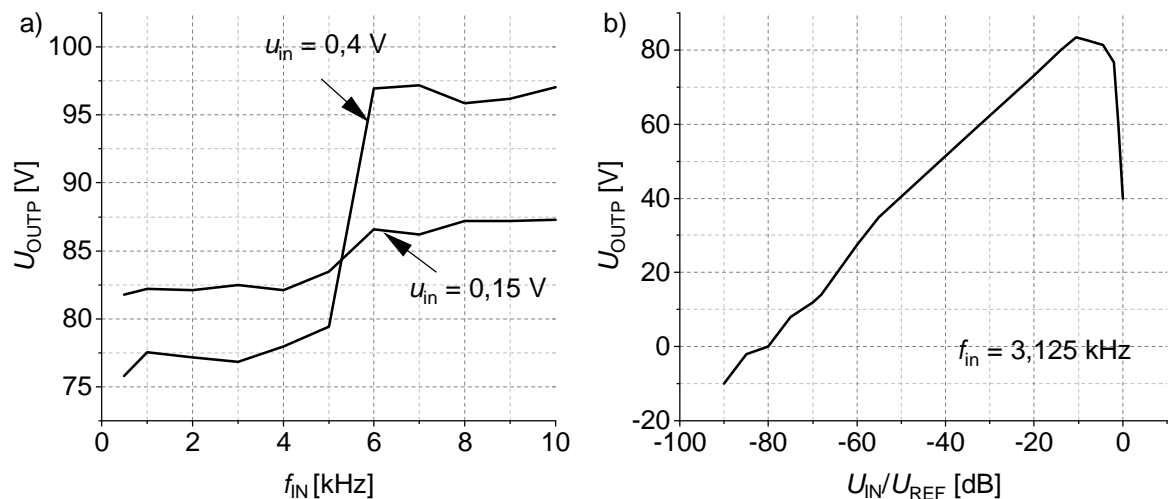


Obr. 6.17: časový průběh U_{OUTP} pro nulový vstupní signál.

Pro vyhodnocení $SNDR$ byla nastavena časová analýza na 10 ms pro různé amplitudy a kmitočty vstupního signálu. Při použití vzorkování $T_S = 1 \text{ ns}$ obsahoval výstupní soubor až 10 milionů vzorků. Na obr. 6.18 je ukázáno rozložení výkonové spektrální hustoty šumu pro amplitudy vstupního signálu 0,15 V a 0,3. U hodnoty 0,15 V je hranice šumu v oblasti kmitočtu limitního cyklu na hodnotě cca 900 kHz. U amplitudy 0,4 V dochází k posunu hranice tohoto šumu na hodnotu cca 300 kHz (pro srovnání u ADSM 1.řádu to bylo 150 kHz).



Obr. 6.18: Rozložení výkonové spektrální hustoty pro signál o vstupní amplitudě a) 0,15 V a b) 0,4 V.



Obr. 6.19: Závislost $SNDR$ na a) kmitočtu vstupního signálu a b) na jeho amplitudě.

U hodnoty 0,15 V se $SNDR$ v celém rozsahu kmitočtového pásma pohybuje v rozsahu $85 \pm 2,5$ dB (je zde mírný pokles při vstupu druhé harmonické složky do pásma) u amplitudy 0,4 V dosahuje u vyšších kmitočtů $SNDR = 96$ dB, zatímco u nižších, kdy $f_{IN} < f_{BW}/2$, dochází k poklesu pod 80 dB. To je způsobeno posunem harmonických složek do zpracovávaného kmitočtového pásma.

Vyhodnocení parametrů navrženého ADSM je uvedeno v tabulce 6.2 a porovnání s jinými ADSM lze nalézt v tabulce 5.2.

Tab. 6.2: Dosažené parametry ADSM 2. řádu.

Parametr	Hodnota
Technologie	TSMC 0,18 μm
U_{DD}	1 V
Plocha	0,054 mm^2
Integrátory	RC
Kmitočet lim. cyklu (f_0)	990 kHz
Šířka pásma (f_{BW})	10 kHz
$SNDR$	83,5 dB
DR	80 dB
Spotřeba	290 μW
FOM_1^{*1}	1,17 pJ/krok
FOM_2^{*1}	159 dB

*1 Počítáno dle rovnic 3.25 a 3.26.

Navržený ADSM vyniká svým rozlišením až 13,5 bitů ($SNDR = 83,5$ dB) v pásmu 10 kHz, kdy vzhledem k bezpečné vzdálenosti šumu spojeného s kmitočte limitního cyklu lze pásmo s minimální ztrátou $SNDR$ rozšířit na 20 dB a využít jej i v audio aplikacích. Plocha je asi 30x větší než u prezentovaného ADSM 1. řádu vlivem velkých pasivních prvků v integrátorech RC a v dvoustupňovém operačním zesilovači. Lepší linearita integrátorů s sebou přináší vyšší rozlišení, jak již bylo zmíněno v předchozí kapitole, nejbliže z prezentovaných ADSM jiných autorů je ten od W. Chena [118] (struktura s tvarováním šumu), avšak neobsahuje mimo dosaženého $SNDR$, šířky pásma a kmitočtu limitního cyklu žádné další údaje.

Tato kapitola ukázala dva nové ADSM 1. a 2. řádu s parametry z oblastí, které zatím žádný publikovaný ADSM jiných autorů nenabývá.

7 Závěr

Ačkoliv o základních principech modulátorů delta-sigma existuje celá řada literárních pramenů, většina z nich čtenáře od prvních stránek zahltí nepřehlednými matematickými vzorci a grafy, načež čtenář nabude dojmu, že daná problematika je příliš složitá, ačkoliv pravda je zcela opačná. V posledních letech se dostávají opět do oblasti zájmu modulátory s integrátory pracujícími spojitě v čase. Ty lze dále rozdělit na synchronní (CT-DSM) a asynchronní (ADSM). V kategorii synchronních existují dvě knihy, avšak značná část obsahu se odvolává na teorii diskretních modulátorů, které jsou za mnoho let zájmu vědecké komunity detailně prozkoumány. Samotný návrh CT-DSM také vychází z transformace přenosových funkcí DT-DSM. Proto i v této práci jsou přehledným způsobem popsány vlastnosti CT-DSM, postup jejich návrhu a také problémy, se kterými se návrhář setká. Posledním typem modulátoru zkoumaným v této práci je ADSM, který se v posledních letech rovněž dostává do popředí zájmu vědecké komunity. K dnešnímu dni však neexistuje jediná komplexní publikace zabývající se popisem jeho základních vlastností a problémů spojených s návrhem. V této kategorii je napsáno pouze několik článků typově velmi podobných, neboť řada z nich pochází od stejného autorského týmu. Za tímto účelem jsem sepsal kapitolu o ADSM, kde jsou uvedeny všechny podstatné věci týkající se principu činnosti s ohledem na návrh obvodů.

Vědecký přínos práce navazuje na tuto dosud nepříliš probádanou a publikačně slabou oblast ADSM. Protože většina existujících prací z týmu L. Ferreiry je zaměřena na ADSM s extrémně nízkou spotřebou (desítky nW), napájecím napětím (0,25-0,3 V) a tím i související malou šířkou pásma (desítky Hz), zaměřil jsem se na oblast, ve které jsme na Ústavu mikroelektroniky řešili jiné ADC, tj. šířka pásma v řádu jednotek kHz s rozlišením více než 10 bitů. Tyto ADC byly navrženy pro zpracování signálů ze senzorů (např. vibrační) nebo biomedicínské aplikace. První představený ADSM 1. řádu s integrátorem $G_m - C$ využívá moderní technologii od švýcarské společnosti ST Microelectronics FDSOI 28 nm. Kromě zmíněné kmitočtové oblasti (pásmo 5 kHz) a vysokého rozlišení (12,5 bitů), vyniká velmi malou plochou (0,0017 mm²) a velkým napěťovým rozsahem (1 V), přičemž má jen velmi malou spotřebu (32 μW). Druhý představený ADSM vychází z naší publikace z minulého roku s několika změnami. Jedná se o strukturu 2. řádu s integrátory RC , kdy byla použita dnes značně rozšířená technologie mezi vědeckou komunitou TSMC 0,18 μm. Stejně jako u 1. řádu i zde je potřeba vycházet z kmitočtu limitního cyklu, který byl zde novým způsobem odvozen a vysvětlen postup návrhu. Mimo větší plochu a spotřebu nabízí obdobné parametry jako první ADSM v technologii FDSOI, avšak s vyšším rozlišením 13,5 bitů. Při charakterizaci obou navržených ADSM byl pro synchronizaci použit signál s periodou 1 ns. V práci bylo ukázáno, že nižší perioda synchronizačního (vzorkovacího) signálu s sebou přináší zvýšení rozlišení ADSM. Ostatní autoři vůbec neuvádí tento podstatný údaj a tak není ani v přehledové tabulce 5.2 uveden.

Výsledky práce budou použity při výuce předmětů na Ústavu mikroelektroniky a poskytnuty studentům při přípravě jejich závěrečných prací. Na nově navržené ADSM bude navázána další publikační činnost..

Seznam literatury

- [1] CHERRY, J. A. a SNELGROVE, W. M. *Continuous-Time Delta-Sigma Modulators for High-Speed A/D Conversion: Theory, Practice and Fundamental Performance Limits*. USA: Kluwer Academic Publishers, 2002. ISBN 0792386256.
- [2] ORTMANN, M. *Continuous-time sigma-delta A/D conversion : fundamentals, performance limits, and robust implementations*. Berlin: Springer, 2006. Springer series in advanced microelectronics. ISBN 3-540-28406-0.
- [3] DELORAINE, E.-M., VAN MIERO, S. a DERJAVITCH, B. *Methode et système de transmission par impulsions*. 1948.
- [4] MAURICE, D. E. a BORIS, D. *Communication system utilizing constant amplitude pulses of opposite polarities*. únor 24 1953. US Patent 2,629,857.
- [5] DEJAGER, F. *Delta modulation, a method of PCM transmission using a 1-unit code*, *Phillips Res.* 1952.
- [6] VANDEWEG, H. Quantizing Noise of a Single Integration Delta-Modulation System with an N-Digit Code. *Philips Research Reports*. 1953, roč. 8, č. 5. S. 367–385.
- [7] CUTLER, C. C. *Differential quantization of communication signals*. červenec 29 1952. US Patent 2,605,361.
- [8] CUTLER, C. C. *Transmission systems employing quantization*. březen 8 1960. US Patent 2,927,962.
- [9] BRAHM, C. B. *Feedback integrating system*. červen 29 1965. US Patent 3,192,371.
- [10] INOSE, H., YASUDA, Y. a MURAKAMI, J. A Telemetering System by Code Modulation - Δ - Σ Modulation. *IRE Transactions on Space Electronics and Telemetry*. 1962, SET-8, č. 3. S. 204–209.
- [11] INOSE, H. a YASUDA, Y. A unity bit coding method by negative feedback. *Proceedings of the IEEE*. 1963, roč. 51, č. 11. S. 1524–1535.
- [12] GOODMAN, D. J. The application of delta modulation to analog-to-PCM encoding. *The Bell System Technical Journal*. 1969, roč. 48, č. 2. S. 321–343.
- [13] CANDY, J. A Use of Limit Cycle Oscillations to Obtain Robust Analog-to-Digital Converters. *IEEE Transactions on Communications*. 1974, roč. 22, č. 3. S. 298–305.
- [14] KIKKERT, C. a MILLER, D. Asynchronous delta sigma modulation. In *Proc. IREE*. 1975. S. 83–88.

- [15] SHENOI, K. a AGRAWAL, B. P. *Delta-sigma modulator with switch capacitor implementation*. březen 27 1984. US Patent 4,439,756.
- [16] MISAWA, T., IWERSEN, J. E., LOPORCARO, L. J. et al. Single-chip per channel codec with filters utilizing /spl Delta/-/spl Sigma/ modulation. *IEEE Journal of Solid-State Circuits*. 1981, roč. 16, č. 4. S. 333–341.
- [17] WANG, P. Idle Channel Noise of Delta Modulation. *IEEE Transactions on Communication Technology*. 1968, roč. 16, č. 5. S. 737–742.
- [18] GEERTS, Y., STEYAERT, M. a SANSEN, W. M. *Design of Multi-Bit Delta-Sigma a/d Converters*. New York, NY: Springer, 2002. ISBN 1402070780.
- [19] SCHREIER, R., TEMES, G. C. a NORSWORTHY, S. R. *Delta-sigma data converters: theory, design, and simulation*. [b.m.]: IEEE, 1997. ISBN 978-0-780-31045-2.
- [20] BOURDOPOULOS, G. I. *Delta-Sigma modulators : modeling, design and applications*. London:: Imperial College Press,, 2003. ISBN 1-86094-369-1.
- [21] SCHREIER, R. a TEMES, G. C. *Understanding delta-sigma data converters*. New York, NY: Wiley, 2005. ISBN 0-471-46585-2.
- [22] PLASSCHE, R. J. Van de. *CMOS integrated analog-to-digital and digital-to-analog converters*. [b.m.]: Springer Science & Business Media, 2013. ISBN 1-4020-7500-6.
- [23] LESLIE, T. C. a SINGH, B. An improved sigma-delta modulator architecture. In *IEEE International Symposium on Circuits and Systems*. 1990. S. 372–375 vol.1.
- [24] PELGROM, M. J. M., DUINMAIJER, A. C. J. a WELBERS, A. P. G. Matching properties of MOS transistors. *IEEE Journal of Solid-State Circuits*. 1989, roč. 24, č. 5. S. 1433–1439.
- [25] SARHANG-NEJAD, M. a TEMES, G. C. A high-resolution multibit Sigma Delta ADC with digital correction and relaxed amplifier requirements. *IEEE Journal of Solid-State Circuits*. 1993, roč. 28, č. 6. S. 648–660.
- [26] SUN, N. High-Order Mismatch-Shaping in Multibit DACs. *IEEE Transactions on Circuits and Systems II: Express Briefs*. 2011, roč. 58, č. 6. S. 346–350.
- [27] ABOUDINA, M. a RAZAVI, B. A New DAC Mismatch Shaping Technique for Sigma-Delta Modulators. *IEEE Transactions on Circuits and Systems II: Express Briefs*. 2010, roč. 57, č. 12. S. 966–970.

- [28] AKRAM, W. a SWARTZLANDER, E. E. A novel technique for tunable mismatch shaping in oversampled digital-to-analog converters. In *2010 IEEE International Conference on Acoustics, Speech and Signal Processing*. 2010. S. 1534–1537.
- [29] LAVZIN, A., KOZAK, M. a FRIEDMAN, E. G. A higher-order mismatch-shaping method for multi-bit Sigma-Delta Modulators. In *2008 IEEE International SOC Conference*. 2008. S. 267–270.
- [30] JONSSON, B. E. Using figures-of-merit to evaluate measured A/D-converter performance. In *Proc. of 2011 IMEKO IWADC & IEEE ADC Forum*. 2011. S. 1–6.
- [31] RITONIEMI, T., KAREMA, T. a TENHUNEN, H. 5Th Fifth Order Sigma-Delta Modulator For Audio A/D-Converter. In *1991 Symposium on VLSI Circuits*. 1991. S. 31–32.
- [32] WANG, Y., ZHANG, Y., WANG, H. et al. A 18-bit sixth-order sigma-delta modulator for audio application. In *2013 IEEE International Conference on Signal Processing, Communication and Computing (ICSPCC 2013)*. 2013. S. 1–5.
- [33] ZANBAGHI, R., SAXENA, S., TEMES, G. C. et al. A 75dB SNDR, 10MHz conversion bandwidth stage-shared 2-2 MASH $\Delta\Sigma$ modulator dissipating 9mW. In *2011 IEEE Custom Integrated Circuits Conference (CICC)*. 2011. S. 1–4.
- [34] DAOUD, H., BEN SALEM, S., ZOUARI, S. et al. Feed-forward $\Delta\Sigma$ modulators topologies design for broadband communications applications. In *2011 18th IEEE International Conference on Electronics, Circuits, and Systems*. 2011. S. 69–72.
- [35] LAOUEJ, D., DAOUD, H., MALLEK, J. et al. Design of Low Power Discrete Time FF $\Delta\Sigma$ Modulator for Biomedical Application. In *2019 IEEE International Conference on Design Test of Integrated Micro Nano-Systems (DTS)*. 2019. S. 1–5.
- [36] PAVLÍK, M., KLEDROWETZ, V., HÁZE, J. et al. SC $\Delta\Sigma$ converter for vibration sensor processing system. In *2013 36th International Conference on Telecommunications and Signal Processing (TSP)*. 2013. S. 392–396.
- [37] PEREZ, A. P., BONIZZONI, E. a MALOBERTI, F. A 84dB SNDR 100kHz bandwidth low-power single op-amp third-order $\Delta\Sigma$ modulator consuming 140 μ W. In *2011 IEEE International Solid-State Circuits Conference*. 2011. S. 478–480.
- [38] GRYTA, A., SUGURO, T. a ISHIKURO, H. A low-power third-order $\Delta\Sigma$ modulator using ring amplifiers with power-saving technique. In *2016 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC)*. 2016. S. 275–278.

- [39] CHOI, Y., ROH, H., NAM, H. et al. 99-dB High-Performance Delta-Sigma Modulator for 20-kHz Bandwidth. In *4th IEEE International Symposium on Electronic Design, Test and Applications (delta 2008)*. 2008. S. 75–78.
- [40] ROH, J., BYUN, S., CHOI, Y. et al. A 0.9-V 60- μ W 1-Bit Fourth-Order Delta-Sigma Modulator With 83-dB Dynamic Range. *IEEE Journal of Solid-State Circuits*. 2008, roč. 43, č. 2. S. 361–370.
- [41] QIAO, Z., ZHOU, X. a LI, Q. A 0.25V 97.8fJ/c.-s. 86.5dB SNDR SC $\Delta\Sigma$ modulator in 0.13 μ m CMOS. In *2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS)*. 2013. S. 261–264.
- [42] KWON, C., JEONG, C., MIN, Y. et al. An 80-dB SNR 4th-order discrete-time sigma-delta modulator. In *2011 International Symposium on Integrated Circuits*. 2011. S. 230–233.
- [43] DAOUD, H., LAOUEJ, D., BEN SALEM, S. et al. Design of discret time feed-forward cascaded $\Delta\Sigma$ modulator for wireless communication systems. In *2016 11th International Design Test Symposium (IDT)*. 2016. S. 216–220.
- [44] PAVLÍK, M., KLEDROWETZ, V., PRISTACH, M. et al. Design of the 16bit $\Delta\Sigma$ converter for sensor signal processing. In *2015 38th International Conference on Telecommunications and Signal Processing (TSP)*. 2015. S. 713–716.
- [45] NOWACKI, B., PAULINO, N. a GOES, J. A low power 4th order MASH switched-capacitor $\Sigma\Delta$ modulator using ultra incomplete settling. In *2014 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2014. S. 1344–1347.
- [46] TANG, Y., CHEN, X. a ZHU, H. A 108-dB SNDR 2–1 MASH $\Delta\Sigma$ Modulator with First-Stage Multibit for Audio Application. In *2018 IEEE 3rd International Conference on Integrated Circuits and Microsystems (ICICM)*. 2018. S. 336–340.
- [47] ZAMANI, M., DOUSTI, M., TAGHIZADEH, M. et al. A fourth-order, low-pass, MASH $\Delta\Sigma$ modulator with CBSC technique in 0.18 μ m CMOS. In *2011 24th Canadian Conference on Electrical and Computer Engineering (CCECE)*. 2011. S. 000048–000053.
- [48] MORGADO, A., DEL RÍO, R., DE LA ROSA, J. M. et al. A 0.13 μ m CMOS adaptive sigma–delta modulator for triple-mode GSM/Bluetooth/UMTS applications. *Microelectronics Journal*. 2010, roč. 41, č. 5. S. 277 – 290. Dostupné na: <<http://www.sciencedirect.com/science/article/pii/S0026269210000431>>. ISSN 0026-2692.

- [49] KUO, C. a WANG, K. A $\Delta\Sigma$ modulator with 3-Bit, 37-level pre-detective dynamic quantization. In *2012 10th IEEE International Conference on Semiconductor Electronics (ICSE)*. 2012. S. 574–577.
- [50] LIU, L., LI, D., YE, Y. et al. A 92.4dB SNDR 24kHz $\Delta\Sigma$ modulator consuming 352 μ W. In *IEEE/ACM International Symposium on Low Power Electronics and Design*. 2011. S. 351–356.
- [51] PRIOR, C. A. a RODRIGUES, C. R. A switched current sigma delta modulator using a low distortion feedforward topology. In *2010 53rd IEEE International Midwest Symposium on Circuits and Systems*. 2010. S. 296–299.
- [52] NEDVED, J., VANNEUVILLE, J., GEVAERT, D. et al. A transistor-only switched current sigma-delta A/D converter for a CMOS speech CODEC. *IEEE Journal of Solid-State Circuits*. 1995, roč. 30, č. 7. S. 819–822.
- [53] GREGORIAN, R., MARTIN, K. W. a TEMES, G. C. Switched-capacitor circuit design. *Proceedings of the IEEE*. 1983, roč. 71, č. 8. S. 941–966.
- [54] ORTMANN, M., GERFERS, F. a MANOLI, Y. On the synthesis of cascaded continuous-time $\Sigma\Delta$ modulators. In *ISCAS 2001. The 2001 IEEE International Symposium on Circuits and Systems (Cat. No.01CH37196)*. 2001. S. 419–422 vol. 5.
- [55] BALMELLI, P. a QIUTING HUANG. A 25 MS/s 14 b 200 mW $\Sigma\Delta$ modulator in 0.18 μ m CMOS. In *2004 IEEE International Solid-State Circuits Conference (IEEE Cat. No.04CH37519)*. 2004. S. 74–514 Vol.1.
- [56] BURGER, T. a QIUTING HUANG. A 13.5-mW 185-Msample/s $\Sigma\Delta$ modulator for UMTS/GSM dual-standard IF reception. *IEEE Journal of Solid-State Circuits*. 2001, roč. 36, č. 12. S. 1868–1878.
- [57] GERFERS, F. *Design Strategy, Limits and Implementation of Low-Voltage Low-Power Continuous-Time $\Sigma\Delta$ Modulators*. PhD Thesis, Albert-Ludwigs-University, Freiburg, Germany, 2005. Disertační práce.
- [58] OLIAEI, O. Design of continuous-time sigma-delta modulators with arbitrary feedback waveform. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*. 2003, roč. 50, č. 8. S. 437–444.
- [59] SHOAIE, O. *Continuous-time delta-sigma A/D converters for high speed applications*. Carleton University, 1996. Disertační práce.

- [60] ABOUSHADY, H. *Design for reuse of current-mode continuous-time sigma-delta analog-to-digital converters*. Ph. D. dissertation, Dept. Electron., Commun. Comput. Sci., Univ. Paris VI . . . , 2002. Disertační práce.
- [61] OLIAEI, O. a ABOUSHADY, H. Jitter effects in continuous-time $\Sigma\Delta$ modulators with delayed return-to-zero feedback. In *1998 IEEE International Conference on Electronics, Circuits and Systems. Surfing the Waves of Science and Technology (Cat. No.98EX196)*. 1998. S. 351–354 vol.1.
- [62] CHERRY, J. A. a SNELGROVE, W. M. Excess loop delay in continuous-time delta-sigma modulators. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*. 1999, roč. 46, č. 4. S. 376–389.
- [63] KELLER, M., BUHMANN, A., SAUERBREY, J. et al. A Comparative Study on Excess-Loop-Delay Compensation Techniques for Continuous-Time Sigma-Delta Modulators. *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2008, roč. 55, č. 11. S. 3480–3487.
- [64] CASIER, H., STEYAERT, M. a VAN ROERMUND, A. H. *Analog circuit design: robust design, sigma delta converters, RFID*. [b.m.]: Springer Science & Business Media, 2011. ISBN 9789400703902.
- [65] ROSA, J. De la a DEL RÍO, R. CMOS Sigma-Delta Converters: Practical Design Guide. *CMOS Sigma-Delta Converters: Practical Design Guide*. Březen 2013. S. i–xxviii.
- [66] KULCHYCKI, S. D., TROFIN, R., VLEUGELS, K. et al. A 77-dB Dynamic Range, 7.5-MHz Hybrid Continuous-Time/Discrete-Time Cascaded $\Sigma\Delta$ Modulator. *IEEE Journal of Solid-State Circuits*. 2008, roč. 43, č. 4. S. 796–804.
- [67] HING-KIT KWAN, SIU-HONG LUI, CHI-UN LEI et al. Design of hybrid continuous-time discrete-time delta-sigma modulators. In *2008 IEEE International Symposium on Circuits and Systems*. 2008. S. 1224–1227.
- [68] DUCU, D. G. a MANOLESCU, A. A 2-1 cascaded hybrid continuous-discrete time sigma-delta modulator. In *Proceedings of the 2014 6th International Conference on Electronics, Computers and Artificial Intelligence (ECAI)*. 2014. S. 27–30.
- [69] CANDY, J., CANDY, J., TEMES, G. et al. *Oversampling Delta-Sigma Data Converters: Theory, Design, and Simulation*. [b.m.]: Wiley, 1992. A selected reprint volume. Dostupné na: <<https://books.google.cz/books?id=H2pTAAAAMAAJ>>. ISBN 9780879422813.

- [70] ADAMS, R. a NGUYEN, K. Q. A 113-dB SNR oversampling DAC with segmented noise-shaped scrambling. *IEEE Journal of Solid-State Circuits*. 1998, roč. 33, č. 12. S. 1871–1878.
- [71] RADJEN, D. *Continuous-Time Delta-Sigma Modulators for Ultra-Low-Power Radios*. 2014. Disertační práce.
- [72] SHIN-JYE HSU, CHE-YU LU a HUNG, C. 40MHz Gm-C filter with high linearity OTA for wireless applications. In *Proceedings of Technical Program of 2012 VLSI Design, Automation and Test*. 2012. S. 1–4.
- [73] GARRADHI, K., HASSEN, N. a BESBES, K. Low-voltage and low-power OTA using source-degeneration technique and its application in Gm-C filter. In *2016 11th International Design Test Symposium (IDT)*. 2016. S. 221–226.
- [74] REZAEI, F. a AZHARI, S. J. Ultra low-voltage, rail-to-rail input/output stage Operational Transconductance Amplifier (OTA) with high linearity and its application in a Gm-C filter. In *2010 11th International Symposium on Quality Electronic Design (ISQED)*. 2010. S. 231–236.
- [75] HORA, J. A., DARELL ANG, J., ZHU, X. et al. A Highly Linear OTA with 759 μ S gm for RF Transceiver Application. In *2019 19th International Symposium on Communications and Information Technologies (ISCIT)*. 2019. S. 595–598.
- [76] ANDERSSON, M., ANDERSON, M., SUNDSTRÖM, L. et al. A 7.5mW 9MHz CT $\Delta\Sigma$ modulator in 65nm CMOS with 69 dB SNDR and reduced sensitivity to loop delay variations. In *2012 IEEE Asian Solid State Circuits Conference (A-SSCC)*. 2012. S. 245–248.
- [77] WITTE, P., KAUFFMAN, J. G., BECKER, J. et al. A 72dB-DR $\Delta\Sigma$ CT modulator using digitally estimated auxiliary DAC linearization achieving 88fJ/conv in a 25MHz BW. In *2012 IEEE International Solid-State Circuits Conference*. 2012. S. 154–156.
- [78] DING, C., MANOLI, Y. a KELLER, M. A 5.1mW 74dB DR CT $\Delta\Sigma$ modulator with quantizer intrinsic ELD compensation achieving 75fJ/conv.-step in a 20MHz BW. In *ESSCIRC Conference 2015 - 41st European Solid-State Circuits Conference (ESSCIRC)*. 2015. S. 213–216.
- [79] WU, B., ZHU, S., XU, B. et al. 15.1 A 24.7mW 45MHz-BW 75.3dB-SNDR SAR-assisted CT $\Delta\Sigma$ modulator with 2nd-order noise coupling in 65nm CMOS. In *2016 IEEE International Solid-State Circuits Conference (ISSCC)*. 2016. S. 270–271.

- [80] WANG, W., CHAN, C., ZHU, Y. et al. A 100-MHz BW 72.6-dB-SNDR CT $\Delta\Sigma$ Modulator Utilizing Preliminary Sampling and Quantization. *IEEE Journal of Solid-State Circuits*. 2020, roč. 55, č. 6. S. 1588–1598.
- [81] LV, L. a LI, Q. 300mV 50kHz 75.9dB SNDR CT $\Delta\Sigma$ Modulator with Inverter-based Feedforward OTAs. In *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*. 2015. S. 313–316.
- [82] NEBHEN, J., FERREIRA, P. M., MANSOURI, S. et al. A 108-dB DR 103-dB SNR Delay-Time Chopper Stabilization Audio CT $\Delta\Sigma$ Modulator. In *2020 IEEE International Conference on Design Test of Integrated Micro Nano-Systems (DTS)*. 2020. S. 1–6.
- [83] WU, R., LONG, J. R., VAN DE GEVEL, M. et al. A fifth-order continuous-time sigma-delta modulator with 62-dB dynamic range and 2MHz bandwidth. In *2007 Ph.D Research in Microelectronics and Electronics Conference*. 2007. S. 17–20.
- [84] RADJEN, D., ANDREANI, P., ANDERSON, M. et al. A low-power 2nd-order CT $\Delta\Sigma$ modulator with a single operational amplifier. In *2013 NORCHIP*. 2013. S. 1–4.
- [85] SHU, Y., TSAI, J., CHEN, P. et al. A 28fJ/conv-step CT $\Delta\Sigma$ modulator with 78dB DR and 18MHz BW in 28nm CMOS using a highly digital multibit quantizer. In *2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers*. 2013. S. 268–269.
- [86] HUANG, J., YANG, S. a YUAN, J. A 10-MHz bandwidth 70-dB SNDR 640MS/s continuous-time $\Delta\Sigma$ ADC using Gm-C filter with nonlinear feedback DAC calibration. In *Proceedings of the IEEE 2013 Custom Integrated Circuits Conference*. 2013. S. 1–4.
- [87] AHMED, I., CHERRY, J., HASAN, A. et al. A low-power Gm-C-based CT- $\Delta\Sigma$ audio-band ADC in 1.1V 65nm CMOS. In *2015 Symposium on VLSI Circuits (VLSI Circuits)*. 2015. S. C294–C295.
- [88] YOON, D., HO, S. a LEE, H. 15.1 An 85dB-DR 74.6dB-SNDR 50MHZ-BW CT MASH $\Delta\Sigma$ modulator in 28nm CMOS. In *2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*. 2015. S. 1–3.
- [89] KANEKO, T., KIMURA, Y., HIROSE, K. et al. A 76-dB-DR 6.8-mW 20-MHz bandwidth CT $\Delta\Sigma$ ADC with a high-linearity Gm-C filter. In *ESSCIRC Conference 2016: 42nd European Solid-State Circuits Conference*. 2016. S. 253–256.

- [90] HUANG, J., YANG, S. a YUAN, J. A 75 dB SNDR 10-MHz Signal Bandwidth Gm-C-Based Sigma-Delta Modulator With a Nonlinear Feedback Compensation Technique. *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2015, roč. 62, č. 9. S. 2216–2226.
- [91] JANG, M., LEE, S. a CHAE, Y. A $55\mu\text{W}$ 93.1dB-DR 20kHz-BW single-bit CT $\Delta\Sigma$ modulator with negative R-assisted integrator achieving 178.7dB FoM in 65nm CMOS. In *2017 Symposium on VLSI Circuits*. 2017. S. C40–C41.
- [92] WANG, W., ZHU, Y., CHAN, C. et al. A 5.35 mW 10 MHz bandwidth CT third-order $\Delta\Sigma$ modulator with single Opamp achieving 79.6/84.5 dB SNDR/DR in 65 nm CMOS. In *2017 IEEE Asian Solid-State Circuits Conference (A-SSCC)*. 2017. S. 285–288.
- [93] BASAK, D., LI, D. a PUN, K. A Gm-C Delta-Sigma Modulator With a Merged Input-Feedback Gm Circuit for Nonlinearity Cancellation and Power Efficiency Enhancement. *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2018, roč. 65, č. 4. S. 1196–1209.
- [94] ZHANG, Y., BASAK, D. a PUN, K. A Highly Linear Multi-Level SC DAC in a Power-Efficient Gm-C Continuous-Time Delta-Sigma Modulator. *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2019, roč. 66, č. 12. S. 4592–4605.
- [95] GAODING, N. a BOUSQUET, J. F. A Hybrid 4th-Order 4-Bit Continuous-Time $\Delta\Sigma$ Modulator in 65-nm CMOS Technology. In *2020 18th IEEE International New Circuits and Systems Conference (NEWCAS)*. 2020. S. 134–137.
- [96] LEE, C., JEON, T., JANG, M. et al. A $6.5\text{-}\mu\text{W}$ 10-kHz BW 80.4-dB SNDR Gm-C-Based CT $\Delta\Sigma$ Modulator With a Feedback-Assisted Gm Linearization for Artifact-Tolerant Neural Recording. *IEEE Journal of Solid-State Circuits*. 2020, roč. 55, č. 11. S. 2889–2901.
- [97] OUZOUNOV, S., ENGEL ROZA, HEGT, J. A. et al. Analysis and design of high-performance asynchronous sigma-delta Modulators with a binary quantizer. *IEEE Journal of Solid-State Circuits*. 2006, roč. 41, č. 3. S. 588–596.
- [98] FERREIRA, L. H. C. a SONKUSALE, S. R. A 0.25-V 28-nW 58-dB Dynamic Range Asynchronous Delta Sigma Modulator in 130-nm Digital CMOS Process. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. 2015, roč. 23, č. 5. S. 926–934.

- [99] ROZA, E. Analog-to-digital conversion via duty-cycle modulation. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*. 1997, roč. 44, č. 11. S. 907–914.
- [100] BENNETT, W. a DAVEY, J. *Data Transmission [by] William R. Bennett [and] James R. Davey*. [b.m.]: McGraw-Hill, 1965. Inter-university electronics series. Dostupné na: <<https://books.google.cz/books?id=p2q1zQEACAAJ>>.
- [101] HENZLER, S. *Time-to-Digital Converters*. The address: Springer Netherlands, 2010. Springer Series in Advanced Microelectronics. ISBN 9789048186280.
- [102] JANSSON, J. ., MANTYNIEMI, A. a KOSTAMOVARA, J. A CMOS time-to-digital converter with better than 10 ps single-shot precision. *IEEE Journal of Solid-State Circuits*. 2006, roč. 41, č. 6. S. 1286–1296.
- [103] LEVSKI, D., WÄNY, M. a CHOUBEY, B. A 1- μ s Ramp Time 12-bit Column-Parallel Flash TDC-Interpolated Single-Slope ADC With Digital Delay-Element Calibration. *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2019, roč. 66, č. 1. S. 54–67.
- [104] YAMAGUCHI, T. J., KOMATSU, S., ABBAS, M. et al. A CMOS flash TDC with 0.84 – 1.3 ps resolution using standard cells. In *2012 IEEE Radio Frequency Integrated Circuits Symposium*. 2012. S. 527–530.
- [105] LEVINE, P. M. a ROBERTS, G. W. A high-resolution flash time-to-digital converter and calibration scheme. In *2004 International Conference on Test*. 2004. S. 1148–1157.
- [106] JOHNSON, T. A. a KOURTEV, I. S. A single latch, high speed double-edge triggered flip-flop (DETFF). In *ICECS 2001. 8th IEEE International Conference on Electronics, Circuits and Systems (Cat. No.01EX483)*. 2001. S. 189–192 vol.1.
- [107] PARK, Y. J. a YUAN, F. Two-step pulse-shrinking time-to-digital converter. *Microelectronics Journal*. 2017, roč. 60. S. 45 – 54. ISSN 0026-2692.
- [108] CHEN, P., SHEN-LUAN LIU a JINGSHOWN WU. A CMOS pulse-shrinking delay element for time interval measurement. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*. 2000, roč. 47, č. 9. S. 954–958.
- [109] SZPLET, R. a KLEPACKI, K. A two-stage time-to-digital converter based on cyclic pulse shrinking. In *2009 IEEE International Frequency Control Symposium Joint with the 22nd European Frequency and Time forum*. 2009. S. 1133–1136.

- [110] RAISANEN-RUOTSALAINEN, E., RAHKONEN, T. a KOSTAMOVARA, J. A low-power CMOS time-to-digital converter. *IEEE Journal of Solid-State Circuits*. 1995, roč. 30, č. 9. S. 984–990.
- [111] TISA, S., LOTITO, A., GIUDICE, A. et al. Monolithic time-to-digital converter with 20ps resolution. In *ESSCIRC 2004 - 29th European Solid-State Circuits Conference (IEEE Cat. No.03EX705)*. 2003. S. 465–468.
- [112] CHEN, W. a PAPAVALASSILOU, C. A Low Power 10-Bit Time-to-Digital Converter Utilizing Vernier Delay Lines. In *2013 UKSim 15th International Conference on Computer Modelling and Simulation*. 2013. S. 774–779.
- [113] LI, Y. a HU, Q. A 10ps 500MHz time-to-digital converter in 0.18 μ m CMOS technology for ADC. In *Proceedings of 2012 2nd International Conference on Computer Science and Network Technology*. 2012. S. 234–237.
- [114] VERCESI, L., LISCIDINI, A. a CASTELLO, R. Two-Dimensions Vernier Time-to-Digital Converter. *IEEE Journal of Solid-State Circuits*. 2010, roč. 45, č. 8. S. 1504–1512.
- [115] OUZOUNOV, S., ROZA, E., HEGT, H. et al. An 8MHz, 72 dB SFDR Asynchronous Sigma-Delta Modulator with 1.5mW power dissipation. In *2004 Symposium on VLSI Circuits. Digest of Technical Papers (IEEE Cat. No.04CH37525)*. 2004. S. 88–91.
- [116] OUZOUNOV, S., ROZA, E., HEGT, H. et al. Design of high-performance asynchronous sigma delta modulators with a binary quantizer with hysteresis. In *Proceedings of the IEEE 2004 Custom Integrated Circuits Conference (IEEE Cat. No.04CH37571)*. 2004. S. 181–184.
- [117] DANIELS, J., DEHAENE, W., STEYAERT, M. et al. A/D conversion using an Asynchronous Delta-Sigma Modulator and a time-to-digital converter. In *2008 IEEE International Symposium on Circuits and Systems*. 2008. S. 1648–1651.
- [118] CHEN, W. a PAPAVALASSILOU, C. Asynchronous sigma–delta modulator with noise shaping. *Electronics Letters*. 2013, roč. 49, č. 24. S. 1520–1522. Dostupné na: <<https://ietresearch.onlinelibrary.wiley.com/doi/abs/10.1049/el.2013.3407>>.
- [119] DELLA COLLETTA, G., FERREIRA, L. H. C., SONKUSALE, S. R. et al. A 20-nW 0.25-V Inverter-Based Asynchronous Delta–Sigma Modulator in 130-nm Digital CMOS Process. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. 2017, roč. 25, č. 12. S. 3455–3463.

-
- [120] AKBARI, M., HASHEMIPOUR, O. a MORADI, F. Design and analysis of an ultra-low-power second-order asynchronous delta-sigma modulator. *Circuits, Systems, and Signal Processing*. 2017, roč. 36, č. 12. S. 4919–4936.
- [121] KULEJ, T., KHATEB, F. a FERREIRA, L. H. C. A 0.3-V 37-nW 53-dB SNDR Asynchronous Delta-Sigma Modulator in 0.18- μ m CMOS. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. 2019, roč. 27, č. 2. S. 316–325.
- [122] HUSSAIN, W., FAKHOURY, H., DESGREYS, P. et al. An Asynchronous Delta-Modulator Based A/D Converter for an Electronic System Prototyping Platform. *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2016, roč. 63, č. 6. S. 751–762.
- [123] DAZHI WEI, VAIBHAV GARG a HARRIS, J. G. An asynchronous delta-sigma converter implementation. In *2006 IEEE International Symposium on Circuits and Systems*. 2006. S. 4 pp.–.
- [124] KLEDROWETZ, V., FUJCIK, L., PROKOP, R. et al. A 1 V 92 dB SNDR 10 kHz Bandwidth Second-Order Asynchronous Delta-Sigma Modulator for Biomedical Signal Processing. *Sensors*. 2020, roč. 20, č. 15. Dostupné na: <<https://www.mdpi.com/1424-8220/20/15/4137>>. ISSN 1424-8220.

Seznam zkratek

A/D	analogově - digitální
ADC	analogově-digitální převodník
ADSM	asynchronní delta-sigma modulátor
CT	časově spojitý
CT-DSM	delta-sigma modulátor s časově spojitými integrátory
DAC	digitálně-analogový převodník
<i>DR</i>	dynamický rozsah
DS	delta-sigma
DSM	modulátor delta-sigma
DT	časově diskrétní
DT-DSM	delta-sigma modulátor s časově diskrétními integrátory
<i>ENOB</i>	efektivní počet bitů
HRZ	půl periody a návrat k nule
MASH	struktura vícestupňové modulace šumu
NRZ	nevratný k nule
<i>NTF</i>	přenosová funkce šumu
<i>OSR</i>	koefficient převzorkování
RZ	vratný k nule
S/H	vzorkovací obvod
<i>SNDR</i>	odstup signál-šum zkreslení
<i>SNR</i>	odstup signál-šum
<i>STF</i>	přenosová funkce signálu
TDC	časově-digitální převodník