

Obhajoba disertační práce Ing. Richarda Pánka z Ústavu počítačových systémů Fakulty informačních technologií se bude konat ve středu 11.12.2024 od 10 hodin v zasedací místnosti G108 na FIT VUT, Božetěchova 2, Brno.

Studijní program: Výpočetní technika a informatika

Název práce: Řadič rekonfigurace FPGA odolný proti poruchám/ Fault-tolerant FPGA reconfiguration controller

**Abstrakt/Abstract:** Programovatelná hradlová pole (FPGAs) jsou hojně využívána pro svůj výpočetní výkon, avšak jejich náchylnost k poruchám způsobeným radiací představuje výzvu zejména ve vesmírných aplikacích. FPGA mohou být využita při zpracování nashromážděných dat při zkoumání vesmírných těles během nejrůznějších vesmírných misí. Tato práce se zabývá využitím rekonfigurace pro zotavení se z poruch konfigurační paměti FPGA. Rekonfigurace je využita k opravě poškozených modulů v odolném systému založeném na tří modulové redundanci (TMR). Pro návrháře odolných systémů je důležité rychle odhadnout odolnost navrhovaného systému v prostředí jeho zamýšleného nasazení. Proto jsme vyvinuli simulační nástroj pro odhad odolnosti systému v nepříznivém prostředí. Odolnost systému založeného na TMR s rekonfigurací je ovlivněna poruchovostí a dobou potřebnou k opravě. Za parametry nástroje pro odhad odolnosti jsme proto navrhli náchylnost FPGA k poruchám konfigurační paměti a čas potřebný k opravě TMR modulu. Náš nástroj je založen na závislosti mezi odolností systému, četností poruch a dobou nutnou k opravě. Pochopení, jak se doba rekonfigurace mění s velikostí modulu, je zásadní pro optimalizaci odolnosti systému. Z experimentálně pozorované nelineární závislosti mezi těmito parametry jsme odvodili, že doba rekonfigurace má významnější vliv na odolnost v prostředích s vyšší frekvencí poruch. Přesnost navrženého nástroje je ověřena na reálném systému, kdy jsou umělé poruchy injektovány přímo do konfigurační paměti FPGA. Dále se tato práce zaměřuje na zlepšení odolnosti proti poruchám samotného řadiče rekonfigurace. Odolnost řadiče je vyhodnocena identifikací jeho kritických bitů, tj. specifických bitů konfigurační paměti, jejichž změna vede k selhání. Stěžejním vlastností odolného řadiče rekonfigurace je jeho schopnost samočinné opravy rekonfigurací. V této práci je takový řadič navržen a důkladně testován injektáží umělých poruch do konfigurační paměti FPGA, aby se vyhodnotila odolnost proti poruchám celého systému. Vyhodnocovací systém zahrnuje benchmarkové obvody a řadič rekonfigurace, což umožňuje analyzovat vliv řadiče na životnost celého systému. Samo opravný řadič vždy prodloužil životnost odolného systému na jednom FPGA a dosáhl až 69 % nárůstu odolnosti ve srovnání s obvody pouze v TMR./ Field-Programmable Gate Arrays (FPGAs) are

widely utilized for their computational power, but their susceptibility to radiation-induced faults poses a significant challenge, especially in space applications. FPGAs help process data collected from various instruments during space missions to explore celestial bodies. This thesis addresses the crucial issue of mitigating faults in FPGA configuration memory using reconfiguration mechanisms. Reconfiguration is used to repair a damaged modules in a resilient system based on Triple Modular Redundancy (TMR). For designers of resilient systems, it is crucial to quickly estimate the resilience of a proposed system in its deployment environment. Therefore, we have developed a simulation-based tool to estimate system resilience in harsh environments. The resilience of a TMR-based system with reconfiguration is primarily affected by fault rate and repair time. As key parameters for the estimator, we proposed the susceptibility of the FPGA to configuration memory failures and the time required to repair the TMR module. The tool analyzes the correlation between system resilience, failure frequency, and repair time. Understanding how reconfiguration time varies with module size is essential in optimizing system resilience. From the experimentally observed nonlinear dependence between these parameters, we deduced that reconfiguration time has a more significant impact on resilience in environments with higher fault frequencies. The accuracy of the proposed estimation tool has been validated on a real system by injecting artificial faults into the FPGA configuration memory. We further focus on improving the fault tolerance of the reconfiguration controller itself. The controller's resilience is evaluated by identifying its critical bits---specific configuration memory bits whose change leads to failures. A pivotal feature of a resilient reconfiguration controller is its ability to self-repair through reconfiguration. In this thesis, such a controller is designed and rigorously tested by injecting artificial faults into the FPGA's configuration memory to evaluate the fault resilience of the entire system. The evaluation setup includes benchmark circuits and a reconfiguration controller, allowing us to analyze the controller's impact on the overall system's lifespan. The self-repairing controller consistently extended the lifespan of the resilient single-FPGA system, achieving up to a 69 % increase compared to circuits that only utilize TMR.

Školitel: doc. Ing. Jan Kořenek, Ph.D., FIT VUT, Česká republika

Oponenti: doc. Ing. Petr Fišer, Ph.D., FIT ČVUT v Praze, Česká republika

Prof. Dr. rer. nat. habil. Mario Schölzel, Hochschule Nordhausen,  
Spolková republika Německo