

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
Fakulta informačních technologií
Ústav počítačových systémů

Ing. Josef Strnadel

**Analýza a zlepšení testovatelnosti číslicového
obvodu na úrovni meziregistrových přenosů**

**Testability Analysis and Improvements
of Register-Transfer Level Digital Circuits**

Zkrácená verze Ph.D. Thesis

Obor: Informační technologie
Školitel: Doc. Ing. Zdeněk Kotásek, CSc.
Oponenti: RNDr. Elena Gramatová, CSc.
Prof. Ing. Jaromír Krejčíček, CSc.

Datum obhajoby: 27. 10. 2004

Klíčová slova: diagnostika číslicových obvodů, úroveň meziregistrových přenosů, datové cesty obvodu, matematický model, koncepce transparentnosti, hierarchický test, analýza testovatelnosti, grafový algoritmus, návrh pro snadnou testovatelnost, zlepšení testovatelnosti, technika scan, generování syntetických benchmarkových obvodů.

Keywords: digital circuit diagnostics, register-transfer level, circuit datapath, mathematical model, transparency concept, hierarchical test, testability analysis, graph algorithm, design for testability, testability improvements, scan technique, generation of synthetic benchmark circuits.

Tato práce vznikla za podpory projektů

- GAČR GA102/01/1531 *Formální přístupy v diagnostice číslicových obvodů - Verifikace testovatelného návrhu,*
- FRVŠ FR1754/2002/G1 *Evoluční přístupy pro zvýšení testovatelnosti číslicových obvodů,*
- GAČR GA102/04/0737 *Moderní metody syntézy číslicových systémů.*

Rukopis disertační práce je na Fakultě informačních technologií VUT v Brně

Obsah

1 Úvod	5
2 Současný stav řešené problematiky	6
3 Cíle práce	8
4 Zvolené metody zpracování	9
4.1 Rozšíření stávajícího modelu	10
4.2 Popis vztahů pro ohodnocení testovatelnosti	11
4.3 Popis algoritmu analýzy testovatelnosti	12
4.4 Dokázání významných vlastností navrženého algoritmu	12
4.5 Příklady aplikace navrženého algoritmu	12
5 Závěr	12
5.1 Shrnutí výsledků práce	12
5.2 Přínos práce	21
5.3 Možné směry navazujícího výzkumu	23
Literatura	23
Autorovy publikace	25
Autorovo CV	28
Přehled aktivit během studia	28
Účast v projektech	28
Získaná ocenění	29
Ostatní	29
Abstrakt	29
Abstract	30

1 Úvod

Problematika *testování* je jednou z nejdůležitějších, ale také nejnákladnějších a nejnáročnějších částí *návrhového cyklu* elektronického systému. Klasický přístup k testování obvodu spočívá v nalezení a aplikaci takových testovacích vektorů, pomocí nichž bude možné *detekovat* či také *lokalizovat* výskyt fyzické poruchy ve vyrobeném elektronickém systému.

Neustálý pokrok v technologii výroby elektronických systémů umožňuje realizovat velmi rozsáhlé a složité návrhy, což díky hnacím silám¹ konkurenčního průmyslového vývoje vede mj. k soustavnému tlaku na návrh nových metod zabývajících se problematikou testování. Příčinou tohoto tlaku je zejména skutečnost, že současné metody, zabývající se problematikou testování elektronických systémů, jsou v jistém smyslu "pozadu" za současnými návrhovými trendy. Zatímco elektronické systémy jsou obvykle navrhovány na vysokých *úrovních abstrakce*², současné prakticky použitelné metody spojené s testováním na těchto úrovních jsou stále ve stádiu výzkumu či ověřování. V rámci tématu této práce nebude řešena problematika testování obecného elektronického systému na obecné úrovni abstrakce, ale jak vyplývá z pozdějšího textu, omezíme se pouze na jistou, modelem přesně vymezenou, podmnožinu číslíkových obvodů (systémů) popsaných na tzv. úrovni *meziregistrových přenosů*. Obvod na této úrovni popisu lze získat i jinak, avšak vzhledem k tomu, že takový obvod bývá výstupem *vysokourovňové syntézy* a vstupem *logické syntézy*, pak můžeme předpokládat, že obvod na této úrovni popisu získáme právě v této etapě návrhového cyklu obvodu. Z toho plyne, že právě tato etapa je oblastí předpokládané aplikace postupů navržených v této práci. Obvod popsaný na úrovni *meziregistrových přenosů* se obvykle skládá ze dvou částí, a to z popisu struktury *obvodových datových cest*, což je část obvodu, kterou se tato práce zabývá, a *řadiče* ovládajícího tok datovými cestami. Tato práce se však bude věnovat pouze problematice spojené s *testovatelností* obvodových datových cest a nutnost existence příslušného řadiče bude jen mlčky předpokládána a nebude dále zdůrazňována.

Při řešení problémů spojených s testováním číslíkových obvodů lze vysledovat několik vývojových směrů, přičemž pro každý z těchto směrů jsou charakteristické jisté výhody a nevýhody. Odstranění nedostatků metod *generování testů* či zvýšení pravděpodobnosti generování kvalitnějšího testu lze dosáhnout např. použitím vhodné kombinace několika metod generování testu, modifikací původního návrhu za účelem zlepšení jeho testovatelnosti - obvykle pomocí metod *návrhu pro snadnou testovatelnost* [ABF90] nebo pomocí metod *syntézy pro*

¹mezi něž patří např. cena, výkon a čas nutný k uvedení výrobku na trh

²jmenujme např. algoritmičtý popis chování systému jazykem pro popis hardwaru nebo tzv. návrh "systému na čipu" obvykle předpokládající zapouzdření celého systému do jednoho křemíkového čipu

snadnou testovatelnost [JSE03]. Kromě *zlepšení testovatelnosti* obvodu je tato modifikace ve většině případů příčinou nárůstu plochy, počtu vývodů a změny dalších - např. dynamických či energetických - parametrů obvodu.

Modifikace obvodové struktury za účelem zlepšení testovatelnosti obvodu se stala nerozlučnou částí moderních návrhů číslicových obvodů. Aby bylo možné splnit *návrhová omezení* kladená na výsledný obvod³ a současně byla nalezena modifikace vyznačující se vysokou testovatelností⁴, je nutné, aby proces provádějící tyto modifikace byl informován o kvalitě dané obvodové modifikace z hlediska testovatelnosti a plnění návrhových omezení. Patříčné informace o testovatelnosti obvodu obvykle poskytuje tzv. *analýza testovatelnosti*. Pomocí jejích výsledků je pak možné nalézt přijatelný *kompromis mezi návrhovými omezeními a diagnostickými vlastnostmi obvodu*.

2 Současný stav řešení problematiky

V současné době bývá testovatelnost chápána jako charakteristika zohledňující různé náklady spojené s testováním číslicového obvodu, zejména jako ukazatel efektivnosti tvorby a aplikace testu. Hovoří se pak např. o testovatelnosti poruchy nebo o testovatelnosti uzlu v obvodu a porucha nebo uzel jsou označeny za *testovatelné*, existuje-li nějaký postup⁵, jímž jsme schopni poruchu v daném uzlu odhalit. V případě testovatelnosti poruchy resp. uzlu je také snahou nějakým způsobem, obvykle pomocí tzv. *měr testovatelnosti* ohodnotit snadnost provedení tohoto postupu.

Jelikož jednotná definice testovatelnosti v současnosti neexistuje, liší se dosavadní přístupy k tomuto problému jak svými cíly, tak úrovněmi abstrakce popisu obvodu, na nichž jsou použitelné. Mezi nejčastější cíle metod pro analýzu testovatelnosti patří ohodnocení snadnosti nastavování resp. pozorování hodnot vyskytujících se na uzlech obvodu, detekce obtížně testovatelných částí obvodu, odhad vybraných diagnostických vlastností obvodu a další.

Existují metody navržené pro obvody popsané na úrovni hradel (např. SCOAP [Gol79], TMEAS [Gra79], CoPS [AP95]), pro obvody popsané na úrovni meziregistrových přenosů (např. TMEAS [Gra79], CAMELOT [MBR80], CoPS [AP95], STA [PME02], přístup založený na třídách registrů a analýze I-cest [Růž02]), pro obvody na vyšší úrovni popisu (např. SATAN [NKRB01], FACTOR [VA02]), ale i metody víceúrovňové, provádějící analýzu na několika úrovních popisu (např. IBLA [RSHK01]).

³např. maximální přípustná plocha, maximální přípustný počet vývodů, maximální příkon, maximální doba aplikace testu, maximální přijatelná doba návrhu obvodu

⁴tj. co nejlepší testovatelností dosažitelnou při respektování návrhových omezení

⁵závislejší na typu testu, např. přivedení testovacího vzorku detekujícího danou poruchu na jistý uzel obvodu a odvedení odezvy za účelem jejího vyhodnocení

I přes rozdílnost jednotlivých přístupů k analýze testovatelnosti lze existující přístupy souhrnně charakterizovat následujícími společnými znaky:

- v přístupu je použit nějaký popis, v ideálním případě formální model, daného systému. Model umožňuje popsat jak strukturu daného systému, tak i vlastnosti dílčích prvků tohoto systému včetně jejich rozhraní, modelu vybraných vlastností a chování. Obvykle se jedná o jistý model datových popř. také řídicích cest systému a o model přenosu diagnostických dat po těchto cestách. Algoritmus analýzy testovatelnosti je pak popsán s využitím prostředků tohoto modelu,
- algoritmus analýzy testovatelnosti obvykle provádí ohodnocení zvolených diagnostických vlastností. Na základě tohoto ohodnocení lze rozpoznat obtížně testovatelné části v návrhu a zdroje této obtížné testovatelnosti. Nevýhodou je, že pojmy z této oblasti nejsou standardizovány. Vede to k rozdílným definicím testovatelnosti a jejích složek a tím i k ohodnocování testovatelnosti s přihlédnutím k různým ovlivňujícím faktorům a pomocí odlišných měr,
- obecnou snahou přístupů je, aby výpočetní složitost algoritmu analýzy testovatelnosti byla mnohem menší než výpočetní složitost nejefektivnější metody generování testu pro tutéž třídu obvodů a tutéž úroveň popisu [ABF90]. Jelikož algoritmus analýzy testovatelnosti je vždy úzce spjat s předpokládaným způsobem generování testu [Uba04], pak by návrh algoritmu nesplňujícího tuto podmínku nedával smysl. V takovém případě by k témuž účelu bylo možno využít generátor testu. Ten poskytuje přesnou informaci o testovatelnosti návrhu pro daný typ testu. Lze tedy konstatovat, že úkolem analýzy testovatelnosti je poskytnout rychlý, avšak co nejméně zkreslený odhad testovatelnosti daného návrhu s ohledem na předpokládaný způsob generování testu.

Tato práce se zabývá problematikou testovatelnosti datových cest číslicového obvodu na úrovni meziregistrových přenosů a předpokládá deterministické generování testu. Existující metody analýzy testovatelnosti pracující na této úrovni jsou buď založeny na využití nějakého pravděpodobnostního modelu přenosu diagnostických dat obvodovou strukturou nebo na využití modelu vybraných vlastností obvodových prvků umožňujících detailnější a přesnější analýzu obvodových datových cest. Jelikož každá metoda analýzy testovatelnosti je velmi úzce spjata se způsobem generování testu [Uba04], jsou výsledky metod patřících do první skupiny prakticky použitelné pouze pro případy, kdy je uvažováno pseudonáhodné generování testu. Výsledky metody z druhé skupiny jsou pak vhodné v případech, kdy je uvažováno deterministické generování testu.

Právě druhá skupina metod souvisí s výzkumem prováděným v rámci této práce. K hlavním nevýhodám současných metod z této skupiny patří např. jejich velká časová složitost, která je v rozporu s obecným předpokladem malé časové složitosti metod analýzy testovatelnosti, vlivem používaného modelu nepřiliš přesná analýza obvodových datových cest či v případě požadavku univerzální použitelnosti výsledků analýzy testovatelnosti úzká svázanost některých metod s konkrétní technikou návrhu pro snadnou testovatelnost.

K dlouhodobým nevýhodám metod zabývajících se problematikou testovatelnosti patří nejednotnost a mnohdy značná rozdílnost pojmů z této oblasti. Nestandardizace faktorů ovlivňujících testovatelnost - tj. faktorů na jejichž základě má být testovatelnost obvodu určena - je příčinou různých výkladů a definic testovatelnosti a s ní souvisejících pojmů, což vede k nejednotnosti a roztržitosti metod z této oblasti. Je tedy snahou pojmy z této oblasti standardizovat a zahrnout bezesporné a jednoznačné matematické definice těchto pojmů do připravovaného standardu IEEE P1522 [SK04].

Je nutno poznamenat, že přestože se cíle existujících metod analýzy testovatelnosti z důvodu nejednotnosti definic liší, vyznačují se tyto metody jedním společným znakem, který lze označit jako snahu poskytnout dostatečně přesnou informaci o testovatelnosti daného obvodu. Většinou se jedná o odhalení obtížně testovatelných částí na základě ohodnocení jistých vlastností obvodu. Obvykle se předpokládá, že touto informací bude podstatně ovlivněn způsob modifikace obvodové struktury vedoucí ke zlepšení testovatelnosti obvodu.

3 Cíle práce

Výzkum k tématu této práce byl zaměřen na návrh metody analýzy testovatelnosti multiplexovaných datových cest číslicových obvodů na úrovni meziregistrových přenosů s předpokladem generování deterministického testu, tj. na návrh metody patřící do druhé skupiny a byl motivován zejména výše uvedenými nedostatky existujících metod z této skupiny.

Hlavním cílem výzkumu bylo významnou měrou přispět k odstranění výše uvedených nedostatků tím, že v této práci bude ukázáno, že lze vytvořit metodu poskytující přesnější informaci o testovatelnosti obvodu a pracující s přijatelnou časovou složitostí. Taková metoda je v práci představena, jsou shrnuty a dokázány její významné vlastnosti, je ověřena na sadě testovacích obvodů a výsledky pomocí ní dosažené jsou srovnány s výsledky existujících metod řešících stejný problém na téže úrovni abstrakce.

Z práce vyplývá že, přesnost analýzy datových cest podstatně závisí na přesnosti poskytnuté informace o transparentních vlastnostech konkrétních obvodových prvků. V této práci je ukázáno, jak lze tuto informaci potřebnou pro analýzu diagnostických vlastností obvodu na základě používaného matema-

tického modelu popsat a jak ji lze použít k ohodnocení testovatelnosti obvodu. Snaha o matematický popis takové informace vychází z předpokladu, že zejména pro efektivní průběh analýzy testovatelnosti či generování testu je velmi výhodné, pokud každý obvodový prvek uložený v knihovně používaných prvků je kromě popisu svého rozhraní, funkce atd. - požadovaného např. návrhovým systémem - vybaven také informací usnadňující řešení problémů spojených jak s diagnostikou prvku samotného tak s diagnostikou celku, jehož je prvek součástí. Cíle výzkumu prováděného v rámci této práce lze shrnout do následujících bodů:

- rozšíření stávající koncepce transparentnosti a formálního modelu [Růž02], včetně formálního popisu informace potřebné pro analýzu testovatelnosti číslicového obvodu popsaného na úrovni meziregistrových přenosů,
- návrh a formální popis vztahů pro ohodnocení testovatelnosti číslicového obvodu popsaného na úrovni meziregistrových přenosů,
- návrh a popis metody analýzy testovatelnosti s využitím prostředků rozšířeného modelu,
- ukázka aplikace navržené metody analýzy testovatelnosti a jejích výsledků při řešení vybraných problémů souvisejících s diagnostikou číslicových obvodů,
- shrnutí a dokázání významných vlastností navržené metody, srovnání výsledků s výsledky metod řešících stejný problém.

Cílem této práce je ukázat, že je možné navrhnout metodu, která bude díky detailnější analýze obvodových datových cest poskytovat přesnější výsledky, než jaké poskytují dosavadní metody, a to za přijatelné časové složitosti a s využitím dodatečně matematicky popsané informace o diagnostických vlastnostech obvodových prvků.

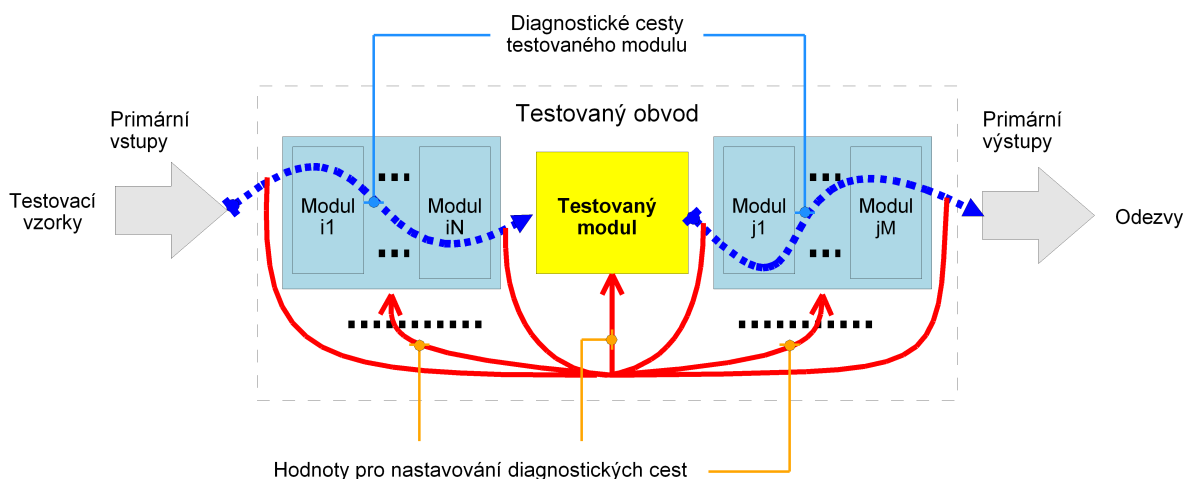
4 Zvolené metody zpracování

Při zpracování práce byl zvolen následující postup. Nejprve byl rozšířen stávající model datových cest číslicového obvodu na úrovni meziregistrových přenosů a doposud používaná koncepce *transparentních cest* (koncepce tzv. *I-cest*). Pomocí prostředků tohoto matematického modelu pak byly formálně popsány vztahy pro ohodnocení testovatelnosti obvodu a algoritmus analýzy testovatelnosti. Byly dokázány významné vlastnosti navrženého algoritmu, algoritmus byl implementován v jazyce C++ a jeho činnost byla experimentálně ověřena

na několika benchmarkových obvodech. Výsledky dosažené algoritmem byly srovnány s výsledky existujících metod.

4.1 Rozšíření stávajícího modelu

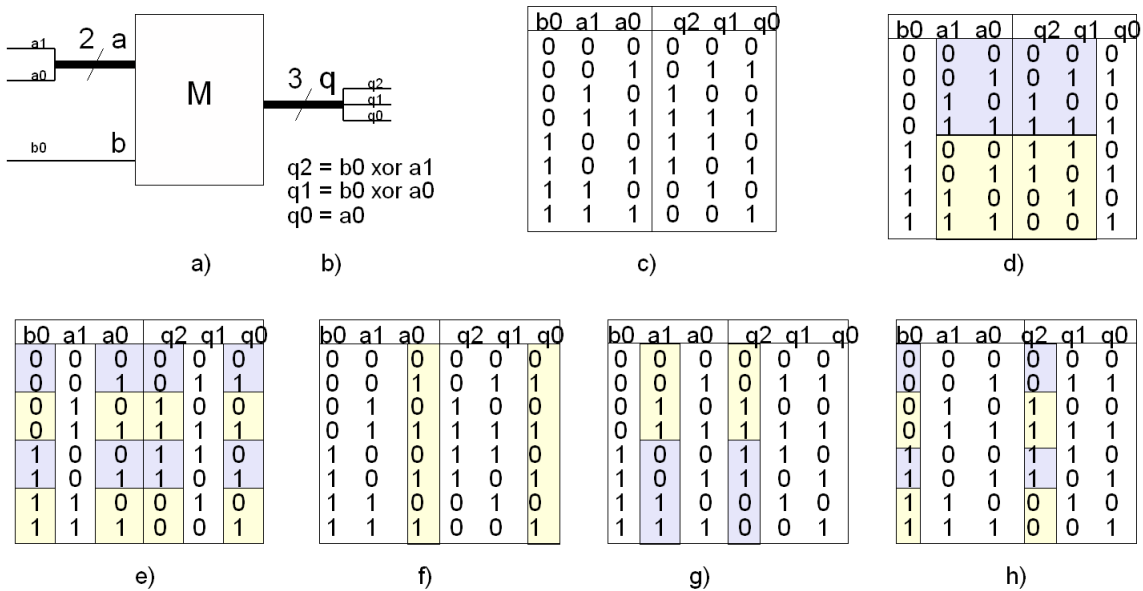
Model prezentovaný v této práci je rozšířením výchozího modelu [Růž02] o nové prostředky nezbytné pro popis a modelování obecnější koncepce transparentních cest, než jakými jsou příliš přísné a často používané koncepce, obvykle založené na koncepci I-cest. Výhodou rozšířeného modelu je možnost modelování a analýzy většího počtu obvodových datových cest, tj. i těch cest, které jsou z pohledu přísnějších koncepcí pro účely přenosu diagnostických dat nepoužitelné, přestože ve skutečnosti použitelné jsou.



Obr. 1: Ilustrace k transparentním cestám pro přenos diagnostických dat

Transparentní datové cesty zavedené v této práci jsou uvažovány mezi tzv. *virtuálními porty*, které jsou zobecněním portů tvořících rozhraní obvodových prvků. Hlavním cílem rozšířeného modelu je poskytnout prostředky potřebné pro pozdější formální popis vztahů a dílčích algoritmů pro analýzu testovatelnosti. Pro každý prvek uložený v knihovně obvodových prvků lze pomocí rozšířeného modelu matematicky popsat jednak informaci týkající se návrhového popisu jeho rozhraní, činnosti atp. a jednak informaci usnadňující jak jeho diagnostiku, tak také diagnostiku systému, jehož je tento prvek součástí.

Prostředky modelu datových cest číslicového obvodu na úrovni meziregistrových přenosů lze rozdělit na *prostředky pro modelování struktury* obvodu (zejména množiny E_{CUA} , E'_{CUA} , BIT_{CUA} , $ORBIT_{CUA}$, $PORT_{CUA}$, zobrazení β_E , ψ' , ν , režim činnosti prvku a relace C_{BIT} , C , F_{BIT} , F) a na *prostředky pro modelování transparentních režimů a transparentních datových cest* obvodu (zejména množiny $VPORT_{CUA}$, relace M_S , M_I , R_{HT_S} , R_{HT_I} , R_{TA_S} , R_{TA_I} , graf



Obr. 2: Ilustrace k virtuálním portům a transparentním režimům

datového toku testovacích vektorů G_S , graf datového toku odezev G_I a množiny $\overline{G}_S, \overline{G}_I$ systémů transparentních cest).

4.2 Popis vztahů pro ohodnocení testovatelnosti

Pomocí prostředků rozšířeného modelu jsou popsány jak vztahy pro *lokální ohodnocení*⁶ (zejména zobrazení τ_{CO} pro ohodnocení systémů transparentních cest, ν_C pro ohodnocení říditelnosti a ν_O pro ohodnocení pozorovatelnosti virtuálních portů, β_C pro ohodnocení říditelnosti a β_O pro ohodnocení pozorovatelnosti bran, π_C, π_{NC} pro ohodnocení říditelnosti a π_O, π_{NO} pro ohodnocení pozorovatelnosti a π_T pro ohodnocení testovatelnosti portů obvodových prvků) tak vztahy pro *globální ohodnocení*⁷ (zobrazení $\nu_{NC}, \nu_{RC}, \nu_{NO}, \nu_{RO}, \nu_C, \nu_O, \nu_T$) říditelnosti, pozorovatelnosti a testovatelnosti. Každá z měřených diagnostických vlastností je ohodnocena reálným číslem z intervalu $\langle 0; 1 \rangle$, přičemž číslo 0 vyjadřuje absenci této vlastnosti⁸ a číslo 1 vyjadřuje výskyt této vlastnosti v jejím nejlepším možném stupni⁹. Ohodnocení říditelnosti pak lze chápat jako ohodnocení "snadnosti ovládní hodnot na uzlu x hodnotami z primárních vstupů obvodu" a ohodnocení pozorovatelnosti jako ohodnocení "snadnosti pozorování hodnot z uzlu x na primárních výstupech obvodu". Testovatelností uzlu je myšlena jeho schopnost být říditelný a pozorovatelný současně.

⁶tj. ohodnocení dílčích podčástí obvodu

⁷tj. ohodnocení obvodu jako celku

⁸tj. např. neříditelnost resp. nepozorovatelnost daného uzlu v obvodu

⁹vyjadřuje např. bezprostřední říditelnost resp. pozorovatelnost uzlu pomocí primárních vývodů obvodu

4.3 Popis algoritmu analýzy testovatelnosti

Na základě vztahů pro lokální a globální ohodnocení říditelnosti, pozorovatelnosti a testovatelnosti je v práci představen algoritmus analýzy testovatelnosti ohodnocující diagnostické vlastnosti obvodu a jeho částí podle těchto vztahů. Základem algoritmu je prohledávání orientovaného grafu G_S (při analýze říditelnosti) a na prohledávání grafu G_I (při analýze pozorovatelnosti) za účelem zjištění dostupnosti vnitřních uzlů grafu (virtuálních portů) z primárních vstupů a výstupů obvodu [SKR01, Str02b, KS02a, Str03b].

4.4 Dokázání významných vlastností navrženého algoritmu

Některé z významných vlastností navrženého algoritmu analýzy testovatelnosti byly v práci dokázány. Jedná se zejména o časovou složitost - $O(|V(G_S)| \cdot |E(G_S)| + |V(G_I)| \cdot |E(G_I)|)$ - a správnost algoritmu vzhledem k navrženým vztahům pro ohodnocení říditelnosti, pozorovatelnosti a testovatelnosti.

4.5 Příklady aplikace navrženého algoritmu

Příkladem aplikace navrženého algoritmu v oblastech analýzy testovatelnosti, návrhu pro snadnou testovatelnost s využitím techniky scan a generování benchmarkových obvodů se blíže věnuje text uvedený níže.

5 Závěr

Tento odstavec je věnován shrnutí hlavních výsledků dosažených v této práci a jejich srovnání s výzkumnými cíli stanovenými na jejím začátku. V závěru tohoto odstavce bude prezentován jednak přínos této práce - tak, jak je viděn jejím autorem - a jednak možné směry výzkumu navazujícího na tuto práci.

5.1 Shrnutí výsledků práce

Tato práce se zabývá analýzou testovatelnosti číslicového obvodu popsaného na úrovni meziregistrových přenosů a využitím jejích výsledků ve vybraných oblastech souvisejících s diagnostikou číslicových obvodů. Práce se zaměřuje pouze na problematiku související s testovatelností obvodových datových cest, ale řadičem ovládaným tok dat těmito cestami se blíže nezabývá. Předpokládá se, že pro směrování toku dat je zvolena propojovací strategie multiplexovaných datových cest. V části zabývající se přehledem současného stavu v oblasti

analýzy testovatelnosti práce shrnuje hlavní nedostatky existujících metod analýzy testovatelnosti. V práci je ukázáno, že většinu ze zmíněných nedostatků lze odstranit, je-li každý prvek uložený v knihovně obvodových prvků kromě informací týkajících se návrhového popisu jeho rozhraní, činnosti atp. vybaven také informacemi usnadňujícími jak jeho diagnostiku, tak také diagnostiku systému, jehož je tento prvek součástí. Tato informace je poté popsána pomocí prostředků zavedeného matematického modelu, který je rozšířením výchozího modelu [Růž02] o nové prostředky nezbytné pro popis a modelování obecnější koncepce tzv. transparentních cest, než jakými jsou příliš přísné a často používané koncepce, obvykle založené na tzv. koncepci I-cest. Výhodou rozšířeného modelu je možnost modelování a analýzy většího počtu obvodových datových cest, tj. i těch cest, které jsou z pohledu přísnějších koncepcí pro účely přenosu diagnostických dat nepoužitelné, přestože ve skutečnosti použitelné jsou. Hlavním cílem rozšířeného modelu je poskytnout prostředky potřebné pro formální popis vztahů a dílčích algoritmů pro analýzu testovatelnosti. Navržená metoda analýzy testovatelnosti je založena na číselném ohodnocení říditelnosti, pozorovatelnosti a testovatelnosti vnitřních částí obvodu a obvodu jako celku a jelikož není svázána s žádnou z technik návrhu pro snadnou testovatelnost, lze její výsledky považovat za univerzálně použitelné při řešení problémů souvisejících s testovatelností číslicových obvodů popsaných na úrovni meziregistrových přenosů. Metoda není popsána pomocí v současné době nejednotných pojmů z oblasti diagnostiky, ale pomocí modelem přesně definovaných prostředků. V závěru se práce věnuje důkazům významných vlastností navržené metody a příkladu jejího použití v oblasti návrhu pro snadnou testovatelnost s využitím techniky scan a oblasti generování benchmarkových obvodů. Výsledky dosažené tímto algoritmem, založeným na rozšířené koncepci transparentních datových cest, jsou v následujících odstavcích stručně shrnuty a srovnány s výsledky existujících metod.

5.1.1 Ohodnocení testovatelnosti

Pro účely experimentálního ověření byla metoda implementována v jazyce C++ a ověřena na *benchmarkových obvodech Bert* [FBR98], *Diffeq* [KPG86], *Paulin* [RGJ96a] a *Tseng* [KPG86] a obvodu *NLoops* [Str03c] se zanořenými zpětnými vazbami [SKR01, Str02b, KS02c, KS02b, KS02a, Str03d, Str03b, SKM03a, SKP04a]. Cílem bylo ověřit teoreticky zjištěné vlastnosti algoritmu na skutečných obvodech a porovnat dosažené výsledky s výsledky existujících metod [Buk00, Růž02].

Ohodnocení testovatelnosti benchmarkových obvodů *Bert*, *Diffeq*, *Paulin* a *Tseng* je shrnuto v následující tabulce. Každému z obvodů přísluší v tabulce jeden řádek informující - ve směru zleva doprava - o počtu datových bran obvodu, hodnotě říditelnosti obvodu (procentu říditelných datových bran),

pozorovatelnosti obvodu (procentu pozorovatelných datových bran) a testovatelnosti obvodu (procentu testovatelných datových bran). Z analýzy testovatelnosti obvodu *Bert* plyne (také z práce [Buk00]), že žádná z datových bran obvodu není netestovatelná. Druhým obvodem, jehož testovatelnost byla analyzována, byl obvod *Diffeq*. Z analýzy i z prací [Buk00, Růž02] je patrné, že obvod *Diffeq* je díky datovým závislostem v datových cestách obtížně testovatelným. Z analýzy dle této práce plyne, že 56 % datových bran je říditelných, 28 % datových bran pozorovatelných a ani jedna brána není testovatelná, tj. současně říditelná i pozorovatelná. Celková testovatelnost obvodu *Diffeq* je ohodnocena hodnotou 0.073, která je velmi blízká hodnotě 0 představující netestovatelný obvod. Třetím z analyzovaných benchmarkových obvodů je obvod *Paulin*. Jelikož výsledky analýzy testovatelnosti publikované v jiných pracích nebyly nalezeny, nebylo možné výsledky pro obvod *Paulin* srovnat s výsledky jiných metod, ale pouze k prezentaci výsledků dosažených metodou navrženou v této práci. Posledním z analyzovaných benchmarkových obvodů byl obvod *Tseng*. Zatímco metodou publikovanou v práci [Buk00] byly ve struktuře obvodu *Tseng* nalezeny obtížně testovatelné části, tak metodou [Růž02] bylo zjištěno, že v obvodě *Tseng* se nevyskytuje datová brána, která by byla netestovatelná. Rovněž z výsledků metody navržené v této vyplývá, že každá datová brána v obvodě *Tseng* je testovatelná.

Tab. 1: Ohodnocení diagnostických vlastností vybraných benchmarků

Obvod	Počet datových bran	Řid. (%)	Poz. (%)	Tst. (%)
<i>Bert</i>	440	0.943 (100)	0.765 (100)	0.721 (100)
<i>Diffeq</i>	400	0.423 (56)	0.173 (28)	0.073 (0)
<i>Paulin</i>	512	0.912 (100)	0.833 (100)	0.760 (100)
<i>Tseng</i>	360	0.921 (100)	0.847 (100)	0.780 (100)

5.1.2 Návrh pro snadnou testovatelnost

Jednou z oblastí, ve kterých byla ověřena použitelnost výsledků navržené metody analýzy testovatelnosti, je oblast *návrhu pro snadnou testovatelnost*. Jelikož metody a prostředky návrhu pro snadnou testovatelnost tvoří samostatnou a velmi rozsáhlou oblast diagnostiky číslicových obvodů, byl náš dosavadní výzkum zaměřen pouze na úzkou část této oblasti, a to na tzv. techniku *sériový scan* - viz práce [SKR01, KS02c, KS02b, Str02a, Str03d, Str03c, Str03b, Str03a, SKM03a, SKP04b].

Tento odstavec tedy bude věnován využití výsledků navržené metody analýzy testovatelnosti pro *výběr a rozmístění registrů do scan řetězců* s cílem dosažení co nejlepší testovatelnosti výsledného návrhu za co nejmenší cenu

úměrnou velikosti zásahu do původní obvodové struktury. Aby bylo možno zkoumat, které z rozmístění registrů do scan řetězců představuje nejvhodnější alternativu, ukázalo se vhodným zabývat se nejprve hledáním odpovědí na následující otázky:

- **jaká je velikost prohledávacího (stavového) prostoru možných rozmístění registrů do scan řetězců?** Odpověď na tuto otázku bude mít vliv na volbu metody prohledávání stavového prostoru,
- **jakým způsobem lze formálně popsat rozmístění daného počtu registrů ve scan řetězcích a jakou datovou reprezentaci je vhodné pro tento formální popis zvolit?** Odpověď na tyto otázky bude mít vliv nejen na přehlednost a jednoznačnost docílenou formálním zápisem, ale především na snadnost a způsob implementace prohledávacího algoritmu.

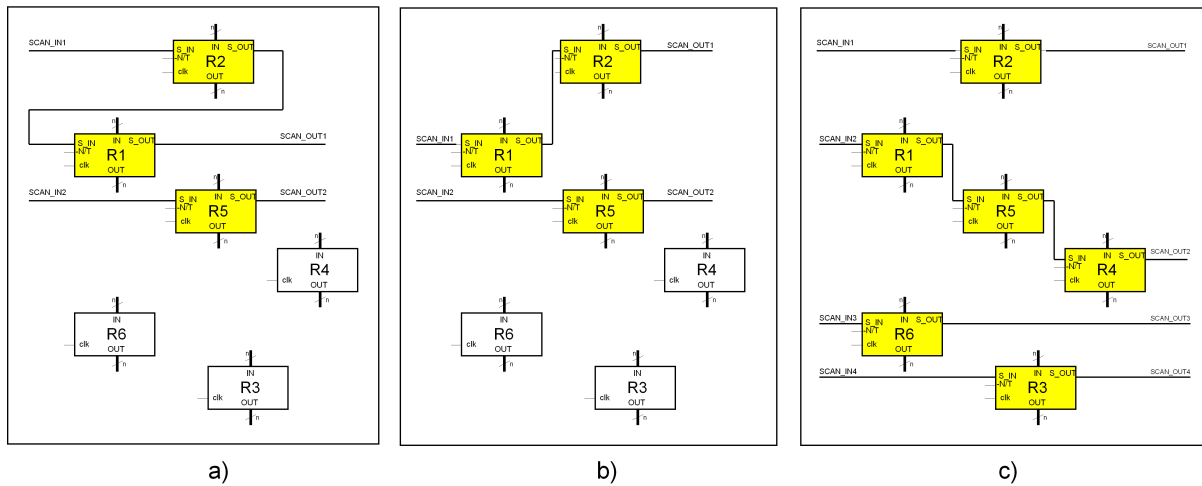
Odpovědím na tyto otázky byla věnována jistá část výzkumu k tématu této práce [KS02b, KS02c, Str03d, Str03c, SKM03a] a proto se jim bude stručně věnovat také následující text. Nyní se věnujme principům rozmístění registrů do scan řetězců. V části a) obrázku 3 jsou do scan řetězců vybrány (tj. na scan registry modifikovány) registry R1, R2 a R5. Ty jsou dle schématu rozmístěny tak, že registry R2 a R1 tvoří, v uvedeném pořadí¹⁰, jeden scan řetězec a registr R5 tvoří druhý scan řetězec. V části b) obrázku 3 jsou do scan řetězců vybrány opět registry R1, R2 a R5, avšak tentokrát jsou rozmístěny tak, že registry R1 a R2 tvoří, v uvedeném pořadí, jeden scan řetězec a registr R5 tvoří druhý scan řetězec. Oproti schématu a) je ve schématu b) pořadí registrů R1, R2 ve scan řetězci obrácené. V části c) obrázku 3 je do scan řetězců vybráno všech pět registrů a to tak, že každý z registrů R2, R3 a R6 tvoří samostatný scan řetězec a registry R1, R5 a R4 tvoří, v uvedeném pořadí, další scan řetězec. Celkem jsou na každém z obrázků 3a, 3b dva scan řetězce a na obrázku 3c čtyři scan řetězce.

Z obrázku 3 jsou patrné zejména následující skutečnosti:

- z celkového počtu n registrů obsažených v obvodě lze do scan řetězců vybrat $k \in \{1, \dots, n\}$ registrů¹¹. V rámci konkrétních scan řetězců je pak třeba stanovit pořadí jednotlivých scan registrů,
- pro libovolný obvod obsahující celkem n registrů platí, že různé varianty výběru a rozmístění registrů do scan řetězců lze reprezentovat nezávisle na konkrétní struktuře daného obvodu. Velikost prohledávacího prostoru

¹⁰např. práce [LBGP02, BGT03] ukazují, že je nezbytné zabývat se nejen řešením problému výběru registrů do scan řetězců, ale také řešením problému jejich pořadí ve scan řetězcích

¹¹hodnotu 0 neuvažujeme, protože odpovídá případu, kdy není vybrán ani jeden registr



Obr. 3: Ilustrace k výběru a rozmístění registrů do scan řetězců

pak nezávisí na struktuře konkrétního obvodu, ale pouze na celkovém počtu registrů v obvodě. Analýza vlivu daného výběru a rozmístění na diagnostické a další vlastnosti obvodu, jako např. plocha, počet vstupů a výstupů či dynamické parametry, se však neobejde bez analýzy vlastností daného obvodu,

- i z této jednoduché ilustrace je patrné, že slovní popis výběru a rozmístění registrů do scan řetězců může někdy působit komplikovaně a nejednoznačně. Proto bude v následujícím textu následovat notace formálně popisující rozmístění k vybraných registrů do scan řetězců.

Pro úspěšné zodpovězení výše položených otázek nechť je dán nějaký obvod (CUA ¹²) popsatelný rozšířeným modelem z této práce a nechť $n = |REG_{CUA}|$ je číslo vyjadřující počet registrů v obvodu CUA . Pro obrázek 3 platí $REG_{CUA} = \{R_1, R_2, R_3, R_4, R_5, R_6\}$.

Zaveďme množinu $SREG_{CUA} = \{R'_1, \dots, R'_k\} \subseteq REG_{CUA}$, která bude obsahovat $k \in \{1, \dots, n\}$ registrů vybraných do scan řetězců, přičemž účel a způsob výběru těchto registrů ponechme nyní stranou.

Nejprve zkusme, kolika způsoby je možné rozmístit registry z množiny $SREG_{CUA}$ do scan řetězců tak, že při každém rozmístění bude vždy použito všech k registrů z množiny $SREG_{CUA}$. Současně předpokládejme, že v úvahu bude brána pouze přítomnost registrů ve scan řetězcích bez ohledu na jejich vzájemné pořadí ve scan řetězcích. Za tohoto předpokladu je možné si každé takové rozmístění představit jako rozklad množiny $SREG_{CUA}$ takový, že registry x, y náležejí téže rozkladové třídě právě když jsou umístěny do téhož scan řetězce. Pro obrázky 3a a 3b pak platí $SCAN_{CUA} = \{R_1, R_2, R_3\}$ a vy-

¹²z angl. circuit under analysis

obrazená rozmístění lze zapsat jako rozklad $\{\{R_1, R_2\}, \{R_5\}\}$. Pro obrázek 3c platí $SCAN_{CUA} = REG_{CUA}$ a vyobrazené rozmístění lze zapsat jako rozklad $\{\{R_2\}, \{R_1, R_5, R_4\}, \{R_6\}, \{R_3\}\}$. Za předpokladu, že na pořadí registrů ve scan řetězcích není brán ohled, je počet rozmístění obsahujících právě k registrů roven počtu rozkladů k -prvkové množiny. Ten je roven tzv. BELLOvu číslu b_k [CG96], pro které platí

$$b_k = \sum_{i=0}^{k-1} \left[\binom{k-1}{i} \times b_i \right], \text{ kde } b_0 = 1. \quad (1)$$

Vztah pro výpočet b_k lze také zapsat pomocí tzv. STIRLINGova čísla $S2(k, i)$ druhého řádu (druhu) vyjadřujícího počet rozkladů k -prvkové množiny na i rozkladových tříd:

$$b_k = \sum_{i=0}^k S2(k, i). \quad (2)$$

Jelikož z n -prvkové množiny lze vybrat celkem $\binom{n}{k}$ k -prvkových podmnožin a počet možných rozmístění právě k scan registrů do scan řetězců je roven b_k , pak celkový počet ($s1_n$) možností výběru a rozmístění n registrů do scan registrů lze vyjádřit vztahem

$$s1_n = \sum_{k=1}^n \left[\binom{n}{k} \times b_k \right]. \quad (3)$$

Pak tedy za předpokladu, že na pořadí registrů ve scan řetězcích není brán ohled, je velikost prohledávacího prostoru rovna $s1_n$.

Nyní se zabýváme otázkou velikosti prohledávacího prostoru za předpokladu, že pořadí registrů ve scan řetězcích je zohledněno. Konkrétní výběr a rozmístění registrů do scan řetězců lze opět zapsat jako rozklad množiny $SREG_{CUA}$, avšak v rozkladových třídách je třeba uvažovat všechny permutace jejich prvků. Počet rozkladů k -prvkové množiny je za tohoto předpokladu roven číslu

$$a_k = \sum_{i=1}^k Lah(k, i), \quad (4)$$

kde

$$Lah(k, i) = \frac{k!}{i!} \times \binom{k-1}{i-1} \quad (5)$$

je tzv. LAHOvo číslo vyjadřující, kolika způsoby je možno, za výše uvedeného předpokladu, rozložit k -prvkovou množinu na i rozkladových tříd.

Jelikož z n -prvkové množiny lze vybrat celkem $\binom{n}{k}$ k -prvkových podmnožin a počet možných rozmístění právě k scan registrů do scan řetězců je roven a_k , pak celkový počet ($s2_n$) možností výběru a rozmístění n registrů do scan registrů lze vyjádřit vztahem

$$s2_n = \sum_{k=1}^n \left[\binom{n}{k} \times a_k \right]. \quad (6)$$

Zbývá vyřešit otázku týkající se formálního zápisu konkrétního výběru a rozmístění registrů do scan řetězců. Zápis vychází z "rozkladové" reprezentace výběru a rozmístění registrů do scan řetězců a je definován následovně [KS02c, KS02a]:

1. scan řetězec je reprezentován posloupností jemu příslušejících scan registrů,
2. speciální znak (tečka) odděluje jednotlivé scan řetězce,
3. není-li pořadí registrů ve scan řetězcích podstatné, jsou v zápisu registry patřící do téhož scan řetězce seřazeny zleva doprava podle rostoucích hodnot jejich indexů,
4. scan řetězce jsou seřazeny zleva doprava podle rostoucího indexu prvního registru v řetězci,
5. pokud $SREG_{CUA} = \emptyset$, pak notace obsahuje pouze speciální znak.

V případě, že pořadí registrů ve scan řetězcích není podstatné, lze s využitím této notace výběr a rozmístění registrů do scan řetězců z obrázků 3a a 3b vyjádřit zápisem $R_1R_2.R_5$ a výběr a rozmístění registrů do scan řetězců z obrázku 3c zápisem $R_1R_4R_5.R_2.R_3.R_6$. V případě, že pořadí registrů ve scan řetězcích je bráno v úvahu, lze výběr a rozmístění registrů do scan řetězců z obrázku 3a vyjádřit zápisem $R_2R_1.R_3$, z obrázku a 3b vyjádřit zápisem $R_1R_2.R_3$ a výběr a rozmístění registrů do scan řetězců z obrázku 3c zápisem $R_1R_5R_4.R_2.R_3.R_6$.

Metoda výběru a rozmístění registrů do scan řetězců, založená na analýze testovatelnosti navržené v této práci, byla nejdříve implementována pomocí genetického algoritmu [SK01b, SKR01, KS02c, KS02b, Str03d, Str03b, SKM03a] a později v [Her04] a poté také pomocí dvou dalších optimalizačních technik - horolezeckého algoritmu a simulovaného žíhání. Vstupem metody je struktura obvodu CUA , volba technik návrhu pro snadnou testovatelnost¹³, požadavky

¹³v současné době pouze technika sériový scan s možností volby (ne)zohlednění pořadí registrů ve scan řetězcích

na testovatelnost návrhu¹⁴, návrhová omezení¹⁵, volba optimalizačního algoritmu a parametry potřebné pro běh zvoleného optimalizačního algoritmu. Výstupem metody je taková modifikace vstupní struktury *CUA*, jejíž testovatelnost se s pomocí zvolených technik návrhu pro snadnou testovatelnost co nejvíce blíží požadované testovatelnosti a která co nejvíce splňuje daná návrhová omezení. Práce [Her04] se mj. zabývala srovnáním tří výše uvedených a vzájemně principiálně odlišných optimalizačních postupů. Na testovaných obvodech z nich vycházel nejlépe horolezecký algoritmus. V následujícím textu budou prezentovány výsledky experimentů, které je možno srovnat s výsledky jiných metod zabývajících se využitím výsledků analýzy testovatelnosti pro zlepšení testovatelnosti daného návrhu.

Jelikož řešení problému výběru registrů do scan řetězců se věnovaly i práce [Buk00, Růž02], lze dosažené výsledky vzájemně srovnat v následující tabulce. Z nich metoda [Buk00] byla ověřena na obvodech *Bert*, *Diffeq* a *Tseng* a metoda [Růž02] byla ověřena na obvodech *Diffeq* a *Tseng*. Proto i srovnání výsledků metody pro výběr registrů do řetězců scan využívající výsledků navržené analýzy testovatelnosti s výsledky dosaženými výše uvedenými metodami bude omezeno na obvody *Bert*, *Diffeq* a *Tseng*. Metody [Buk00, Růž02] sice pracují na téže úrovni abstrakce, ale liší se jak způsobem analýzy datových cest¹⁶, tak požadavky na výsledný výběr registrů do řetězce scan¹⁷. Při popisu výsledků metod výběru a rozmístění registrů do řetězců scan bude využita výše zavedená notace. Symbol '*' v tabulce znamená, že aplikace techniky scan nevede k požadovanému zlepšení testovatelnosti, symbol '-' znamená, že daný obvod nebyl metodou analyzován.

Tab. 2: Srovnání výsledků metod výběru a rozmístění registrů do scan řetězců

Metoda	Výsledky výběru a rozmístění pro benchmarky			
	<i>Bert</i>	<i>Diffeq</i>	<i>Paulin</i>	<i>Tseng</i>
[Buk00]	$R_5 R_4 R_1 R_2$	$R_4 R_6 R_1 R_5$	-	$R_5 R_1$
[Růž02]	-	$R_1 R_2 R_4$	-	*
Navržená metoda	*	$R_1 R_6$	*	*

Výsledky metody [Buk00] jsou ovlivněny principiální odlišností způsobu

¹⁴zadané např. požadovaným počtem (procentem) testovatelných bran, portů atp. v obvodu

¹⁵v současné době maximální přípustný nárůst plochy a počtu vstupů a výstupů *CUA*

¹⁶metoda [Buk00] používá jistý pravděpodobnostní model, předpokládá pseudonáhodné generování testu a není svázána s konkrétní technikou návrhu pro snadnou testovatelnost, metoda [Růž02] je založena na analýze I-cest, předpokládá deterministické generování testu a je svázána s návrhem pro snadnou testovatelnost s využitím techniky scan

¹⁷metoda [Buk00] se zabývá výběrem registrů do řetězců scan včetně volby pořadí registrů ve scan řetězcích, metoda [Růž02] se zabývá pouze výběrem nejmenší množiny registrů do řetězců scan, ale organizaci registrů v řetězcích již neřeší

analýzy datových cest obvodu a používanou heuristikou; výsledek [Růž02] pak analýzou založenou na tzv. koncepci I-cest, která je méně přesná než obecnější koncepce transparentnosti používaná v této práci. Obecně je možno konstatovat, že metoda [Růž02] sice dosahuje lepších výsledků než metoda [Buk00], ale v důsledku analýzy úžeji vymezené podmnožiny transparentních datových cest dosahuje horších výsledků než metoda založená na analýze testovatelnosti představené v této práci.

Z uvedených výsledků vyplývá, že díky detailnější analýze obvodových datových cest poskytuje metoda z této práce přesnější informaci o testovatelnosti daného obvodu, než jakou poskytují metody řešící stejný problém na téže úrovni abstrakce. To je patrné zejména při řešení výše uvedeného problému výběru a rozmístění registrů do scan řetězců - navržená metoda byla schopna ve všech zkoumaných případech vybrat do scan řetězců méně registrů než metody [Buk00, Růž02], s nimiž byla srovnávána.

5.1.3 Generování benchmarkových obvodů

Jeden z nejobtížnějších úkolů, kterým je třeba při návrhu nových postupů, nástrojů atp. v diagnostice číslicových obvodů čelit, je jejich zhodnocení a srovnání s již existujícími postupy, nástroji atp. V oblastech zabývajících se návrhem a diagnostikou elektronických systémů je obvyklé, že různé postupy, nástroje atp. jsou srovnávány na základě výsledků získaných jejich aplikací na testovací (srovnávací), tzv. *benchmarkové obvody*. Tyto obvody bývají sdružovány do tzv. *sad (souborů) benchmarkových obvodů*, zkráceně do *benchmarkových sad*. Každá sada pak obsahuje obvody, splňující jistá kritéria - např. obvody reprezentující specifickou oblast návrhu či diagnostiky, obvody vyznačující se předem definovanými strukturálními vlastnostmi vhodnými k zátěžovému prověření postupů či nástrojů z dané oblasti či obvody popsané na stejné úrovni abstrakce - např. pro srovnání postupů pro vysokoúrovňovou syntézu jsou vyžadovány benchmarkové obvody popsané na úrovni chování zatímco pro srovnání postupů provádějících implementaci systému je třeba použít obvody zadané nízkoúrovňovým fyzickým popisem.

Vzhledem nedostatkům současně dostupných benchmarkových sad a nedostupnosti adekvátních komerčních návrhů se jako jediné řešení vedoucí k získání prakticky a široce použitelných benchmarkových sad jeví používání metod pro generování sad tzv. *syntetických benchmarkových obvodů* [SVC00]. Velkou výhodou syntetických benchmarkových obvodů je skutečnost, že lze zajistit plnou kontrolu nad jejich důležitými parametry jako např. funkce, plocha nebo topologické vlastnosti. Je-li známo, jaké vlastnosti musí mít obvody vhodné k ověření postupů řešících podobný problém, pak lze přímo "na míru" vygenerovat sadu vhodných zástupců obvodů s těmito konkrétními vlastnostmi.

Metoda pro generování benchmarkových obvodů, využívající pro ohodno-

cení testovatelnosti dílčích řešení analýzu testovatelnosti navrženou v této práci, je podrobněji popsána v [SKP04a]. Metoda předpokládá, že výsledky analýzy testovatelnosti prezentované v této práci věrohodně odrážejí testovatelnost daného číslicového obvodu. Pokud bychom problém návrhu pro snadnou testovatelnost označili za problém nalezení takové modifikace vstupní obvodové struktury, která se bude vyznačovat maximálním ohodnocením testovatelnosti při maximálním splnění daných návrhových omezení atp., tj. za problém nalezení maxima nějaké funkce¹⁸ pro ohodnocení kvality daného řešení, pak problém generování benchmarkových obvodů lze označit za problém nalezení minima této funkce, tj. za problém opačný. Jinými slovy: v případě metody generování benchmarkových obvodů hledáme ta řešení, která se vyznačují velmi nízkou hodnotou testovatelnosti.

Základem metody generování benchmarkových obvodů, kterou se zabývá Ing. Tomáš Pečenka, a která je založena na využití výsledků poskytovaných algoritmem analýzy testovatelnosti, prezentovaném v této práci, je evoluční algoritmus. Vstupy tohoto algoritmu jsou následující:

- počet primárních vstupů a výstupů obvodu,
- počet a typy obvodových prvků, které mají tvořit strukturu obvodu,
- požadavky na testovatelnost obvodu,
- parametry evolučního algoritmu.

Na základě vstupních parametrů jsou evolučním algoritmem generovány obvody nejlépe splňující zadané požadavky kladené na jejich vlastnosti. Struktura výsledného obvodu je vytvořena propojením rozhraní obvodových prvků uložených v knihovně prvků. Výsledný strukturálně popsáný obvod je syntetizovatelný a je uložen do souboru ve formátu VHDL, což činí obvod prakticky ihned použitelným pro ověřování některé z metod či nástrojů.

Princip metody pro generování benchmarkových obvodů spočívá ve vytvoření požadovaného počtu obvodových prvků, ohodnocení portů z jejich rozhraní unikátními čísly a v konstrukci orientovaného grafu G , jehož uzly jsou tato čísla. Problém generování benchmarkových obvodů lze z tohoto pohledu formulovat jako problém konstrukce množiny $E(G)$ tak, aby testovatelnost výsledné obvodové struktury byla co nejblíží požadované testovatelnosti.

5.2 Přínos práce

Hlavních přínosů této práce je možno vysledovat několik. K významným přínosům jistě patří snaha práce odstranit hlavní nedostatky existujících metod

¹⁸taková funkce se obvykle nazývá účelová funkce

analýzy testovatelnosti datových cest se směrováním toku dat pomocí multiple-xovaných datových cest na úrovni meziregistrových přenosů předpokládajících deterministické generování testu. Jedno z možných řešení nabízí tato práce, která ukazuje, že je-li každý prvek uložený v knihovně obvodových prvků kromě informací týkajících se návrhového popisu jeho rozhraní, činnosti atp. vybaven také vhodnými diagnostickými informacemi, pak je možné docílit velmi detailní analýzy obvodových datových cest, a to algoritmem s přijatelnou časovou složitostí, který není svázán s žádnou z technik návrhu pro snadnou testovatelnost, ale pouze s předpokladem deterministického generování testu. Ze skutečnosti, že navržený algoritmus analýzy testovatelnosti není svázán s žádnou z technik návrhu pro snadnou testovatelnost vyplývá, že jeho výsledky jsou univerzálně použitelné při řešení problémů souvisejících s testovatelností číslicových obvodů popsaných na úrovni meziregistrových přenosů.

Za další přínos práce je možno považovat popis dodatečné diagnostické informace pomocí prostředků zavedeného matematického modelu. Tento model je rozšířením výchozího modelu [Růž02] o nové prostředky nezbytné pro popis a modelování obecnější koncepce tzv. transparentních cest než jakými jsou příliš přísné, avšak přesto často používané koncepce obvykle založené na tzv. koncepci I-cest. Výhodou rozšířeného modelu je možnost modelování a analýzy většího počtu obvodových datových cest, tj. i těch cest, které jsou z pohledu přísnějších koncepcí pro účely přenosu diagnostických dat nepoužitelné. Rozšíření modelu [Růž02] není samoúčelné. Jeho hlavním účelem je poskytnout prostředky potřebné pro formální popis vztahů a dílčích algoritmů pro analýzu testovatelnosti. Metoda analýzy testovatelnosti pak není popsána pomocí nejednotných pojmů diagnostiky, ale pomocí modelem přesně definovaných prostředků. Vzhledem k připravovanému standardu IEEE P1522 lze konstatovat, že snaha o popis problémů souvisejících s testovatelností odpovídá současnému trendu v oblasti návrhu a diagnostiky číslicových obvodů.

Jako poslední významný přínos této práce uveďme transformaci problému analýzy testovatelnosti na matematický problém. Tím je v této práci problém prohledávání dvou orientovaných grafů zkonstruovaných na základě modelu daného obvodu, a to grafu datového toku testovacích vzorků a grafu datového toku odezev. Výhody transformace řešeného problému na problém matematický jsou zřejmé - matematicky popsaný problém je jednoznačně definován, k jeho řešení je možné využít řadu již existujících principů a algoritmů a v neposlední řadě je možno poměrně snadno dokázat významné vlastnosti algoritmu řešícího tento problém. Důkazy významných vlastností navrženého algoritmu, a to zejména důkaz správnosti ohodnocování diagnostických vlastností obvodu ve smyslu zavedených definic a důkaz časové složitosti, je možno také považovat za přínos této práce.

5.3 Možné směry navazujícího výzkumu

Kromě praktického směru, jakým je snaha aplikovat navrženou metodu v dalších oblastech návrhu a diagnostiky číslicových obvodů, lze za jeden ze směrů výzkumu navazujícího na tuto práci jistě považovat snahu o obohacení metody návrhu pro snadnou testovatelnost o další techniky návrhu pro snadnou testovatelnost s cílem hledání přijatelné kombinace technik za účelem maximálního zlepšení testovatelnosti daného obvodu či snahu o sjednocení definic z této práce s konečnou verzí standardu IEEE P1522. Další možné směry lze vidět např. v návrhu metody extrakce požadované diagnostické informace z návrhového popisu prvků či v návrhu metody pro hierarchické generování testu založené na využití prostředků rozšířeného modelu. Jelikož jak výchozí model tak model prezentovaný v této práci předpokládá, že pro směřování toku dat je zvolena propojovací strategie multiplexovaných datových cest a jelikož rozšířením modelu o další propojovací strategie - např. o strategii obousměrných sběrnic - se tato práce nezabývá, mohla by být k výše uvedeným možným směrům výzkumu připojena také snaha o toto rozšíření. Další výzkum může být také zaměřen na oblasti, které sice přímo nesouvisejí s tématem řešeným v této práci, ale kterými se autor v rámci své výzkumné činnosti již okrajově zabýval - jedná se např. o návrh řadiče testu [SMK02] či o oblast plánování testu [SKM03b].

Literatura

- [ABF90] Abramovici, M., Breuer, M. A., Friedman, A. D. *Digital Systems Testing and Testable Design*. IEEE Press, Piscataway, 1990. 670 s. ISBN 0-7803-1062-4.
- [AP95] Abramovici, M., Parikh, P. S. Testability-Based Partial Scan Analysis. *Journal of Electronic Testing: Theory and Applications*, 1995, Vol. 7, No. 1. s. 62–70.
- [BGT03] Basu, S., Ghosh, S., Toubia, N. A. Joint Minimization of Power and Area in Scan Testing by Scan Cell Reordering. In *Proceedings of the IEEE Computer Society Annual Symposium on VLSI*, IEEE Computer Society, 2003. s. 246–249.
- [Buk00] Bukovjan, P. *Allocation for Testability in High-Level Synthesis*. PhD thesis, Institute National Polytechnique de Grenoble, 2000. 130 s.
- [CG96] Conway, J. H., Guy, R. K. *The Book of Numbers*. Springer-Verlag, New York, 1996. 320 s. ISBN 0-387-97993-X.

- [FBR98] Flottes, M. L., Berthelot, D., Rouzeyre, B. Optibist: A Tool for Bisting Datapaths. In *Proceedings of IEEE European Test Workshop*, IEEE Computer Society, 1998. s. 123–127.
- [Gol79] Goldstein, L. H. Controlability/Observability Analysis for Digital Circuits. *IEEE Transactions on Circuits and Systems*, 1979, Vol. 26, No. 9. s. 685–693.
- [Gra79] Grason, J. TMEAS - a Testability Measurement Program. In *Proceedings of IEEE/ACM Design Automation*, 1979. s. 156–161.
- [Her04] Herrman, T. *Využití optimalizačních postupů při výběru registrů do řetězce scan*. Diplomová práce, FIT VUT v Brně, 2004. 50 s.
- [JSE03] Jahangir, A. H., Safari, S., Esmaelzadeh, H. Testability Improvement During High-Level Synthesis. In *Proceedings of 12th Asian Test Symposium*, IEEE Computer Society, 2003. s. 505–505.
- [KPG86] Knight, J. P., Paulin, P. G., Girczyc, E. F. Hal: A Multi-Paradigm Approach to Automatic Data Path Synthesis. In *Proceedings of the Design Automation Conference*, IEEE Computer Society, 1986. s. 263–270.
- [LBGP02] Landrault, C., Bonhomme, Y., Girard, P., Pravossoudovitch, S. Power Driven Chaining of Flip-flops in Scan Architectures. In *Proceedings IEEE International Test Conference*, IEEE Computer Society, 2002. s. 796–803.
- [MBR80] Maunder, C. M., Bennetts, R. G., Robinson, G. D. CAMELOT: A Computer-Aided Measure for Logic Testability. In *Proceedings of International Conference on Computer Communication*, 1980. s. 1162–1165.
- [NKRB01] Novak, F., Khalil, M., Robach, C., Biasizzo, A. System Level Diagnostic Strategies and Tools. In *Proceedings of 4th IEEE Design and Diagnostics of Electronic Circuits and Systems*, 2001. s. 251–258.
- [PME02] Peng, Z., Mohamed, A. R., Eles, P. BIST Synthesis: An Approach to Resources Optimization under Test Time Constraints. In *Proceedings of 5th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems*, FIT VUT, 2002. s. 346–351.

- [RGJ96a] Raghunathan, A., Ghosh, I., Jha, N. K. A Design for Testability Technique for RTL Circuits Using Control/Data Flow Extraction. In *Proceedings of International Conference on Computer Aided Design*, IEEE Computer Society, 1996. s. 329–336.
- [Růž02] Růžička, R. *Formální přístup k analýze testovatelnosti číslicových obvodů na úrovni RT*. Disertační práce, VUT v Brně, 2002. 110 s.
- [SK04] Sheppard, J., Kaufman, M. IEEE P1522 Standard for Testability and Diagnosability Characteristics and Metrics (Draft), 2000 [2004]. Informace o připravovaném standardu IEEE P1522 dostupné z: <http://grouper.ieee.org/groups/1232/pubs/>.
- [SVC00] Stroobandt, D., Verplaetse, P., Campenhout, J. V. On Synthetic Benchmark Generation Methods. In *Proceedings of IEEE International Symposium on Circuits and Systems*, IEEE Computer Society Press, 2000. s. 213–216.
- [Uba04] Ubar, R. Functional Level Testability Analysis for Digital Circuits, 1992 [2004]. Technická zpráva LiTH-IDA-R-92-03 dostupná z: <http://the-compost-system.org/publications/cgi-bin/tr-fetch.pl?r-92-03+abstr>.
- [VA02] Vedula, V. M., Abraham, J. A. FACTOR: A Hierarchical Methodology for Functional Test Generation and Testability Analysis. In *Proceedings of the 2002 Design, Automation and Test in Europe Conference and Exhibition*, IEEE Computer Society, 2002. s. 730–735.

Autorovy publikace

- [KS02a] Kotásek, Z., Strnadel, J. Normalized Testability Measures at RT Level: Utilization and Reasons for Creation. In *Proceedings of 36th International Conference on Modeling and Simulation of Systems*, MARQ, 2002. s. 297–304.
- [KS02b] Kotásek, Z., Strnadel, J. Optimising Solution of the Scan Problem at RT Level Based on a Genetic Algorithm. In *Proceedings of 5th IEEE Workshop on Design and Diagnostics of Electronics Circuits and Systems*, FIT VUT v Brně, 2002. s. 44–51.
- [KS02c] Kotásek, Z., Strnadel, J. Testability Improvements Based on the Combination of Analytical and Evolutionary Approaches

at RT Level. In *Proceedings of Euromicro Symposium on Digital System Design - Architectures, Methods and Tools*, IEEE Computer Society Press, 2002. s. 166–173.

- [MSZK02] Mika, D., Strnadel, J., Zbořil, F., Kotásek, Z. The Identification of Feedback Loops in RTL Structures. In *Proceedings of 5th International Scientific Conference Electronic Computers and Informatics*, TU Košice, 2002. s. 142–147.
- [RSHK01] Růžička, R., Strnadel, J., Hlavička, J., Kotásek, Z. Interactive Tool for Behavioral Level Testability Analysis. In *Proceedings of IEEE European Test Workshop*, IEEE Computer Society Press, 2001. s. 117–119.
- [SKP04a] Sekanina, L., Strnadel, J., Kotásek, Z., Pečenka, T. Evolutionary Design of Synthetic RTL Benchmark Circuits. In *Proceedings of 9th European Test Symposium*, IEEE Computer Society Press, 2004. s. 107–108.
- [SKP04b] Strnadel, J., Kotásek, Z., Pečenka, T. Improving Testability Parameters of Pipelined Circuits Through the Identification of Testable Cores. In *Proceedings of the 7th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems*, SAV, 2004. s. 99–104.
- [SK01a] Strnadel, J., Kotásek, Z. Analytic Approach to RTL Testability Analysis. In *Proceedings of 7th Conference Student FEI*, VUT v Brně, 2001. s. 363–367.
- [SK01b] Strnadel, J., Kotásek, Z. RTL Testability Analysis Based on Genetic Algorithm Implementation. In *Proceedings of the 1st International PhD Students' Workshop Control & Information Technology*, FEI VŠB, 2001. s. 83–88.
- [SKR01] Strnadel, J., Kotásek, Z., Růžička, R. Formal and Analytical Approaches to the Testability Analysis - the Comparison. In *Proceedings of 4th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems*, SU, 2001. s. 123–128.
- [SKM03a] Strnadel, J., Kotásek, Z., Mika, D. Methodologies of RTL Partial Scan Analysis and Their Comparison. In *Proceedings of the 6th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems*, UNI-DRUK, 2003. s. 233–238.

- [SKM03b] Strnadel, J., Kotásek, Z., Mika, D. Test Scheduling for Embedded Systems. In *Proceedings of Euromicro Symposium on Digital System Design - Architectures, Methods and Tools*, IEEE Computer Society Press, 2003. s. 463–467.
- [SMK02] Strnadel, J., Mika, D., Kotásek, Z. Test Controller Design Based on VHDL Source File Analysis. In *Proceedings of 5th International Scientific Conference Electronic Computers and Informatics*, TU Košice, 2002. s. 135–141.
- [Str02a] Strnadel, J. Evaluating Cost/Quality Trade-off Solutions Proposed During a DFT Process. In *Proceedings of 8th Conference Student EEICT*, VUT v Brně, 2002. s. 506–510,
- [Str02b] Strnadel, J. Normalized Testability Measures Based on RTL Digital Circuit Graph Model Analysis. In *Proceedings of 5th International Scientific Conference Electronic Computers and Informatics*, TU Košice, 2002. s. 200–205.
- [Str03a] Strnadel, J. Algebraic Analysis of Feedback Loop Dependencies in Order of Improving RTL Digital Circuit Testability. In *Proceedings of the 6th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems*, UNI-DRUK, 2003. s. 303–304.
- [Str03b] Strnadel, J. Analýza a zlepšení testovatelnosti RTL číslicového obvodu. In *Sborník příspěvků ze semináře Počítačové Architektury & Diagnostika*, FIT VUT v Brně, 2003. s. 24–29.
- [Str03c] Strnadel, J. Nested Loops Degree Impact on RTL Digital Circuit Testability. In *Proceedings of Programmable Devices and Systems*, Elsevier, 2003. s. 202–207.
- [Str03d] Strnadel, J. Scan Layout Encoding by Means of a Binary String. In *Proceedings of 37th International Conference on Modeling and Simulation of Systems*, MARQ, 2003. s. 115–122.
- [ZKR01] Zbořil, F., Strnadel, K., Kotásek, Z., Růžička, R. Two Level Testability System. In *Proceedings of 35th International Conference on Modeling and Simulation of Systems*, MARQ, 2001. s. 433–440.

Autorovo CV

- Narozen 1977,
- 1995–2000: studium v magisterském studijním programu Elektrotechnika a informatika, studijní obor Výpočetní technika a informatika na Fakultě elektrotechniky a informatiky Vysokého učení technického v Brně, 2000 získání titulu Ing.,
- 2000–2002: studium v doktorském studijním programu Kybernetika a informatika na Fakultě elektrotechniky a informatiky Vysokého učení technického v Brně, 2002 přestup na nově vzniklou Fakultu informačních technologií Vysokého učení technického v Brně,
- 2002–2004: studium v doktorském studijním programu Informační technologie na Fakultě informačních technologií Vysokého učení technického v Brně.

Přehled aktivit během studia

- Výuka v předmětech Programovací seminář, Algoritmy a programování, Přenos dat, Úvod do softwarového inženýrství, Základy programování, Číslicové a impulsové obvody, Elektrotechnika 2, Personální počítače, technická péče,
- vedení diplomového projektu (řešitel Ing. Jiří Doleček), ročníkových projektů (Leoš Merta, Martin Straka) a projektu zahraničního studenta v programu ERASMUS/SOCRATES (Alexis Dambricourt), recenze diplomových projektů,
- výuka na Univerzitě třetího věku při Vysokém učení technickém v Brně.

Účast v projektech

- 2001-2003: účast v grantu GAČR GA102/01/1531 *Formální přístupy v diagnostice číslicových obvodů - Verifikace testovatelného návrhu,*
- 2002: řešitel grantu FRVŠ FR1754/2002/G1 *Evoluční přístupy pro zvýšení testovatelnosti číslicových obvodů,*
- Od roku 2004 účast v grantu GAČR GA102/04/0737 *Moderní metody syntézy číslicových systémů.*

Získaná ocenění

Za rok 2002 získáno ocenění *Cenou Siemens - Stipendijní podpora pro doktorandy* udělované společností Siemens a Českým vysokým učení technickým v Praze ve spolupráci s Fórem průmyslu a vysokých škol.

Ostatní

- 2002: členství v organizačním výboru konference 5th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems,
- 2003–2004: tvorba výukového programového vybavení pro ilustraci základních pojmů z oblasti testovatelnosti a návrhu pro snadnou testovatelnost s využitím techniky scan, experimentování s nimi a řešení vybraných úloh z oblasti diagnostiky číslicových obvodů.

Abstrakt

Hlavním předmětem této práce je analýza testovatelnosti číslicového obvodu popsaného na úrovni meziregistrových přenosů a využití jejich výsledků ve vybraných oblastech souvisejících s diagnostikou číslicových obvodů. Práce předpokládá, že obvod popsaný na úrovni meziregistrových přenosů je tvořen dvěma částmi - strukturálním popisem obvodových datových cest a řadičem ovládajícím tok dat těmito cestami - a že pro směrování toku dat obvodem je zvolena propojovací strategie multiplexovaných datových cest. Další propojovací strategie mohou být předmětem dalšího výzkumu. Tato práce se zaměřuje pouze na problematiku související s testovatelností obvodových datových cest, ale řadičem se blíže nezabývá. V části zabývající se přehledem současného stavu v oblasti analýzy testovatelnosti práce shrnuje hlavní nedostatky existujících metod analýzy testovatelnosti. V práci je ukázáno, že většinu ze zmíněných nedostatků lze odstranit, je-li každý prvek uložený v knihovně obvodových prvků kromě informací týkajících se návrhového popisu jeho rozhraní, činnosti atp. vybaven také informacemi usnadňujícími jak jeho diagnostiku, tak také diagnostiku systému, jehož je tento prvek součástí. V této práci je tato informace popsána pomocí prostředků zavedeného matematického modelu. Tento model je rozšířením výchozího modelu, dříve publikovaného jiným autorem, o nové prostředky nezbytné pro popis a modelování obecnější koncepce tzv. transparentních cest, než jakými jsou příliš přísné a často používané koncepce, obvykle založené na tzv. koncepci I-cest. Výhodou rozšířeného modelu je možnost modelování a analýzy většího počtu obvodových datových cest, tj. i těch cest, které jsou z pohledu přísnějších koncepcí pro účely přenosu diagnostických dat

nepoužitelné, přestože ve skutečnosti použitelné jsou. Hlavním cílem rozšířeného modelu je poskytnout prostředky potřebné pro formální popis vztahů a dílčích algoritmů pro analýzu testovatelnosti. Navržená metoda analýzy testovatelnosti je založena na číselném ohodnocení říditelnosti, pozorovatelnosti a testovatelnosti vnitřních částí obvodu a obvodu jako celku a jelikož není svázána s žádnou z technik návrhu pro snadnou testovatelnost, lze její výsledky považovat za univerzálně použitelné při řešení problémů souvisejících s testovatelností číslicových obvodů popsaných na úrovni meziregistrových přenosů. Metoda není popsána pomocí v současnosti nejednotných pojmů z oblasti diagnostiky, ale pomocí modelem přesně definovaných prostředků. Za jeden z hlavních přínosů této práce je možno považovat transformaci problému analýzy testovatelnosti na matematický problém. Tím je problém prohledávání dvou orientovaných grafů zkonstruovaných na základě modelu daného obvodu, a to grafu datového toku testovacích vzorků a grafu datového toku odezev. Výhody transformace řešeného problému na problém matematický jsou zřejmé - matematicky popsaný problém je jednoznačně definován, k jeho řešení je možné využít řadu již existujících principů a algoritmů a v neposlední řadě je možno poměrně snadno dokázat významné vlastnosti algoritmu řešícího tento problém. Důkazům významných vlastností navržené metody je věnován prostor v závěrečné části práce, kde jsou také výsledky dosažené touto metodou shrnuty a srovnány s výsledky existujících metod. Z výsledků vyplývá, že díky detailnější analýze obvodových datových cest poskytuje metoda založená na rozšířené koncepci transparentních datových cest přesnější informaci o testovatelnosti daného obvodu, než jakou poskytují metody řešící stejný problém na téže úrovni abstrakce.

Abstract

The main subject of this work is to deal with the testability analysis (TA) of register-transfer level (RTL) digital circuits and with utilizing its results in selected areas within the digital circuit diagnostics area. In the work, RTL digital circuit is supposed to consist of two parts: a structural description of its data-path (DP) and circuit controller used to control a data-flow in the DP. The work does not deal with the circuit controller at all; it only deals with the problems related to the testability of the DP and it is supposed a multiplexed DP concept is utilized to switch the data flow in the DP. In the section dealing with the state-of-the-art in the TA area, disadvantages of existing TA methods are summarized. It is shown that most of the mentioned disadvantages can be repaired if the following condition is satisfied: each module stored in a design library is equipped both with a design-related description (like interface description, operation description etc.) and with diagnostics-related description.

The last mentioned type of description is supposed to make both module diagnostics and system-over-module diagnostics much easier. In the work, such a description is described by means of a formal mathematical model developed especially for such a purpose. The model is an extension of an initial model, which is extended by the means of new definitions allowing more detailed modeling of so-called transparent paths. Main task of this extension is not to be noted by the disadvantages of commonly-used transparent-path approaches. Main advantage of the extended model can be seen in the possibility to model the greater part of DP than in the initial model case. By means of the extended transparency concept, it is possible to model such a part of the circuit DP that is seen as unsuitable for diagnostics-data-transfer purposes by existing approaches. The main goal of the proposed model is to give instruments that are necessary to formally describe measures and partial algorithms related to the TA method presented in this work. The method is based on evaluating the controllability, observability and testability of both the circuit and its inner nodes by real numbers. Because it is not tied to a design-for-testability technique, it can be seen as a method with general-purpose results applicable to solve a big variety of problems related to testability of RTL digital circuits. The method is not described by means of diagnostics conceptions as they are ambiguous at present, but by means of exactly defined conceptions specified in proposed model. One of main contributions of this work can be seen in the possibility to transform the TA problem to a mathematical problem. Then the problem can be solved as a graph-searching problem applied to so-called test-pattern data-flow digraph and then to so-called test-response data-flow digraph. They are both constructed on the basis of circuit DP and diagnostics-related description of inner circuit modules. Advantages of transforming a solved problem to a mathematical problem are evident: first- the mathematical problem is unambiguously defined, second-it can be solved using many of the existing approaches and algorithms and third-it is relatively easy to prove significant properties of the algorithm utilized for TA problem-solving. Proofs of significant properties of proposed TA method are presented at the end of this work. In the final chapter, results gained by the method are presented and compared with results of existing methods. Results show that due to a more detailed analysis of the DP, proposed TA method informs more precisely about the testability than existing methods do.