

VĚDECKÉ SPISY VYSOKÉHO UČENÍ TECHNICKÉHO V BRNĚ

*Edice PhD Thesis, sv. 562*

*ISSN 1213-4198*

*thesis*  
**S**  
**IS**

*Ing. Tomáš Sutorý*

**Nové principy charakterizace  
hradlových kapacit  
pro sigma-delta modulátory**

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ  
Fakulta elektrotechniky a komunikačních technologií  
Ústav radioelektroniky

**Ing. Tomáš Sutory**

**NOVÉ PRINCIPY CHARAKTERIZACE HRADLOVÝCH  
KAPACIT PRO SIGMA-DELTA MODULÁTORY**

NEW PRINCIPLES OF GATE CAPACITANCE  
CHARACTERIZATION FOR SIGMA-DELTA MODULATORS

ZKRÁCENÁ VERZE Ph.D. THESIS

Obor: Elektronika a sdělovací technika  
Školitel: Prof. Dr. Ing. Zdeněk Kolka  
Oponenti: Prof. Ing. Daniela Ďuračková, Ph.D.  
Prof. Ing. Miroslav Husák, CSc.  
Datum obhajoby: 27. listopadu 2009

## **KLÍČOVÁ SLOVA**

Sigma-delta modulátor, technologie CMOS, MOS kondenzátor, nelineární kondenzátor, napěťová závislost, Q-U charakteristika, linearizace, charakterizace, CBCM metoda, měření kapacity, přesnost měření, sériová a paralelní kompenzace, stejnosměrné předpětí, výrobní masky, testovací čip, proudový mód, spínané kondenzátory, spínané proudy.

## **KEYWORDS**

Delta-Sigma modulator, CMOS technology, MOS capacitor, non-linear capacitor, voltage dependency, Q-V characteristic, linearization, characterization, CBCM method, capacitance measurement, measurement accuracy, serial and parallel compensation, DC bias, productive masks, test-chip, current mode, switched capacitors, switched currents.

## **MÍSTO ULOŽENÍ PRÁCE**

Vědecké oddělení děkanátu FEKT VUT v Brně, Údolní 53, Brno, 602 00

© Tomáš Sutorý, 2009

ISBN 978-80-214-4012-8

ISSN 1213-4198

# OBSAH

KLÍČOVÁ SLOVA.....	2
OBSAH.....	3
1 ÚVOD.....	5
2 CHARAKTERIZACE MALÝCH KAPACIT .....	6
2.1 Měření kapacity pomocí metody CBCM .....	6
2.2 Navržená metoda charakterizace.....	9
3 EXPERIMENTÁLNÍ OVĚŘENÍ METODY .....	11
3.1 Obecný popis testovacího čipu.....	11
3.2 Technické parametry .....	12
3.3 Implementované měřicí režimy .....	13
3.4 Měřicí pracoviště.....	13
3.5 Měřicí deska pro měření testovacího čipu.....	15
3.6 Systém napájení testovacího čipu.....	16
3.7 Zapojení měřicí části .....	17
3.8 Ovládací a měřicí software.....	19
4 VYHODNOCENÍ VÝSLEDKŮ MĚŘENÍ .....	19
4.1 Měření externích kondenzátorů.....	20
4.2 Měření integrovaných lineárních kondenzátorů.....	20
4.3 Měření integrovaných nelineárních kondenzátorů .....	22
4.4 Měření kompenzačních zapojení.....	24
4.5 Měření experimentálních struktur .....	25
5 ZÁVĚR.....	27
LITERATURA .....	29
CURRICULUM VITAE .....	31
ABSTRAKT .....	32



# 1 ÚVOD

Přestože v dnešním světě převládá v elektronických systémech digitální zpracování signálů, reálný svět je analogový. Převod analogových signálů z tohoto reálného světa zajišťují analogově-číslicové převodníky. V integrovaných obvodech jsou velice často používány sigma-delta převodníky, jejichž nezbytnou součástí jsou právě sigma-delta modulátory. Tyto pak tvoří rozhraní mezi analogovým signálem a jeho digitální reprezentací. Pomocí následných digitálních obvodů lze sice dosáhnout dalšího zlepšení parametrů, např. výpočetní kompenzací nedokonalosti vstupní části, rozhodující však je právě přesnost této vstupní analogové části. Použitím nových principů při návrhu těchto bloků může mít kladný vliv na celkově lepší parametry celého převodníku, při uplatnění dalších výhod jako je např. velikost plochy čipu, použitelné minimální napájecí napětí nebo další parametry související s výrobními náklady. Jedním z principů použitelných v sigma-delta modulátorech je použití nelineární kapacity hradla tranzistoru MOS za pomoci různých technik linearizace. Pro jejich ověření existují některé měřicí metody, vyznačují se však určitými nedostatky. Tato práce se zabývá vývojem nové metody měření nelineárních kondenzátorů.

Obecný důvod proč použít kapacitu hradla tranzistoru MOS je odstranit z obvodu jednak lineární kondenzátory MIMC, které nejsou běžnou součástí čistě digitálních procesů, tak rezistory, které pro integraci potřebují rovněž přídavné výrobní masky. Rezistory lze nahradit spínanými lineárními kondenzátory, jejich použití však chceme rovněž zamezit. Proto je potřebné zajistit v pracovním rozsahu linearizaci charakteristiky použitých nelineárních MOS kondenzátorů. Toto řešení pak zajistí, že se v celém obvodu používají pouze MOS tranzistory, které jsou nedílnou součástí standardních CMOS procesů. Výsledný obvod je pak nezávislý na rozšíření jednotlivých procesů proti standardnímu CMOS procesu a hlavně pro výrobu nejsou nutné výrobní masky pro kondenzátory a rezistory, což má za následek výrazné zlevnění výroby. Příklady použití nelineárních kondenzátorů v sigma-delta modulátorech je možno nalézt v [13], [14], [15] a [16].

Pro použití nelineárních kondenzátorů je třeba znát jejich skutečnou hodnotu kapacity v daném technologickém procesu a zvláště pak její průběh v závislosti na přiloženém napětí, zejména charakteristiky kompenzačních zapojení. Neboť kapacita není pro běžný návrh nejpodstatnějším parametrem modelu MOS tranzistoru, zvláště její závislost na napětí, není modelována zcela přesně v porovnání s reálnou situací. Pro zjištění přesné hodnoty a ověření teoretických předpokladů je třeba měření reálných součástek. Při zkoumání možností měření extrémně malých kapacit bylo zjištěno, že existuje relativně velký počet metod pro měření lineárních kondenzátorů, avšak pro měření nelineárních kapacit jsou nevyhovující. Zejména metoda CBCM popsaná v [1], [2] a také v [10], [12] je velice perspektivní. Metoda však umožňuje pouze částečné měření nelineárních závislostí kapacity. Z tohoto důvodu se práce zaměřuje na oblast výzkumu a vývoje způsobu zkoumání vlastností nelineárních kondenzátorů tvořených hradlovou kapacitou

tranzistoru MOS. Z výše uvedeného vyplývá požadavek navrzení a vývoje měřicí metody, která by umožnila jednodušší a přesnější měření s rozlišením v řádech fF a s možností proměnného pracovního bodu v celém rozsahu potřebném pro charakterizaci hradlových kapacit tranzistorů MOS na polovodičovém čipu. Hlavními požadavky na měřicí metodu jsou pokud možno co nejmenší potřeba speciálních měřicích přístrojů a laboratorního vybavení. Taktéž je důležitý požadavek na co nejvíce zautomatizovaný proces měření a zpracování naměřených dat. Navrženou metodu je také potřebné ověřit, k čemu bude sloužit navržený testovací čip, na kterém bude též možné zkoumat vlastnosti hradlových kapacit tranzistoru MOS jakožto i technik pro jejich linearizaci.

### **Rekapitulace cílů disertace:**

- vyvinout a teoreticky popsat metodu pro charakterizaci nelineárních kondenzátorů,
- sestavit měřicí pracoviště pro měření nelineárních integrovaných kondenzátorů,
- navrhnout testovací čip,
- ověřit novou měřicí metodu,
- změřit nelineární integrované a experimentální kondenzátory v technologii I3T80.

## **2 CHARAKTERIZACE MALÝCH KAPACIT**

Konvenční metody měření používané pro diskrétní součástky [8] jsou pro účel měření kapacit kondenzátorů na polovodičovém čipu nevyhovující, a to zejména svými rozlišovacími schopnostmi. Z tohoto důvodu byly v literatuře vyhledány metody používané pro měření malých kapacit na čipu [7], [11]. Některé metody mají velké rozlišení a jsou schopny rozlišit dokonce parazitní kapacity propojovacích vodičů na čipu (*interconnects*), avšak pro nelineární měření se nedají použít [1], [2]. Některé jsou použitelné, ale potřebují integrovaný referenční kondenzátor [5], [6].

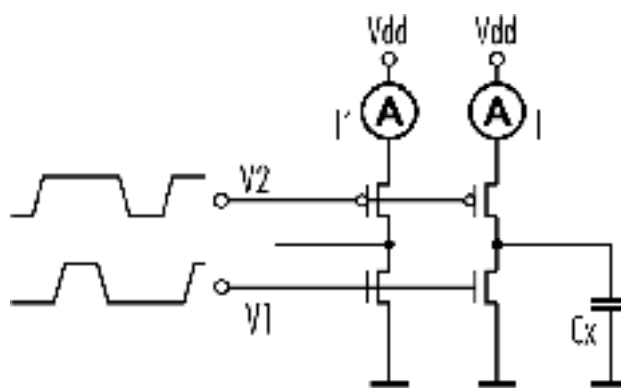
### **2.1 MĚŘENÍ KAPACITY POMOCÍ METODY CBCM**

CBCM znamená zkratku z anglického názvu *Charge-Based Capacitance Measurement* a do češtiny jej lze přeložit jako měření kapacity založené na měření náboje. Samotná metoda CBCM, popsaná v [1], si během krátké doby získala značnou popularitu. Komplexní rozbor charakterizace pomocí této metody je pak v [2]. Další články o této metodě lze nalézt v [10] a [12]. Úprava pro měření vzájemných kapacit spojů na čipu je v [9]. Její nejdůležitější vlastnost spočívá v její rozlišovací schopnosti, která umožňuje například měření vzájemné kapacity

kovových spojů integrovaných na polovodičovém čipu. Rozsah měření se v tomto případě pohybuje v jednotkách fF.

Na rozdíl od většiny ostatních metod, určených pro měření malých kapacit, není u metody CBCM potřebný přesný referenční kondenzátor. Přesnost tohoto kondenzátoru je kritická pro celkovou přesnost měření a navíc je nezbytné integrovat několik takovýchto kondenzátorů pro různé rozsahy měření, aby zůstala zachována dostatečná přesnost měření.

Jediným přesným přístrojem pro měření pomocí metody CBCM je citlivý ampérmetr pro měření stejnosměrné složky napájecího proudu. Obr. 1 ukazuje zapojení a princip metody CBCM.



Obr. 1. Základní principiální schéma metody CBCM

Testovací struktura se skládá z párů tranzistorů NMOS a PMOS zapojených v konfiguraci jako „pseudoinvertor“. Standardní invertor má hradla NMOS a PMOS tranzistoru spojeny, v tomto případě je každý tranzistor buzen zvláštním signálem. Pár tranzistorů na levé straně je použit jako referenční a slouží ke kompenzaci parazitních kapacit spínačů tvořených tranzistoru. Struktury vlevo i vpravo jsou přesně stejných rozměrů (pro další úvahy) s výjimkou toho, že k pravé struktuře je připojen kondenzátor, který chceme měřit. Obě struktury jsou buzeny dvěma hodinovými signály s časově posunutými hranami. Tyto signály lze generovat na čipu nebo mimo čip. Důvod použití takto upraveného signálu je zamezit současnému sepnutí jak horního tak dolního tranzistoru a tak vyloučit průchod příčného proudu ze zdroje  $V_{dd}$  do země, který by se přičítal k hodnotě měřeného napájecího proudu. Pokud je tranzistor PMOS sepnutý, proteče přes něj náboj potřebný k nabití měřeného kondenzátoru. Stejně množství náboje bude následně vybito přes tranzistor NMOS do země. Ampérmetr může být vřazen do emitoru tranzistoru PMOS, nebo alternativně do emitoru tranzistoru NMOS. Tento ampérmetr měří nabíjecí proud. Skutečný průběh proudu není důležitý, pouze musí být změřena jeho střední hodnota [3]. Rozdíl mezi stejnosměrnými složkami pravé a levé struktury je následně použit pro výpočet měřené kapacity. Výslednou kapacitu  $C_x$  lze vyjádřit ze vztahu



$$I - I' = (Q - Q') \cdot f = C_x \cdot V_{dd} \cdot f, \quad (1)$$

kde  $f$  ... frekvence spínání,  
 $V_{dd}$  ... napájecí napětí,  
 $I$  ... stejnosměrná hodnota napájecího proudu pravé struktury,  
 $I'$  ... stejnosměrná hodnota napájecího proudu levé struktury,  
 $(Q - Q') = V_{dd}((C_{par} + C_x) - C_{par})$ .

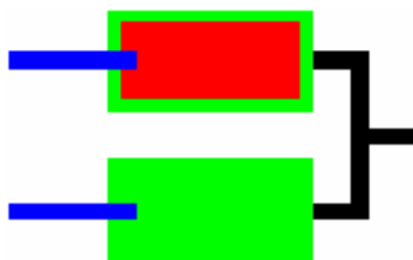
Z rovnice (1) je vidět, že rozlišení metody lze zvyšovat pomocí zvětšení napájecího napětí  $V_{dd}$  a spínací frekvence  $f$ . Napětí je limitováno technologií a spínací frekvence odporem spínačů v sepnutém stavu, protože kondenzátor se během jedné periody musí kompletně nabít a vybit. Časová konstanta je dána součinem kapacity a celkového elektrického odporu nabíjecí cesty. Tato časová konstanta musí být několikrát kratší než je doba periody spínání. Časovou konstantu lze zkrátit zvětšováním šířky tranzistorů, které má za následek snížení jejich odporu v sepnutém stavu. Tyto změny však lze provést jen v omezeném rozsahu, neboť takto zvětšená plocha tranzistoru znamená také zvýšení parazitní kapacity hradla a tím i zvýšení nežádoucího průniku náboje z budiče do měřeného obvodu. Pokud by obě strany byly přesně identické, pak by se podle (1) měly proudy kompletně eliminovat. Avšak obě struktury nejsou stejné už z principu, protože na jedné je připojena mnohem větší měřená kapacita. Tím je způsobeno, že v obou částech lze pozorovat jiné průběhy napětí a proudu. Proto bude nelineární efekt hradlové kapacity spínačů rozdílný pro pravou a levou stranu. Z tohoto důvodu se nelineární efekt stejné hradlové kapacity projeví rozdílně pro pravou a levou část měřicí struktury. Efekt lze částečně potlačit použitím nábojově vyvážených spínačů s NMOS a PMOS tranzistory buzenými vzájemně invertovanými signály [4].

Limit rozlišení metody zůstává tedy převážně na neshodě levé a pravé struktury podle obr. 1. Problematikou neshody tranzistorů MOS a její optimalizací se zabývá literatura [20], [21] a [22]. Aby tato neshoda byla co nejmenší, používá se kromě striktního dodržení shodnosti levé a pravé části měřicí struktury, také speciálního návrhu topologie pro měřený kondenzátor a pro větev bez něho podle obr. 2. Jsou zde shodné struktury s tím rozdílem, že struktura, která není měřená, nemá druhou elektrodu kondenzátoru. Měřený stejnosměrný proud každé struktury lze vyjádřit takto

$$I = (C_x + C_{par}) \cdot V_{dd} \cdot f, \quad (2)$$

$$I' = C_{par} \cdot V_{dd} \cdot f, \quad (3)$$

kde  $C_X$  je neznámý měřený kondenzátor a  $C_{par}$  je parazitní přesahová kapacita mezi hradlem a kolektorem, dále kapacita přechodu a další parazitní kapacity v uzlu mezi horním a dolním spínačem. Pokud budou obě struktury naprosto shodné, parazitní kapacita se odečte a neovlivní rozlišení. Ve skutečnosti zde však jistá neshoda mezi parazitními kapacitami bude v důsledku rozdílných  $W_{eff}$ ,  $L_{eff}$  a  $t_{ox}$ , způsobených neshodou. Pro minimalizaci této chyby, lze najít optimální poměr šířky/délky tranzistorů [4] v závislosti na použité technologii. Pro minimalizaci těchto chyb, které ovlivňují přesnost měření je nutné při geometrickém uspořádání spínací struktury dodržovat pravidla pro dobrou shodu.

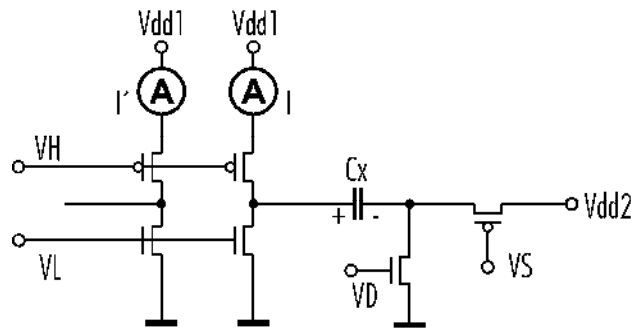


**Obr. 2.** Nahoře měřený kondenzátor, dole eliminační struktura bez kondenzátoru

CBCM metoda se běžně používá pro měření lineárních kondenzátorů na čipu, např. kapacity vodičů. Pro měření nelineárních kondenzátorů, jako hradlové kapacity MOS tranzistorů, není ve své základní verzi příliš vhodná. Nelineární kondenzátor je charakterizován  $C-U$  nebo  $Q-U$  charakteristikou. Standardní metoda CBCM sice umožňuje rozmítání napětí  $V_{dd}$ , avšak při jeho nízké hodnotě dramaticky klesá rozlišovací schopnost měření. Z tohoto důvodu a vzhledem k jinak velmi dobrým vlastnostem metody CBCM byla navržena její modifikace, která umožňuje její použití i pro měření hradlové kapacity MOS tranzistorů. Tato nová metoda je popsána a rozebrána v kapitole 2.2-Navržená metoda charakterizace.

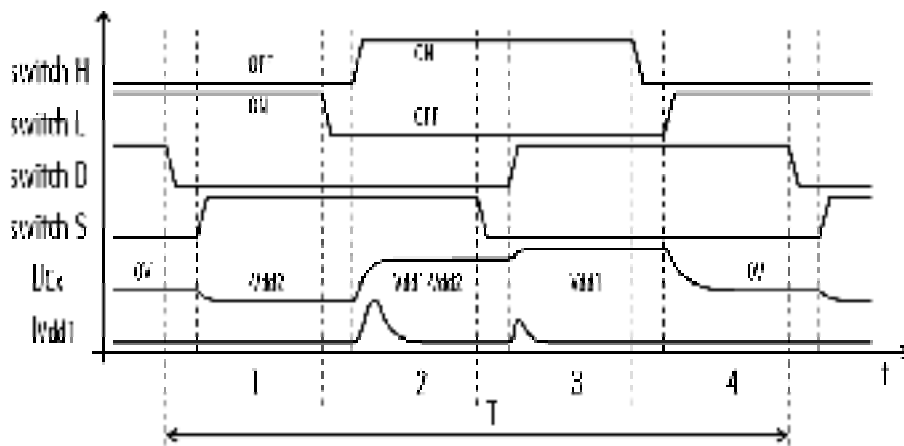
## 2.2 NAVRŽENÁ METODA CHARAKTERIZACE

Pro potřeby ověření teoretických předpokladů průběhů hradlové kapacity MOS tranzistorů na skutečném čipu, byla navržena modifikace metody CBCM. Tato nová metoda, publikovaná v [31], umožňuje měření plovoucích prvků. Dva zdroje stejnosměrného napětí jsou použity pro měření celé nelineární charakteristiky v obou polaritách bez nutnosti přepojování měřeného prvku ( $C_X$ ) během měření. Vždy jeden zdroj je rozmítán a druhý zůstává konstantní a poté naopak. Pro každý pod charakteristiky je zaručena minimální změna napětí potřebná pro vytvoření minimálního stejnosměrného napájecího proudu, jenž lze potom snadno měřit. Principiální schéma zapojení popisované testovací struktury je na obr. 3.



Obr. 3. Principiální schéma zapojení testovací struktury Modifikované metody CBCM

Levá strana zůstala stejná jako v klasické metodě CBCM, v pravé části bylo nahrazeno spojení záporného vývodu měřeného prvku pomocí dvou spínačů  $D$ ,  $S$  a přibyl další napájecí zdroj  $V_{dd2}$ . Záporný pól měřeného objektu tak lze připojit na další regulovaný stejnosměrný napájecí zdroj  $V_{dd2}$ . Důležité časové průběhy v obvodu jsou zobrazeny na obr. 4, který zachycuje jednu měřicí periodu.



Obr. 4. Časové průběhy v obvodech Modifikované metody CBCM

Během fáze 1 je měřený kondenzátor nabíjen na záporné napětí (vzhledem k jeho svorkám) ze zdroje  $V_{dd2}$  přes spínače  $L$  a  $S$ . Během fáze 2 je spínač  $L$  rozpojen a  $S$  je stále sepnut. Aktivací spínače  $H$  ve fázi 3 umožní nabití měřeného kondenzátoru na napětí  $V_{dd1}-V_{dd2}$ . Přesuny náboje z napájecího zdroje během fází 2 a 3 jsou měřeny stejnosměrným ampérmetrem. Napětí se mění na hodnotu  $V_{dd1}$ . Použitím vysoké opakovací frekvence je dosaženo měřitelné velikosti napájecího proudu. Během poslední fáze je spínač  $S$  rozepnut a kondenzátor je vybíjen z hodnoty  $V_{dd1}$  na nulové napětí přes spínače  $L$  a  $D$ . Takto je kondenzátor připraven na další měřicí periodu.

Napětí na kondenzátoru se během jedné periody mění z hodnoty  $-V_{dd2}$  na  $V_{dd1}$  a změnu náboje lze určit z měřeného proudu pomocí vztahu

$$\Delta Q(V_{dd2}, V_{dd1}) = \frac{I - I'}{f} = \int_{-V_{dd2}}^{V_{dd1}} C(u) du . \quad (4)$$

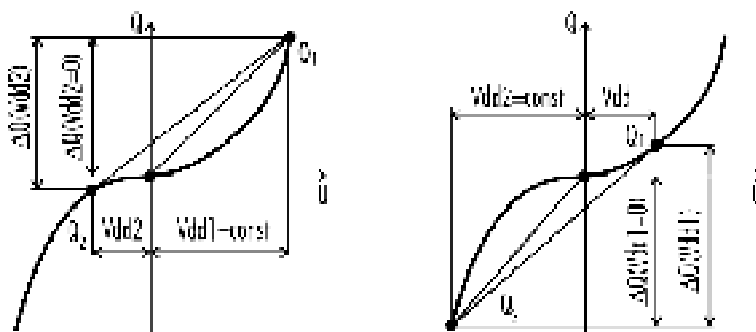
Dynamická kapacita  $C(u)$  může být určena z rekonstruované  $Q-U$  charakteristiky kondenzátoru. Vztah (4) dává pouze hodnotu změny náboje. Uvažujme rekonstrukci charakteristiky  $Q-U$  pro záporné napětí od  $V_{dd2} = 0$  V. Změna napětí je pak  $V_{dd1}$  a změna náboje  $\Delta Q(0, V_{dd1})$ . Pro nulové napětí musí být náboj též nulový, tzn.  $Q(0) = 0$  C. Toto určuje pevný bod charakteristik, z kterého se vychází. Změna náboje rozmítáním napětí  $V_{dd2}$  je vztažena relativně vzhledem k tomuto bodu, což lze vyjádřit pomocí rovnice

$$Q(-V_{dd2})_{V_{dd1}=\text{const}} = \Delta Q(0, V_{dd1}) - \Delta Q(V_{dd2}, V_{dd1}), \quad (5)$$

a podobně pro kladné napětí

$$Q(V_{dd1})_{V_{dd2}=\text{const}} = \Delta Q(V_{dd2}, V_{dd1}) - \Delta Q(V_{dd2}, 0). \quad (6)$$

Tímto lze kondenzátor proměřit v obou polaritách pomocí rozmítání jednoho zdroje, když druhý je ponechán konstantní. Grafická reprezentace rekonstrukce  $Q-U$  charakteristiky je znázorněna na obr. 5. Statickou i dynamickou hodnotu kapacity lze získat z  $Q-U$  charakteristiky.



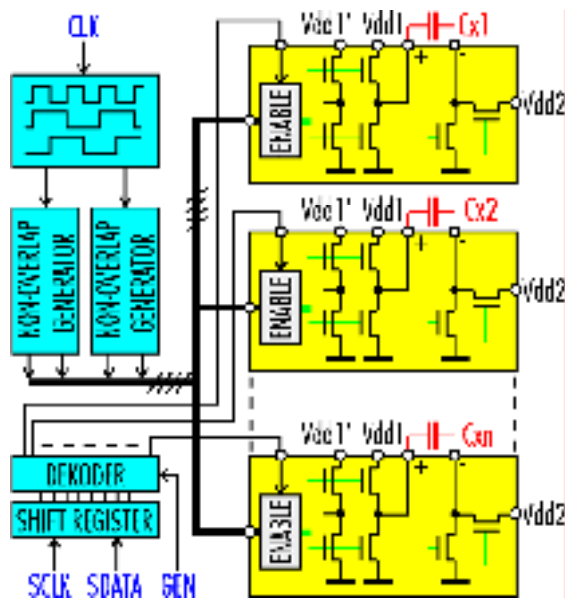
Obr. 5. Rekonstrukce  $Q-U$  charakteristiky pro obě polarity

### 3 EXPERIMENTÁLNÍ OVĚŘENÍ METODY

#### 3.1 OBECNÝ POPIS TESTOVACÍHO ČIPU

Ověřovací a měřicí testovací čip byl navržen pro ověření nové metody měření a pro charakterizaci nelineárních kondenzátorů integrovaných na čipu. Na testovacím čipu jsou umístěny jednotlivé testovací struktury podle obr. 3. Každé této testovací struktuře přísluší jeden testovaný kondenzátor. To je dobře patrné z obr. 6. Příslušné napájecí svorky  $V_{dd1}$ ,  $V_{dd1}'$  a  $V_{dd2}$  všech testovacích struktur jsou navzájem spojeny a vyvedeny na vývody testovacího čipu, kde jsou napájeny příslušnými regulovanými napájecími zdroji. V sérii s nimi jsou vřazeny citlivé ampérmetry pro měření stejnosměrného napájecího proudu. Aby bylo zaručeno měření vždy jen jednoho

měřeného kondenzátoru má každá testovací struktura aktivací vstup, jenž umožňuje její aktivaci nebo deaktivaci. O správné nastavení těchto vstupů se stará dekodér *jedna z N*, který dostává informaci o čísle aktivního vzorku z posuvného registru. Ten je naplňován vnějšími logickými signály generovanými pomocí ovládacího počítače.

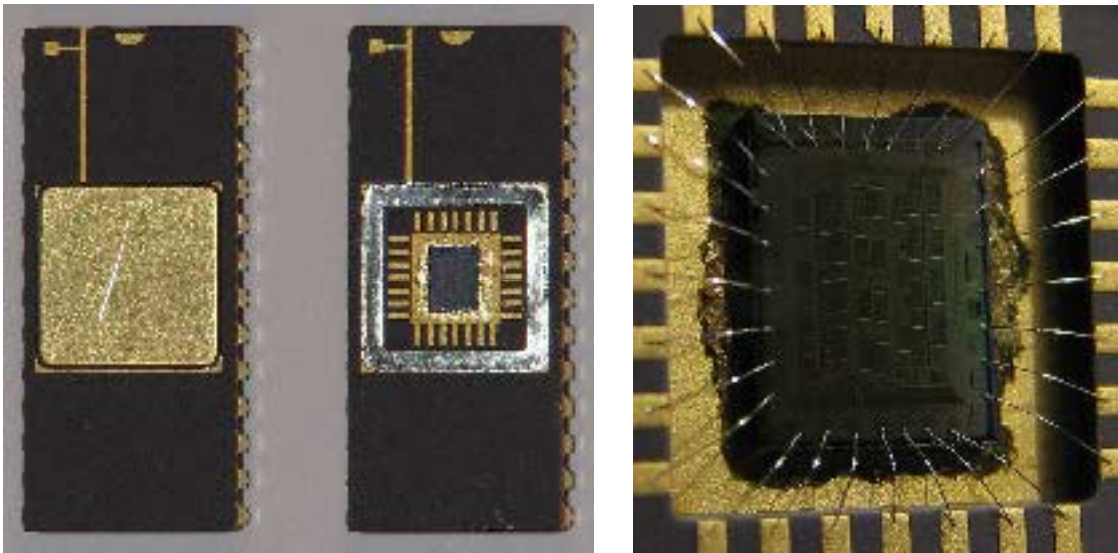


Obr. 6. Blokové schéma testovacího čipu

Hodinový signál určující spínací frekvenci je do testovacího čipu přiváděn přes vývod *CLK* z vnějšího generátoru. Tento signál je nejprve rozdělen na dva fázově posunuté signály a ty jsou pak dále upraveny pro použití v testovacích strukturách. Signál vždy pro jeden pár spínačů je doplněn o určitý přesah, aby se zabránilo kolizím při současném sepnutí spínačů. Tyto čtyři signály jsou rozvedeny na všechny testovací struktury.

### 3.2 TECHNICKÉ PARAMETRY

Testovací čip vyrobený v technologii I3T80U společnosti AMI Semiconductor má velikost  $4230 \times 3500 \mu\text{m}$ . Celková plocha čipu je tedy  $14,8 \text{ mm}^2$ . Vlastní křemíkový plátek je umístěn v keramickém pouzdru DIL28 určeném pro prototypy. Fotografie uvedeného pouzdra je zobrazena na obr. 7. Pouzdro obsahuje kovový plíšek připájený na dosedací plochu pouzdra, který odděluje prostor pro čip od okolního prostředí a zamezuje přístupu světelného záření na povrch čipu. Tento plíšek lze snadno odstranit odpájením a pak je možné pomocí mikromanipulátoru a mikrosond měřit signály přímo na čipu. Je také možné pomocí laseru přerušit určité vodivé spoje mezi součástkami na čipu. Tohoto se používá pro lokalizaci případných problémů při vývoji čipů. Toto řešení pouzdra má proti, klasickému způsobu pouzdření, kdy se při výše popisovaných činnostech musí nejprve pouzdro otevřít pomocí agresivních chemikálií, zřejmé výhody.



**Obr. 7.** Fotografie pouzdra pro testovací čip (keramické pouzdro DIL28 pro prototypy)

### 3.3 IMPLEMENTOVANÉ MĚŘICÍ REŽIMY

Testovací čip může pracovat v několika měřicích režimech, které se od sebe liší ovládním měřicích spínačů  $H$ ,  $L$ ,  $D$  a  $S$ . Způsobem časování a posloupností sepnutí a rozepnutí jednotlivých spínačů lze měřit různé kapacity (jak parazitní, tak chtěné), a aplikovat různé měřicí metody. Implementováno je těchto 5 režimů:

- Modifikovaná metoda CBCM (kapitola 2.2, str. 9)
- CBCM metoda s uzemněným záporným pólem měřeného kondenzátoru
- CBCM metoda se záporným pólem připojeným na předpětí
- Metoda pro identifikaci parazitních kapacit
- Přímé ovládní jednotlivých spínačů pomocí externích signálů

Časování prvních čtyř režimů je realizováno pomocí externího zdroje hodinového signálu přivedeného na vývod  $CLK$  testovacího čipu. Frekvencí tohoto signálu je určena vnitřní frekvence spínání, která je poloviční proti vstupnímu signálu. Časování posuvu mezi jednotlivými spínači je určeno vnitřním zapojením a při typické době trvání 20 ns umožňuje použít maximální frekvenci externího hodinového signálu 20 MHz. Při použití přímého řízení je pak časování dáno použitými externími signály.

### 3.4 MĚŘICÍ PRACOVNÍŠTĚ

Jedná se o soubor vybavení umožňující měření na vyrobeném testovacím čipu a získání tak dat pro výzkum nelineárních kondenzátorů. Pracoviště bylo sestaveno z

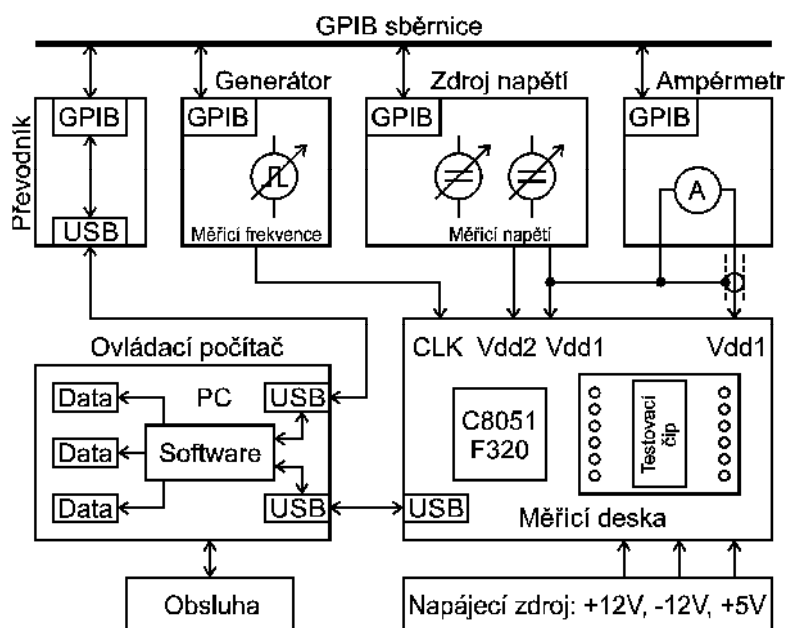
dostupných komponent s cílem maximální automatizace měřicího procesu. Pracoviště se stává z:

- Měřicí desky
- Laboratorních měřicích přístrojů
- Napájecích zdrojů
- Ovládacího počítače typu PC
- Měřicího softwarového vybavení

Blokové schéma je znázorněno na obr. 8. Pro měřicí pracoviště byla zvolena koncepce měřicího systému ovládaného z počítače typu PC, kde pro přesná měření je použito profesionálních měřicích přístrojů s přesností zaručenou kalibračním protokolem a měřicí desky, která zajišťuje další nezbytné funkce při měření. Tyto funkce jsou zejména:

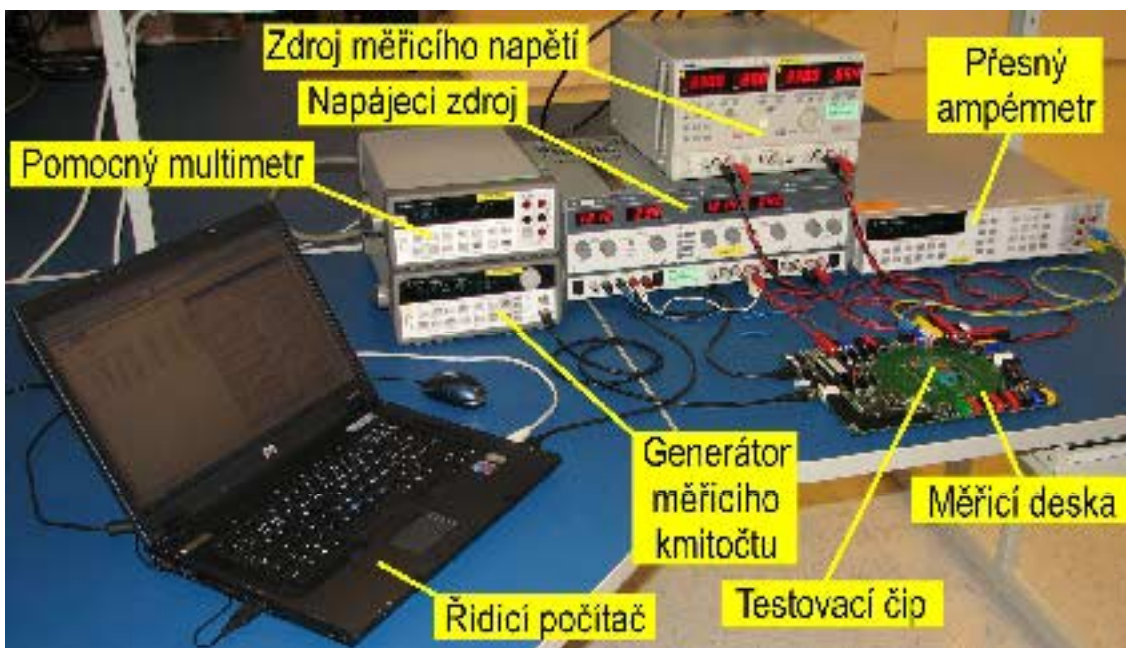
- napájení měřicí desky a testovacího čipu
- nastavení testovacího čipu pro měření (výběr metody a vzorku)
- distribuce hodinového signálu (měřicího kmitočtu)
- méně přesná měření a nastavení (neovlivňující přesnost měření)
- odpojení testovacího čipu při výměně v patici
- generování měřicí posloupnosti (jako záložní řešení)

Použití ovládacího počítače bylo motivováno snahou o maximální automatizaci měřicího procesu souvisejícího i se způsobem zpracování naměřených dat.



Obr. 8. Blokové schéma měřicího pracoviště

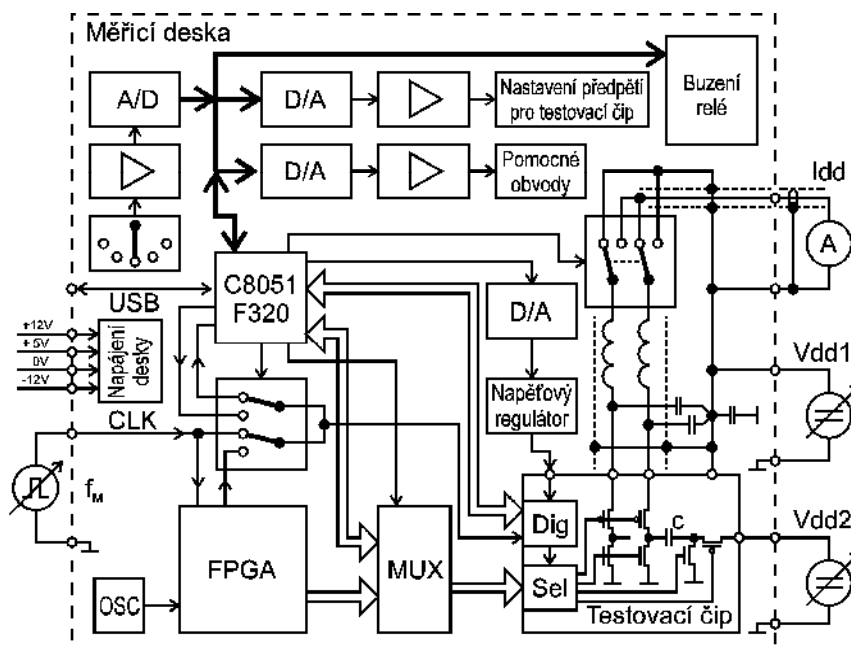
Obsluha ovládá celé pracoviště prostřednictvím ovládacího počítače typu PC. Ten komunikuje s měřicí deskou a s měřicími přístroji přes svoje USB porty. Měřicí přístroje jsou zapojeny na GPIB sběrnici a jsou tedy ovladatelné bez nutnosti manuálního ovládání obsluhou. Fotografie měřicího pracoviště je na obr. 9.



Obr. 9. Fotografie měřicího pracoviště s popisem použitých přístrojů

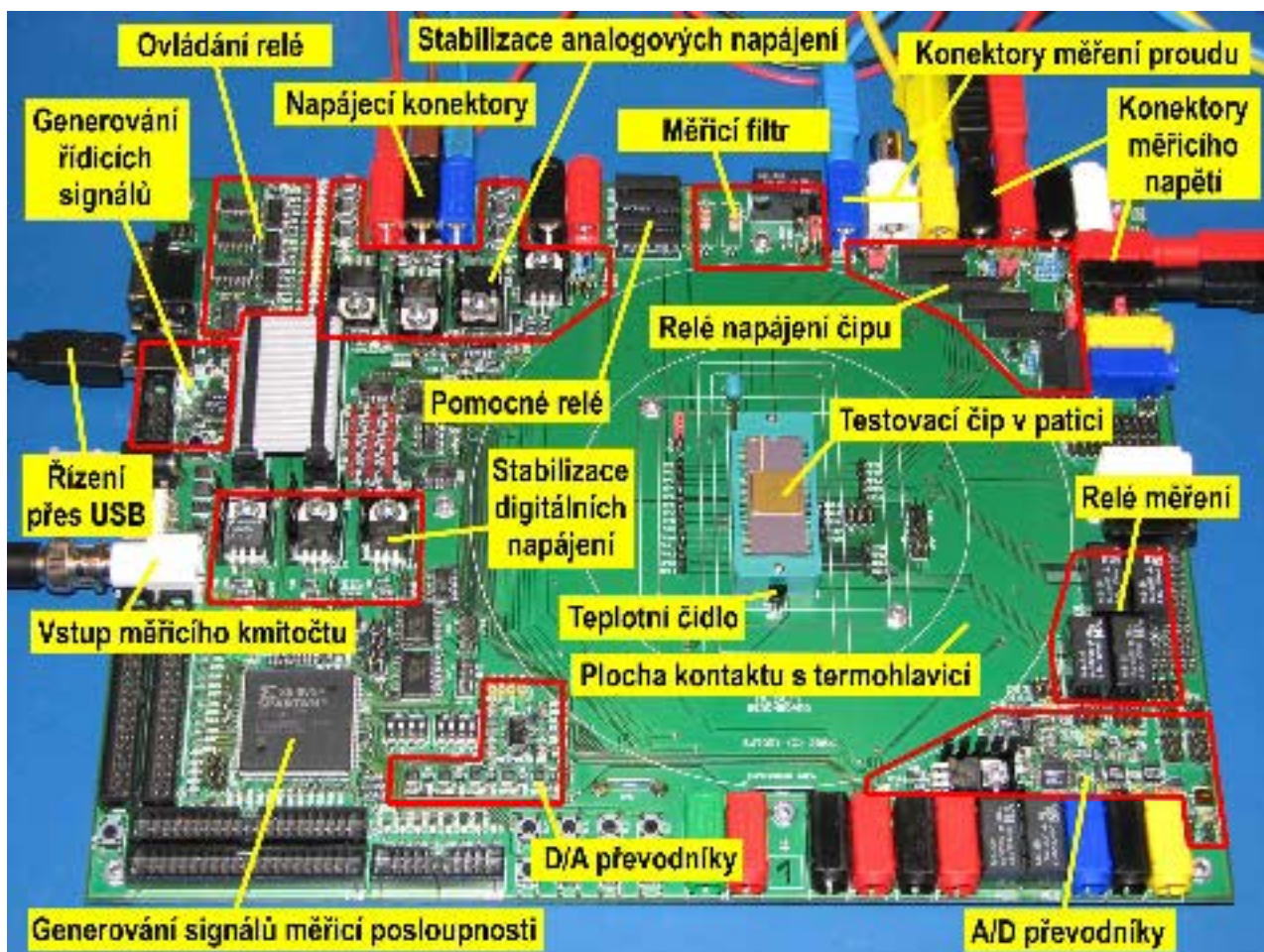
### 3.5 MĚŘICÍ DESKA PRO MĚŘENÍ TESTOVACÍHO ČIPU

Měřicí deska je plošný spoj osazený nezbytnými komponenty pro měření testovacího čipu. Spolu s připojenými měřicími přístroji a ovládacím počítačem typu PC tvoří měřicí pracoviště. Blokové schéma je na následujícím obr. 10. Fotografie měřicí desky je na obr. 11.



Obr. 10. Blokové schéma měřicí desky měřicího pracoviště

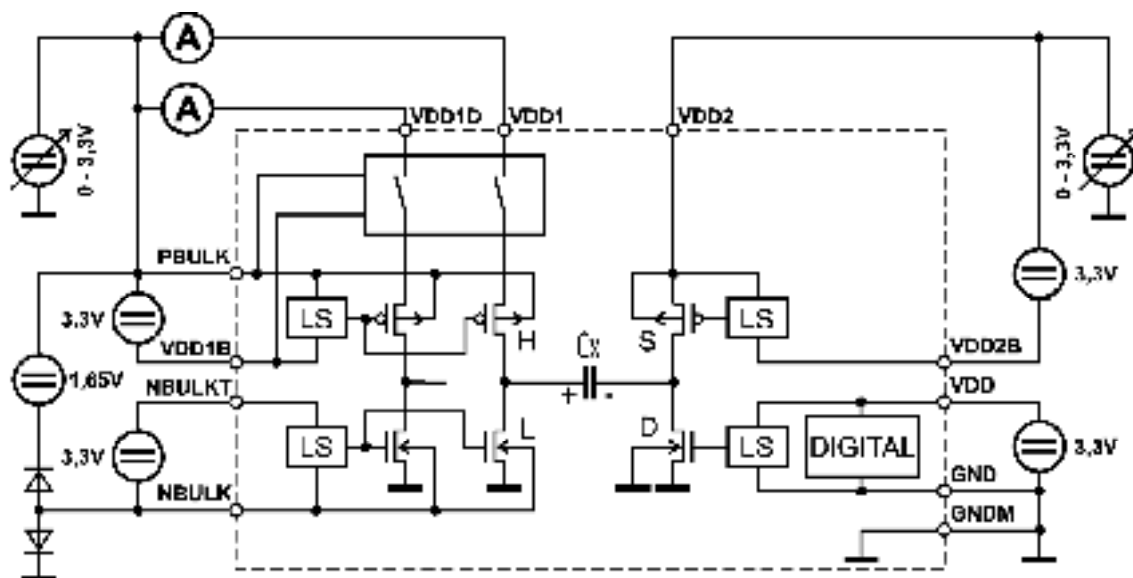




Obr. 11. Fotografie měřicí desky s popisem funkčních bloků

### 3.6 SYSTÉM NAPÁJENÍ TESTOVACÍHO ČIPU

Jednou z významných funkcí měřicí desky je napájení testovacího čipu. Byla zvolena koncepce integrace co největšího počtu zdrojů, v podobě třísvorkových stabilizátorů, na měřicí desce. Tato volba byla vedena snahou minimalizování počtu dalších laboratorních zdrojů připojených k desce. Počet napájecích úrovní není vzhledem k vnitřnímu uspořádání testovacího čipu nijak malý. Toto uspořádání je komplikované z důvodu použití nízkonapěťových tranzistorů MOS integrovaných na testovacím čipu. V technologii I3T80 je pro tyto tranzistory dovolené napětí na kterékoliv dvojici vývodů 3,6 V. Pokud chceme zaručit spolehlivé a přesné měření testovacích vzorků v celém rozsahu nevyhne se použití několika napěťových úrovní a převodníky mezi těmito úrovněmi. Ve schématu napájecí soustavy na obr. 12 jsou tyto převodníky úrovní označeny LS (*Level Shifter*). Zajišťují převod napěťových úrovní logických signálů z globální napájecí úrovně pro digitální obvody čipu na úrovně pro spínače podle aktuální potřeby.

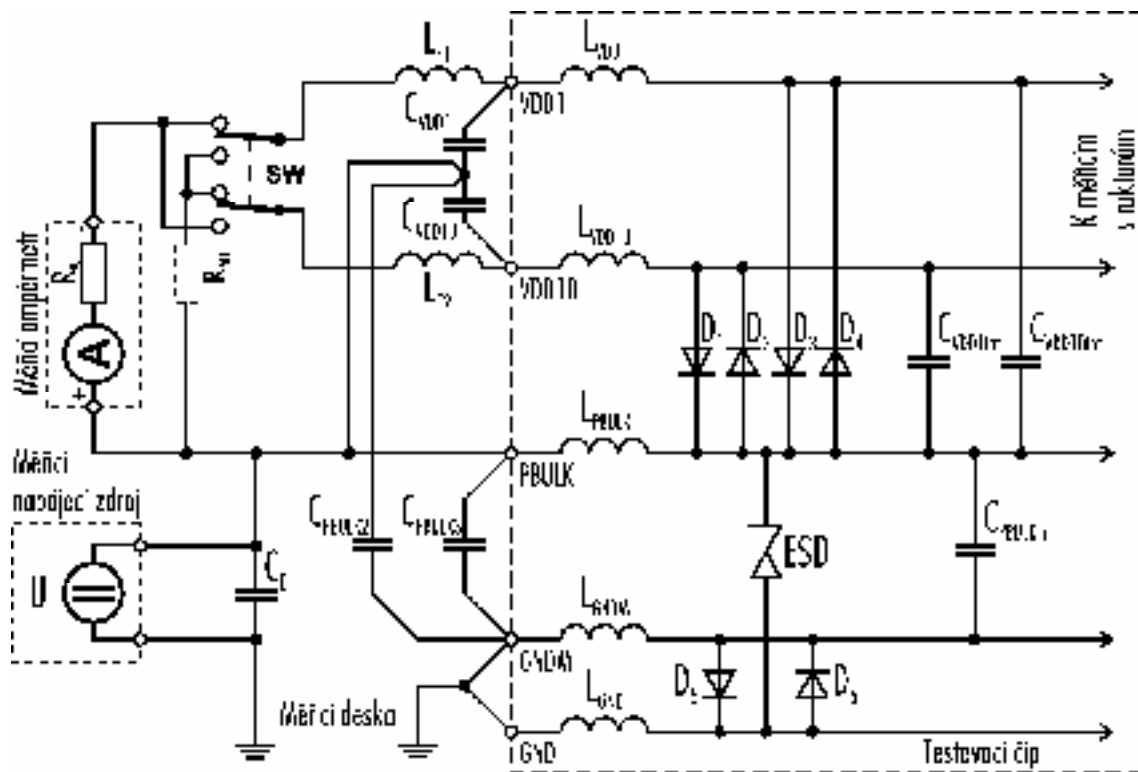


Obr. 12. Uspořádání napájecích zdrojů pro napájení testovacího čipu

Regulovatelné zdroje jsou řešeny pomocí dvojitého laboratorního zdroje ovládaného z počítače typu PC přes rozhraní GPIB. Ostatní zdroje jsou osazeny třívorkovými stabilizátory na měřicí desce. Jak je vidět ze schématu některé z nich jsou navázány na regulovatelné zdroje. Deska je dále napájena dvojitým stabilizovaným zdrojem +12 V, -12 V, který umožňuje vytvoření zmiňovaných hladin třívorkovými stabilizátory. Zvláštní hladina napětí je připojena na svorku *NBULK* testovacího čipu. Je jí hodnota je odvozena od hladiny na svorce *PBULK* snižené o 1,65 V. Hodnota napětí na svorce *PBULK* může být v rozsahu 0 až 3,3 V, hodnota napětí je však pomocí dvou diod ve schématu omezena na rozsah -1,5 V až 0 V. Toto napětí slouží k přivedení záporného předpětí na vývody B (*bulk*) dolních tranzistorů NMOS při nízkých hodnotách regulovaného napětí. Toto má zabránit parazitnímu otevírání substrátových diod v důsledku vytvoření úbytků na odporu v sepnutém stavu horní dvojice spínacích tranzistorů PMOS při nabíjení měřeného kondenzátoru a zabránění ovlivnění měření.

### 3.7 ZAPOJENÍ MĚŘICÍ ČÁSTI

Zapojení měřicího systému je zobrazeno na obr. 13.

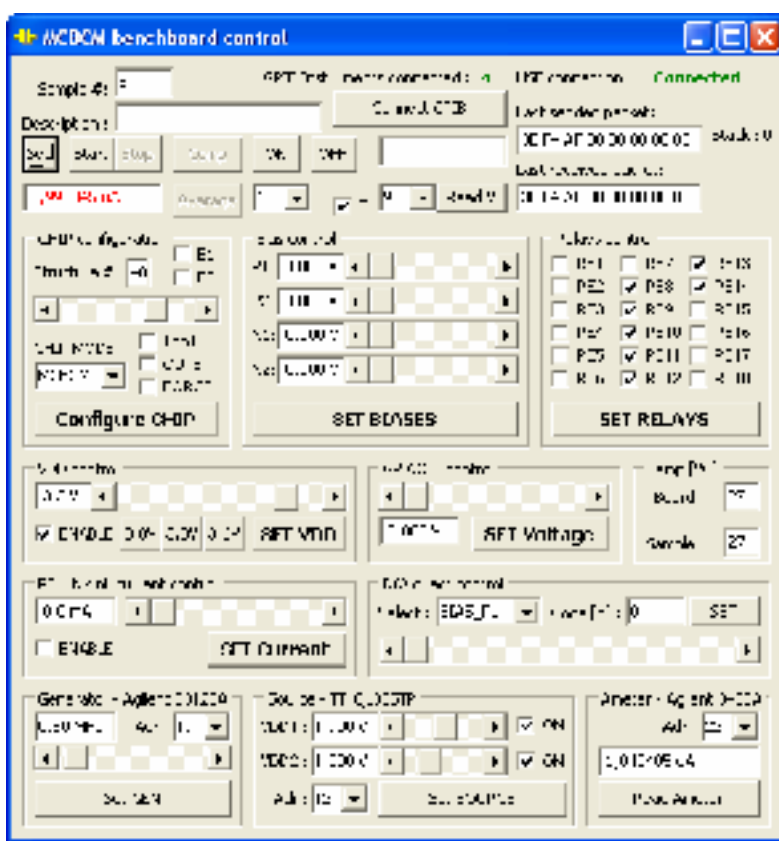


Obr. 13. Kompletní schéma zapojení měřicího obvodu

Pro měření proudu přes svorku  $VDD1$  i přes svorku  $VDDID$  je použit jediný ampérmetr, který je přepínán pomocí přepínače  $SW$  buď na jednu či druhou svorku. Rezistor  $R_{AD}$  má simulovat velikost vnitřního odporu ampérmetru  $R_A$  pro větev, která není právě měřena. Napájecí systém byl rozšířen o svorku  $PBULK$ , která má přibližně stejnou napěťovou úroveň jako svorky  $VDD1$  a  $VDDID$ , ale není měřena. Na ni jsou zapojeny kapsy a jámy typu N (*nwell*) tranzistorů PMOS a ESD ochrana, která vykazuje vysokou hodnotu svodového proudu. Svorky  $VDD1$  a  $VDDID$  jsou tak pomocí diod  $D_1$  až  $D_4$  a ESD ochráněny proti přepětí, které se může vyskytnout při manipulaci s čipem. Přes diody  $D_1$  až  $D_4$  netečou proudy a aby to platilo i pro pulzní zátěž, o to se starají kondenzátory  $C_{VDD1int}$ ,  $C_{VDD1Dint}$ ,  $C_{PBULKint}$ . Jedná se o takzvané ekvipotenciální stínění, kdy se využívá skutečnosti, že všechny svorky mají stejný potenciál, a tudíž mezi nimi netečou vyrovnávací proudy. Externí blokování napájení je provedeno pomocí kondenzátorů  $C_{VDD1}$ ,  $C_{VDD1D}$ ,  $C_{PBULK2}$ ,  $C_{PBULK3}$ . Indukčnosti, kromě strojených cívek  $L_{F1}$  a  $L_{F2}$ , modelují parazitní indukčnosti kontaktovacích drátků čip-pouzdro. Diody  $D_5$  a  $D_6$  slouží pro propojení měřicí ( $GNDM$ ) a digitální ( $GND$ ) země pokud není obvod v měřicí patici, kde jsou tyto dvě svorky spojeny a tvoří hlavní zemnicí bod. Filtrace měřeného proudu, jak již bylo zmíněno výše, je zajištěna filtrem tvořeným indukčnostmi  $L_{F1}$  a  $L_{F2}$  a kondenzátory  $C_{VDD1}$ ,  $C_{VDD1D}$ .

### 3.8 OVLÁDACÍ A MĚŘICÍ SOFTWARE

Vzhledem ke složitosti měřicího aparátu a také pro požadavek na vysokou automatizaci měření byl vytvořen ovládací software. Slouží jednak k ovládání měřicí desky a také k nastavování a odečítání hodnot měřicích přístrojů. Zdrojový kód programu je napsán v prostředí Borland Delphi. Vizuální podoba okna ovládacího software je zobrazena na obr. 14. Jednotlivé použité přístroje mají svoje nastavovací a měřicí prvky umístěny na formuláři programu. To umožňuje jejich pohodlné ovládání z měřicího software. Rovněž jsou na formuláři ovládací prvky měřicí desky. Pro nastavení čipu do určitého stavu je sekce pro nastavení čipu. Pro bezpečné vyměnění čipu slouží tlačítka pro zapnutí a vypnutí. S výše zmíněnými prvky lze ručně ovládat a měřit. Pro automatické změření charakteristiky existuje příslušné měřicí tlačítko. Je možné volit taktěž průměrování měření. Naměřená data se ukládají do textového souboru na disku odkud je možné je přenést do tabulkového procesoru a zobrazit naměřené charakteristiky.



Obr. 14. Okno ovládacího software

## 4 VYHODNOCENÍ VÝSLEDKŮ MĚŘENÍ

Ověření měřicí metody bylo realizováno několika způsoby za použití různých přístupů. Nejdůležitějším způsobem bylo porovnání s referenčním měřením pomocí kalibračního měřicího přístroje.

## 4.1 MĚŘENÍ EXTERNÍCH KONDENZÁTORŮ

Toto měření je založeno na porovnání změřené hodnoty kapacity externích lineárních kondenzátorů, které tvoří referenční hodnotu, pomocí kalibrovaného RLC měřiče s údajem naměřeným pomocí Modifikované CBCM metody (MCBCM). Výsledky tohoto měření byly publikovány autorem v [27]. Pro měření externích kondenzátorů je dedikována měřicí buňka číslo 61. Propojení s externím kondenzátorem je realizováno pomocí pinů CP, CN a DUMMY. Kondenzátor je zapojen mezi piny CP a CN, pin DUMMY je použit ke kompenzaci kapacity vývodů integrovaného obvodu a kapacity plošného spoje. Jejich kapacita se pohybuje kolem 5 pF, tedy až 50 % z hodnoty nejmenšího měřeného kondenzátoru, avšak je kompletně kompenzována, viz níže. V následující tab. 1 jsou uvedeny výsledky měření.

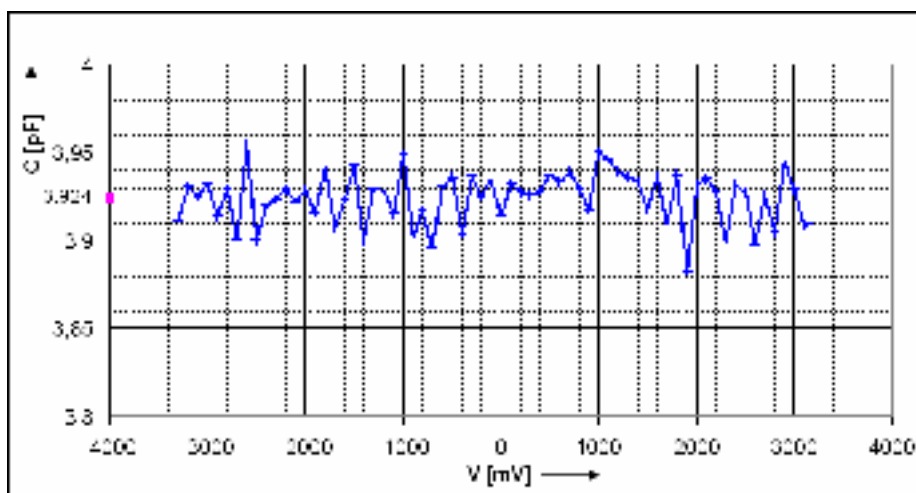
Tab. 1. Výsledky srovnávacího měření externích kondenzátorů

<i>C<sub>nom</sub></i>	<i>C<sub>ref</sub></i> (změřeno RLC měřičem)	<i>C<sub>meas</sub></i> (změřeno pomocí MCBCM)	<i>Chyba</i>
pF	pF	pF	%
100 pF	99,77	98,96	-0,8
22 pF	22,00	22,17	+0,8
10 pF	9,938	10,03	+0,9

Protože hodnoty referenčních kondenzátorů jsou relativně velké vzhledem k předpokládanému měřicímu rozsahu (maximum kolem 20 pF), musela být použity extrémně nízké měřicí frekvence a to 2 až 4 kHz. Tím bylo zajištěno řádné nabíjení a vybíjení měřených kondenzátorů i parazitních kapacit a nepřekročení proudového rozsahu měřicího ampérmetru. Udávaná chyba není chybou absolutní, ale je chybou vztaženou proti změřené hodnotě RLC měřiče. Byl použit RLC měřič firmy Agilent typ 4263B a jeho udávaná přesnost je 0,25 % pro měřenou hodnotu 100 pF.

## 4.2 MĚŘENÍ INTEGROVANÝCH LINEÁRNÍCH KONDENZÁTORŮ

Cílem dalšího měření bylo ověřit linearitu měřicí metody a zároveň její rozlišení i pro nejmenší kapacity. K tomuto účelu byly na testovací čip integrovány lineární MIMC kondenzátory jejichž kapacita je na napětí téměř nezávislá. Výsledky tohoto měření byly rovněž publikovány v [27]. Nejprve byly změřeny všechny struktury s MIMC kondenzátory. Byla měřena celá  $C-U$  charakteristika, která je v ideálním případě přímka vodorovná s osou  $x$ , tedy osou napětí  $U$ . Jelikož je měření zatíženo náhodnými chybami a nebylo použito průměrování, není změřená závislost přímka, ale funkce s určitým rozptylem hodnot způsobeným náhodnými chybami měření. Příklad takovéto funkce je možno vidět na následujícím obr. 15.



**Obr. 15.** Změřená  $C$ - $U$  charakteristika struktury č. 2 s vyznačenou střední hodnotou

Ze změřených hodnot celé naměřené  $C$ - $U$  charakteristiky jsou vypočítány pomocí aritmetického průměru střední hodnoty kapacity pro porovnání s údajem RLC měřiče. Porovnávat tyto hodnoty s jmenovitou hodnotou kapacity kondenzátoru má však pouze informativní charakter, neboť hodnoty kapacity kondenzátorů jsou zatíženy výrobní tolerancí. Pro informativní účely a pro orientaci jsou hodnoty zaznamenány v následující tab. 2.

**Tab. 2.** Naměřené hodnoty kapacity pro lineární kondenzátory MIMC

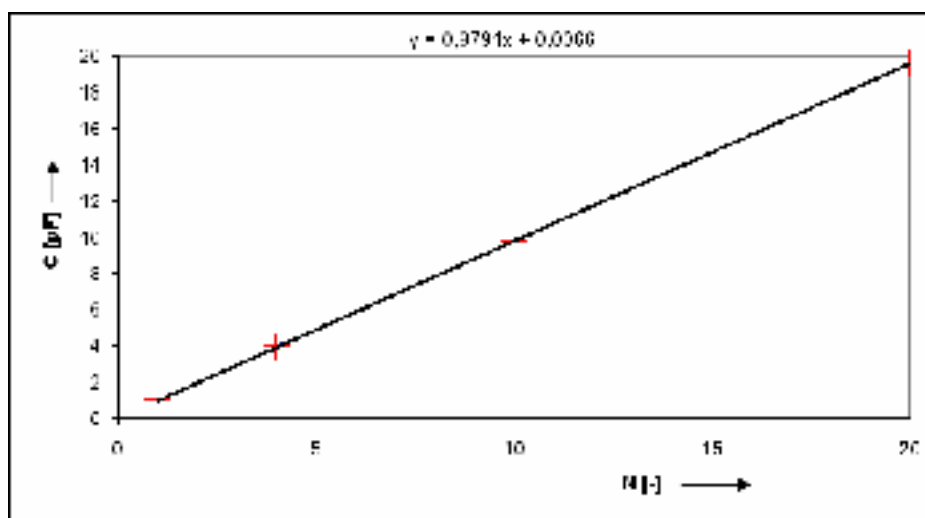
Číslo struktury	0	1	2	3	4	5	6	7
Počet jednotek [-]	20	10	4	1	1	1	1	1
W [ $\mu\text{m}$ ]	25	25	25	25	16	8	5	2,2
L [ $\mu\text{m}$ ]	25	25	25	25	16	8	5	2,2
$C_{\text{jmen}}$ [pF]	19,430	9,715	3,886	0,9715	0,4058	0,1069	0,0443	0,0103
$C_{\text{meas}}$ [pF]	19,588	9,800	3,924	0,9840	0,4100	0,1074	0,0443	0,0105
<b>Chyba [%]</b>	<b>+0,81</b>	<b>+0,87</b>	<b>+0,97</b>	<b>+1,29</b>	<b>+1,05</b>	<b>+0,44</b>	<b>+0,01</b>	<b>+2,68</b>

Chyby se pohybují většinou kolem +1 % a je tedy patrný jistý technologický posuv, který není možné zjistit bez přídavného měření.

K ověření linearitě metody pro malé kapacity byly použity struktury 0 až 3, které jsou tvořeny různým počtem stejných prvků – MIMC kondenzátorů o velikosti  $25 \times 25 \mu\text{m}$ . Počty jednotek jsou 1, 4, 10 a 20 jak je uvedeno v tab. 2. Pokud se hodnoty jednotlivých měření vynesou do grafu, jako na obr. 16, a proloží se přímkou, je pak možné porovnat naměřené hodnoty s hodnotami  $C_{\text{nom}}$ , které zjistíme jako hodnoty na přímce proložené naměřenými body podle rovnice přímky

$$C_{\text{nom}} = k \cdot N + q, \quad (7)$$

kde  $k$  je směrnice a  $q$  offset přímky.  $N$  je počet jednotek.



Obr. 16. Proložení naměřených hodnot kapacit MIMC kondenzátorů lineární funkcí

Přímo z grafu na předešlém obrázku nelze určit přesné hodnoty, graf v tabulkovém procesoru pouze slouží k zjištění konstant přímky  $k$  a  $q$ . Přesné hodnoty vypočítané z rovnice přímky jsou uvedeny v následující tab. 3.

Tab. 3. Hodnoty kapacit pro různý počet jednotek kondenzátorů

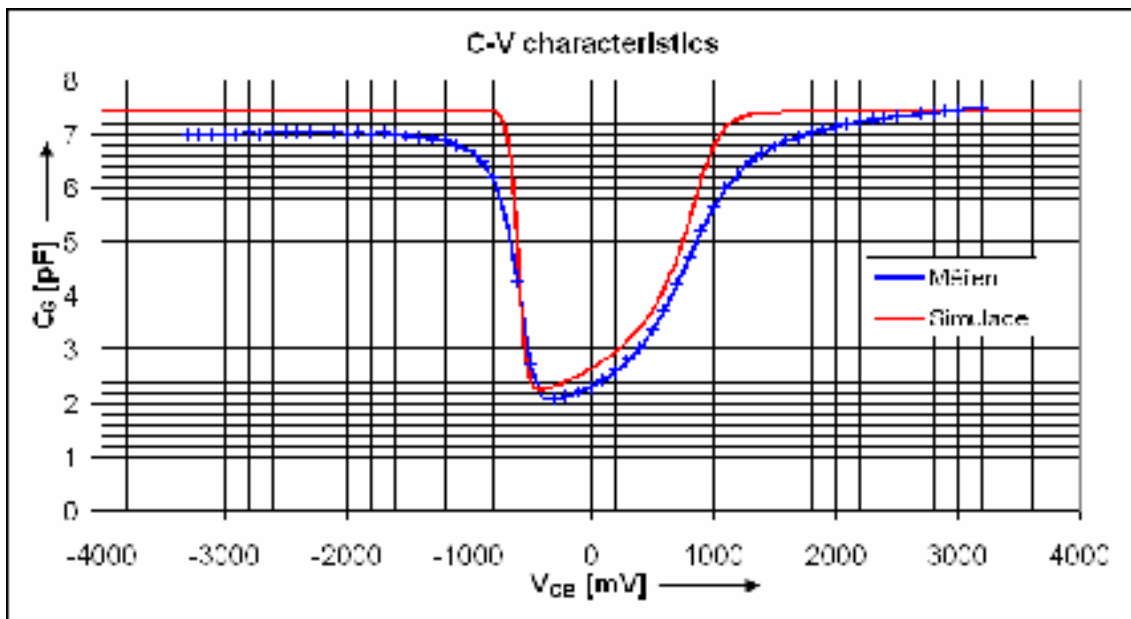
Počet jednotek [-]	1	4	10	20
$C_{nom}$ [pF]	0,9857	3,9230	9,7976	19,5886
$C_{meas}$ [pF]	0,9840	3,9237	9,7999	19,5878
Chyba [%]	-0,17	<0.1	<0.1	<0.1

Ze zjištěných hodnot vyplývá, že linearita je lepší než 0,2 % což je vynikající výsledek.

### 4.3 MĚŘENÍ INTEGROVANÝCH NELINEÁRNÍCH KONDENZÁTORŮ

Po měření lineárních MIMC kondenzátorů integrovaných na čipu a externích kondenzátorů, bylo provedeno měření nelineárních charakteristik hradlové kapacity tranzistoru MOS nejprve bez předpětí a posléze jednotlivé charakteristiky pro různá předpětí. Je zde měřena celková kapacita hradla daná jako součet kapacity  $C_{GB}$  a jednotlivých kapacit  $C_{GD}$  a  $C_{GS}$ .

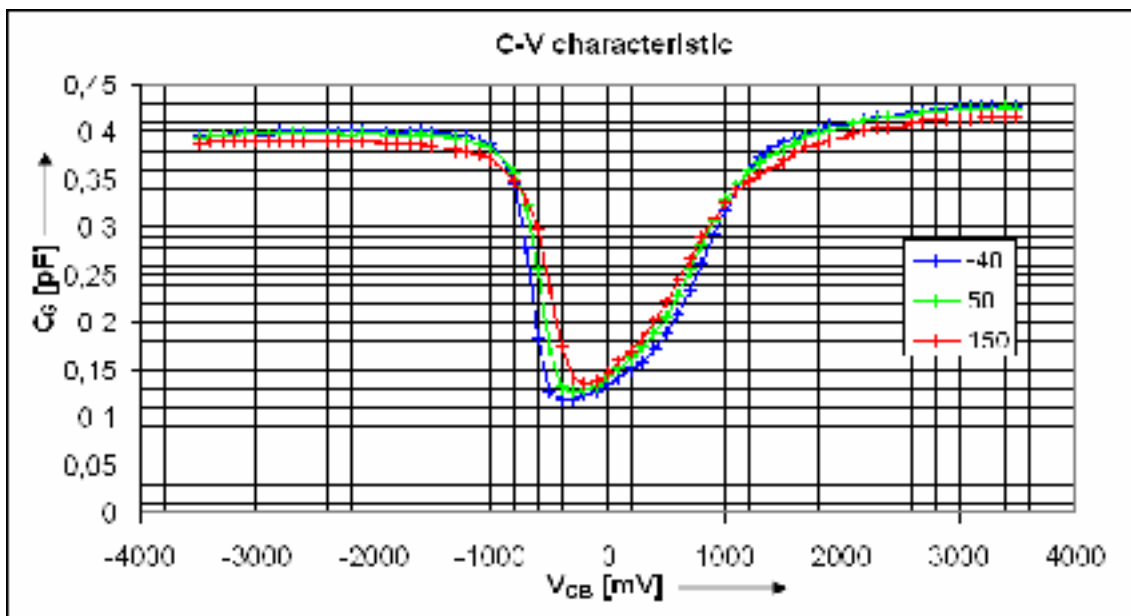
Pro ověření měřicího procesu nelineárních kondenzátorů bylo realizováno porovnání změřeného průběhu s výsledky simulace pomocí modelu MOS tranzistoru BSIM 3.3. Výsledek porovnání je zobrazen na obr. 17.



Obr. 17. Porovnání změřeného průběhu s modelem pro PMOS 40×40 μm

Z grafu charakteristik je vidět, že se model chová v oblasti akumulace a inverze příliš ideálně a skutečná závislost v těchto oblastech není tak lineární jak ukazuje model. Mírnou odchylku lze zaznamenat i v depletiční oblasti, ale hodnota prahového napětí indikovaná prudkou změnou hradlové kapacity je v poměrně dobré shodě modelu a měření.

Při měření bylo též používáno klimatizační jednotky pro měření při různých teplotách. Výsledky měření na třech teplotách v podobě naměřených charakteristik jsou zobrazeny na následujícím obr. 18. Na grafech je dobře patrná změna velikosti prahového napětí, naopak změna kapacity v akumulaci a inverzní oblasti je méně výrazná, zvláště pro nižší teploty.



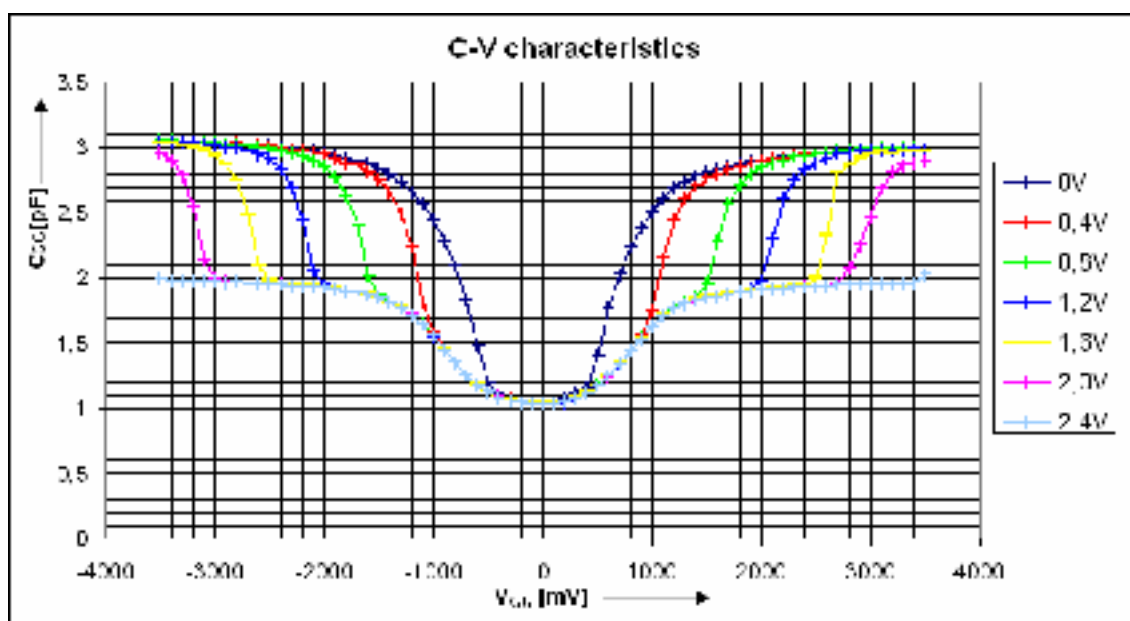
Obr. 18. Změřené průběhy kapacity hradla tranzistoru PMOS 10×10 μm pro různé teploty



## 4.4 MĚŘENÍ KOMPENZAČNÍCH ZAPOJENÍ

Měření kompenzačních zapojení nelineárních kondenzátorů bylo jedním z hlavních důvodů, kromě ověření nové metody měření, pro realizaci testovacího čipu. Účelem bylo nalezení a ověření použitelného způsobu kompenzace a velikosti potřebného předpětí pro účely linearizace nelineární charakteristiky hradlové kapacity tranzistoru MOS použitelné pro sigma-delta převodníky.

Pro paralelní kompenzaci je použito zapojení tvořené dvojicí anti-paralelních tranzistorů MOS. Průběhy kapacity paralelního zapojení dvou tranzistorů PMOS 20/20  $\mu\text{m}$  jsou na obr. 19.

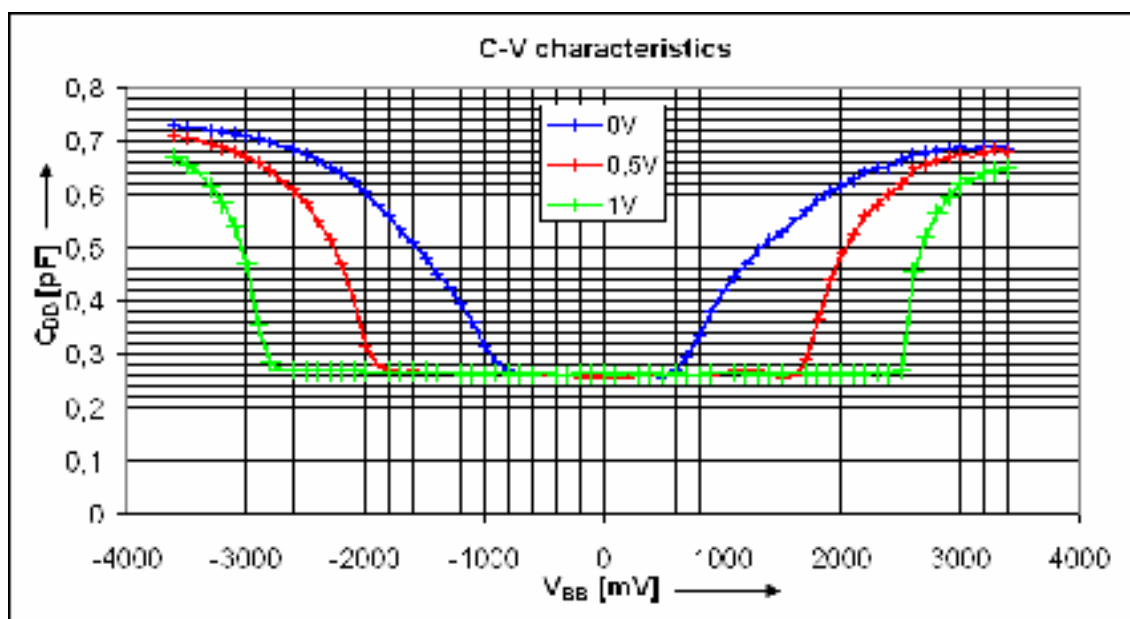


Obr. 19. Kapacitní charakteristiky paralelní kompenzace  $2 \times$  PMOS 20/20  $\mu\text{m}$ , parametr  $U_{DS-B}$

Měření bylo prováděno pro různé velikosti předpětí mezi spojenými vývody D a S proti B. Z naměřených průběhů je vidět, že pro předpětí větší jak 0,8 V vznikne prohlubeň s tvarem, který se dále se zvyšujícím předpětím nemění. V žádném případě však nelze hovořit o lineární závislosti na přiloženém napětí. Jediným kladným zjištěním je, že se jedná o symetrickou charakteristiku. Z hlediska linearizace charakteristiky však není měřená struktura příliš vhodná.

Další měření bylo prováděno na anti-sériové kombinaci. Kapacitní charakteristiky dvou anti-sériově zapojených tranzistorů PMOS 20/20  $\mu\text{m}$  s různým předpětím mezi spojenými vývody S, D a B jsou na obr. 20. Tato měřená konfigurace vykazuje dobrou linearitu v pásmu kolem přiloženého napětí velikosti 0 V. Rozsah lineární oblasti je dán předpětím a pro 1 V dosahuje cca  $\pm 2,5$  V. Střední hodnota kapacity je 264 fF a měrná kapacita je  $0,66 \text{ fF}/\mu\text{m}^2$ . Hodnoty kapacity se pohybují v tolerančním pásmu širokém 4 %. Linearita je však vykoupena nižší hodnotou kapacity v lineární oblasti, způsobené anti-sériovým zapojením. Přesto je tato

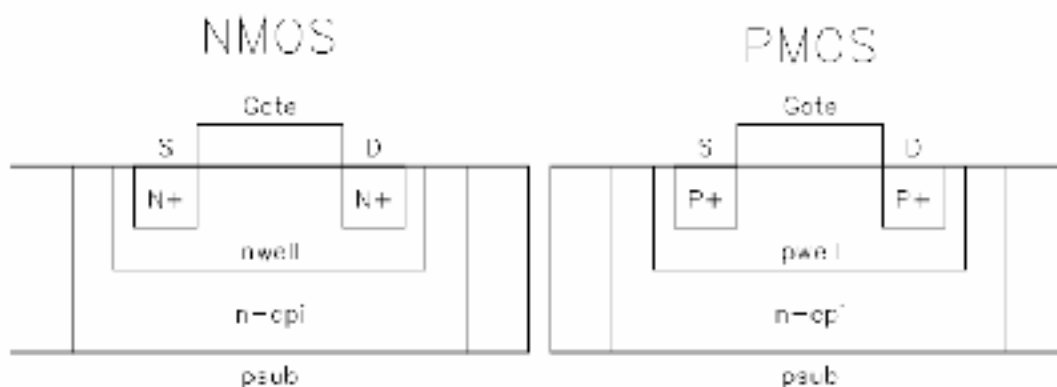
struktura vhodná jako náhrada lineárních kondenzátorů nejen pro sigma-delta převodníky.



Obr. 20. Kapacitní charakteristiky sériové kompenzace  $2 \times$  PMOS 20/20  $\mu\text{m}$ , parametr  $U_{DS-B}$

#### 4.5 MĚŘENÍ EXPERIMENTÁLNÍCH STRUKTUR

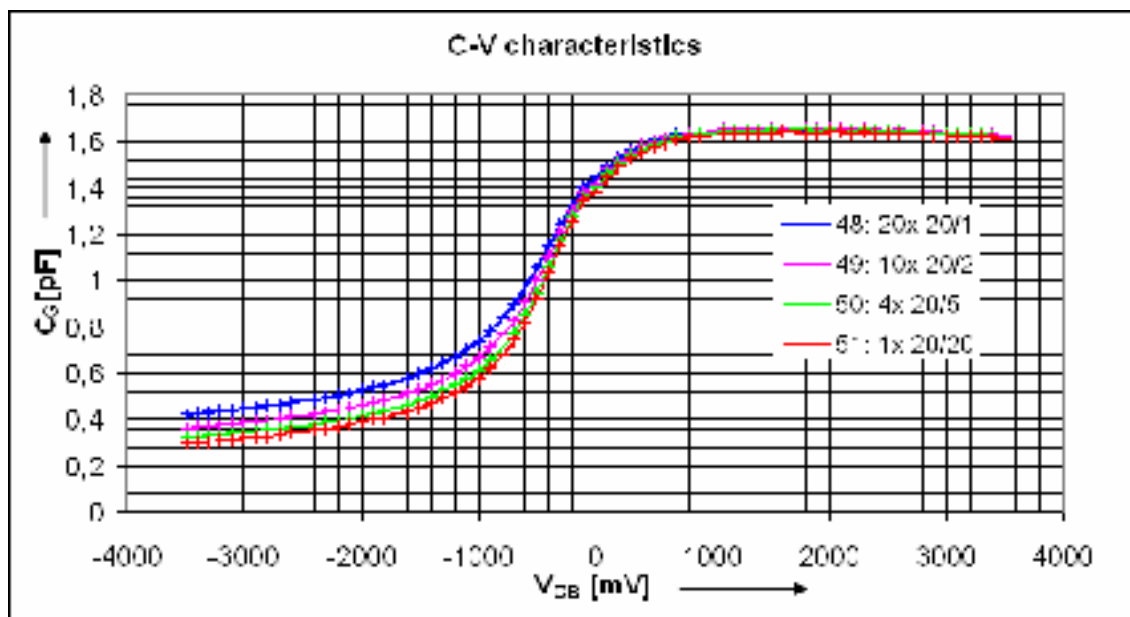
Toto měření mělo za cíl provést charakterizaci MOS struktur vytvořené v jámě opačného typu vodivosti než je potřebné pro běžnou funkci tranzistoru MOS. Ostatní difúze zůstaly nezměněny a struktura má pracovat v akumulacním režimu. Problematikou těchto struktur se zabývají autoři v literaturách [17], [18] a [19]. Vývod B není použit a jeho funkci zastupují vývody D a S. Situace je znázorněna na následujícím obr. 21.



Obr. 21. Uspořádání experimentálních struktur

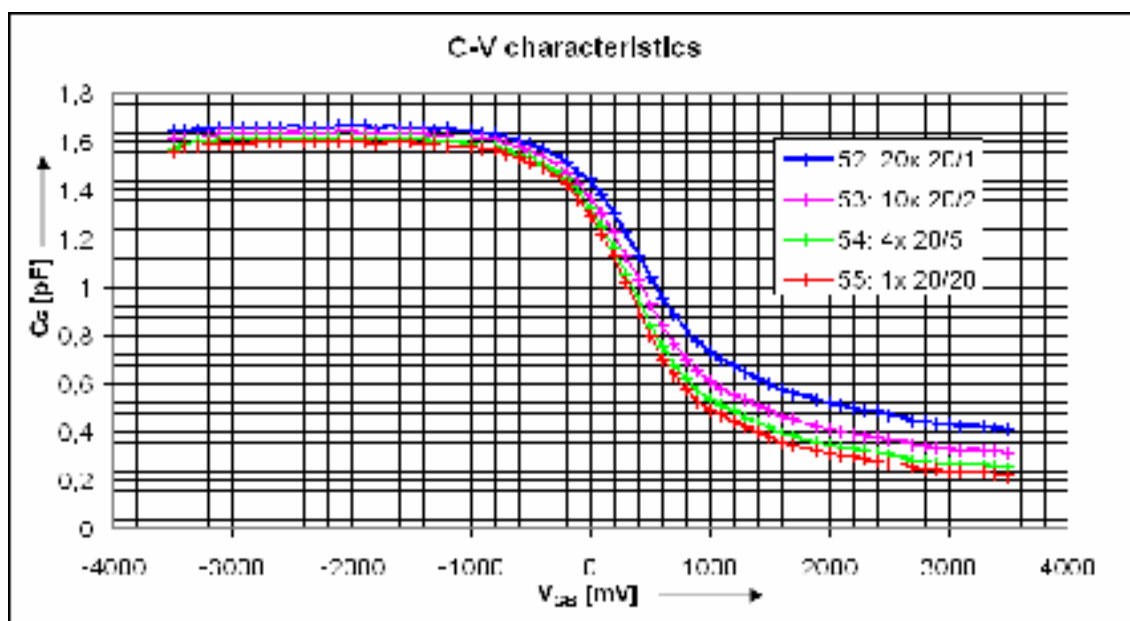
Protože vývody D a S mají stejný typ vodivosti jako jáma, zastávají tak funkci stejnou jako vývod B standardního MOS tranzistoru. Struktury jsou určeny pro práci v akumulacním režimu, kde mají velkou hodnotu kapacity danou hodnotou  $C_{OX}$  a minimální závislost kapacity na napětí. Mají tak potenciál najít uplatnění při návrhu

integrovaných obvodů, avšak zatím se nepoužívají. Měření bylo prováděno na strukturách s jámou typu N i typu P. Graf závislosti kapacity na napětí pro typ jámy N je zobrazen na obr. 22, pro typ jámy P na obr. 23.



Obr. 22. Závislost kapacity struktury hradlo-N jáma na přiloženém napětí

V akumulční oblasti je pro přiložené napětí větší než cca 1 V charakteristika téměř nezávislá na napětí a i pro nulové předpětí je hodnota kapacity kolem 90 % z maximální hodnoty. Tyto hodnoty jsou dobrým výsledkem a proti kondenzátorům založených na standardních MOS tranzistorech mají lepší parametry. Nevýhodou je, že zatím nejsou zakomponovány v návrhových systémech a nejsou kvalifikovány pro použití v hromadné výrobě.



Obr. 23. Závislost kapacity struktury hradlo-P jáma na přiloženém napětí

## 5 ZÁVĚR

Předložená práce shrnuje výsledky výzkumu v oblasti mikroelektroniky zabývající se zejména nelineárními kondenzátory používanými pro integrované obvody a metodami charakterizace integrovaných kondenzátorů. Jedním z nejvýznamnějších výsledků této práce je vývoj nové měřicí metody pro charakterizaci těchto nelineárních prvků, včetně experimentální části zahrnující praktické vyzkoušení a ověření měřicího postupu. Tato část práce mohla být realizována díky podpoře od společnosti AMI Semiconductor (nyní ON Semiconductor) v podobě výroby testovacího čipu. Jeho popis a parametry jsou také součástí této práce a tvoří její významnou část. Jeho realizace umožnila ověřit teoretické a simulační předpoklady na reálném integrovaném obvodu a stala se tak velmi přínosnou pro poznání v dané oblasti. Aby bylo možné využít všech přínosů testovacího čipu, bylo nutné navrhnout a sestavit měřicí pracoviště pro provedení experiment. Jeho součástí, kromě měřicích přístrojů a ovládacího počítače typu PC, je autorem navržená měřicí deska, jenž v sobě integruje výkonné měřicí rozhraní. V podstatě simuluje použití mnohem nákladnějšího testovacího zařízení a tak umožňuje provést experiment s velmi nízkými provozními náklady v porovnání s profesionálním testerem. Navíc při použití měřicí desky a navržené metody jsou velice redukovány nároky na měřicí přístroje, což je jeden z faktorů umožňující realizovaný experiment.

Hlavním přínosem nové metody měření je možnost měřit velice malé hodnoty nelineárních kapacit. To umožňuje použít charakterizované součástky v jejich používaném rozsahu a není tedy třeba transformovat jejich hodnoty a přizpůsobovat je měřicím přístrojům [8]. Tím nedochází k parazitním efektům jako při jiných typech měření a též není potřeba integrovat referenční kondenzátor jako je tomu u jiných metod [6], [7].

Nová metoda byla navržena při snaze nalézt vhodnou metodu pro charakterizaci integrovaných nelineárních kondenzátorů. Velkou inspirací pro navržení nové metody se staly publikace popisující „klasickou“ metodu CBCM [1], [2]. Její jednoduchost a rozlišení, avšak nemožnost realizace měření celé nelineární charakteristiky, byly velkou výzvou pro bádání v této oblasti. První publikace [23] popisující princip nové metody byla zveřejněna na mezinárodní konferenci ICSES'04. V době jeho zveřejnění byla metoda podpořena simulacemi a výpočty. Následovaly další publikace [24], [25] rozvíjející popis metody a připravovaný testovací čip [26], který bylo potřeba nejprve navrhnout, nakreslit schémata a fyzické uspořádání (*layout*). Následující krok byla faktická výroba integrovaného obvodu v malé sérii, kterou realizovala na své náklady firma AMI Semiconductor. Zároveň bylo potřeba navrhnout měřicí desku, jak schéma, tak motiv plošného spoje a nechat vyrobit ve firmě provozující zhotovování desek plošných spojů. Tím však nebylo vývojové práci konec. Zbývalo napsat firmware pro procesor měřicí desky a

ovládací a měřicí software pro obslužný počítač typu PC. Tyto činnosti pokračovaly i po dodávce integrovaných obvodů z důvodů odladění software. Teprve po té mohlo být zahájeno vlastní měření a charakterizace integrovaných struktur. Výsledky měření a poznatky z praktického použití metody byly publikovány na konferencích [27], [28], [29], [30]. Nejrozsáhlejší příspěvek byl uveřejněn v časopise Radioengineering [31]. Měření mělo nejprve ověřit metodu jako takovou. Po jejím úspěšném ověření mohlo být přistoupeno k vlastnímu měření integrovaných struktur. Nejprve byly charakterizovány samotné kondenzátory tvořené kapacitou hradla MOS tranzistoru, pak byly charakterizovány kompenzační zapojení pro linearizaci závislosti kapacity na napětí. Jako poslední byly charakterizovány experimentální struktury, které mohou být v budoucnu využity jako náhrada MIMC kondenzátorů při snaze zlevnit výrobu polovodičových integrovaných obvodů.

## LITERATURA

- [1] CHEN, J., MCGAUGHY, W., SYLVESTER, D., HU, C. An on-chip attofarad interconnect charge-based capacitance measurement (CBCM) technique. In *Proceedings of the IEDM'96*. 1996, p. 69 – 72.
- [2] SYLVESTER, D., HU, CH. Analytical Modeling and Characterization of Deep-Submicrometer Interconnect. In *Proceedings of the IEEE*. 2001, vol. 89, no.5, p. 634 – 664.
- [3] CHEN, J., SYLVESTER, D., HU, C. An On-Chip, Interconnect Capacitance Characterization Method with Sub-Femto-Farad Resolution. *IEEE Trans. on Semiconductor Manufacturing*. 1998, vol. 11, no. 2, p. 204-210.
- [4] VENDRAME, L., BORTESI, L., BOGLIOLO, A. Accuracy Assessment and Improvement of On-Chip Charge-Based Capacitance Measurements. In *Proceedings of the 7th IEEE SPI Workshop*. Siena (Italy), 2003.
- [5] KORTEKAAS, C. On-chip Quasi-static Floating-gate Capacitance Measurement Method. In *Proceedings of the IEEE International Conference on Microelectronic Test Structures*. San Diego (USA), 1990, vol. 3, p. 109 – 113.
- [6] LORIVAL, R., NOUET, P. A Test Chip for MOS Transistor Capacitance Characterization. In *Proceedings of the IEEE Int. Conference on Microelectronic Test Structure*. Nara (Japan), 1995, vol. 8, p. 139 – 144.
- [7] SONG, H., DONS, E., SUN, X.Q., FARMER, K.R. Leakage Compensated Charge Method for Determining Static C-V Characteristics of Ultra-thin MOS Capacitors. In *Proc. of the NIST Int. Conference on Characterization and Metrology for ULSI Technology*. Gaithersburg (USA), 1998, p. 231 – 234.
- [8] OHKAWA, S., AOKI, M., MASUDA, H. Analysis and characterization of device variations in an LSI chip using an integrated device matrix array. *IEEE Transactions on Semiconductor Manufacturing*. 2004, vol. 17, no. 2, p. 155 – 165.
- [9] FROMENT, B., PAILLARDET, F., BELY, M., CLUZEL, J., GRANGER, E., HAOND, M., DUGOUJON, L. Ultra Low capacitance measurements in multilevel metallization CMOS by using a built-in Electron-meter. In *Proceedings of International Electron Devices Meeting 1999*. IEEE IEDM Technical Digest. 1999, p. 897 – 900.
- [10] NING, Z., DELECOURT, H-X., SCHEPPER, L., GILLON, R., TACK, M. Precise Analogue Characterization of MIM Capacitors Using an Improved Charge-Based Capacitance Measurement (CBCM) Technique. In *Proceedings of 35th European Solid-State Device Research Conference 2005*. ESSDERC 2005, Grenoble, France, 2005, p. 269 – 272.
- [11] KHALKHAL, A., NOUET, P. On-Chip Measurement of Interconnect Capacitances in a CMOS Process. In *Proceedings of IEEE 1995 International Conference on Microelectronic Test Structures*. March 1995, vol. 8, p. 145 – 149.
- [12] SELL, B., AVELLÁN, A., KRAUTSCHNEIDER, W., H. Charge-Based Capacitance Measurements (CBCM) on MOS Devices. *IEEE Transaction on Device and Material Reliability*. March 2002, vol. 2, no. 1, p. 9 – 12.
- [13] YOSHIKAWA, H., HUANG, Y., FERGUSON, P., F., TEMES, G., C. MOSFET-Only Switched-Capacitor Circuits in Digital CMOS Technology. *IEEE Journal of Solid-State Circuits*. June 1999, vol. 34, no. 6, p. 734 – 747.
- [14] TILLE, T., SAUERBREY, J., SCHMITT-LANDSIEDEL, D. A 1.8-V MOSFET-Only  $\Sigma\Delta$  Modulator Using Substrate Biased Depletion-Mode MOS Capacitors in Series Compensation. *IEEE Journal of Solid-State Circuits*. July 2001, vol. 36, no. 7, p. 1041 – 1046.
- [15] SAUERBREY, J., TILLE, T., SCHMITT-LANDSIEDEL, D., THEWES, R. A 0.7-V MOSFET-Only Switched-Opamp  $\Sigma\Delta$  Modulator in Standard Digital CMOS Technology. *IEEE Journal of Solid-State Circuits*. July 2001, vol. 37, no. 12, p. 1662 – 1669.
- [16] TILLE, T., SAUERBREY, J., MAUTHE, M., SCHMITT-LANDSIEDEL, D. Design of Low-Voltage MOSFET-Only  $\Sigma\Delta$  Modulators in Standard Digital CMOS Technology. *IEEE Transactions on Circuits and Systems-I*. January 2004, vol. 51, no. 1, p. 96 – 109.
- [17] PAVAN, S., TSIVIDIS, Y., NAGARAJ, K. Modeling of Accumulation MOS Capacitors for Analog Design in Digital VLSI Processes. In *Proceedings of the 1999 IEEE International Symposium on Circuits and Systems 1999*. ISCAS '99. Jul 1999, vol. 6, p. 202 – 205.

- [18] OTÍN, A., CELMA, S., Aldea, C. Modeling of Accumulation MOS Capacitors for High Performance Analog Circuits. In *Proceedings of the 2003 International Symposium on Circuits and Systems 2003*. ISCAS '03. May 2003, vol. 1, p. 5 – 8.
- [19] OTÍN, A., CELMA, S., Aldea, C., LOZANO, M. Modeling of Accumulation MOS Capacitors for Possible Layout Styles. In *Proceedings of the XVII Design of Circuits and Integrated Systems Conference.*, Nov 2002, Santander, Spain, p. 319 – 324.
- [20] PELGROM, M., J., M., DUINMAIJER, A., C., J., WELBERS, A., P., G. Matching Properties of MOS Transistors. *IEEE Journal of Solid-State Circuits*. Oct. 1989, vol. 24, no. 5, p. 1433 – 1440.
- [21] LOVETT, S., J., WELTEN, M., MATHEWSON, A., MASON, B. Optimizing MOS Transistor Mismatch. *IEEE Journal of Solid-State Circuits*. January 1998, vol. 33, no. 1, p. 147 – 150.
- [22] ZHANG, Q., LIU, J., J., McMACKEN, J., R., THOMSON, J., LAYMAN, P. SPICE Modeling and Quick Estimation of MOSFET Mismatch Based on BSIM3 Model and Parametric Tests. *IEEE Journal of Solid-State Circuits*. October 2001, vol. 36, no. 10, p. 1592 – 1595.
- [23] SUTORÝ, T., KOLKA, Z. Application of CBCM Method to Nonlinear Capacitor Characterization. In *Proceedings of the International Conference on Signals and Electronic Systems*. International Conference on Signals and Electronic Systems ICSES'04. Poznan (Poland): Poznan University of Technology, PTETiS, 2004, p. 119 - 121, ISBN 83-906074-7-6.
- [24] SUTORÝ, T., KOLKA, Z. On-chip nonlinear capacitor characterization In *Proceedings of the fourteenth International Electrotechnical and Computer Science Conference ERK 2005*. 14th International Electrotechnical and Computer Science Conference ERK 2005. Portorož (Slovenia), 2005, p. 107 - 110.
- [25] SUTORÝ, T. Methods for Integrated Capacitors Characterization. In *Proceedings of the 15th International Czech - Slovak Scientific Conference RADIOELEKTRONIKA 2005*. RADIOELEKTRONIKA 2005. Brno: The Institute of Radio Electronics, Brno University of Technology, Czech Republic, 2005, p. 452 - 455, ISBN 80-214-2904-6.
- [26] SUTORÝ, T., KOLKA, Z. Test-chip for non-linear capacitors characterization. In *EDS '05 IMAPS CS International Conference Proceedings. Electronic Devices and Systems IMAPS CS International Conference 2005*, EDS '05 IMAPS CS International Conference 2005, Brno, 2005, p. 396 - 401, ISBN 80-214-2990-9.
- [27] SUTORÝ, T., KOLKA, Z. C-V Characterization of Nonlinear Capacitors Using CBCM Method. In *Proceedings of the 14th International Conference Mixed Design of Integrated Circuits and Systems 2007*. 14th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES 2007). Lodž, Poland: Technical University of Lodz, 2007, p. 501 - 505, ISBN 83-922632-9-4.
- [28] KOLKA, Z., SUTORÝ, T., BIOLKOVÁ, V. Modification of the CBCM Method. In *Proceedings of the 11th International Conference on CIRCUITS CSCC07*. The 11th WSEAS International Conference on CIRCUITS. Crete, Greece: World Scientific and Engineering Academy and Society, 2007, p. 88 - 91, ISBN 978-960-8457-89-8.
- [29] SUTORÝ, T., KOLKA, Z., BIOLEK, D., BIOLKOVÁ, V. Nonlinear On-chip Capacitor Characterization. In *Proceedings of the 18th European Conference on Circuit Theory and Design ECCTD'07*. 2007 European Conference on Circuit Theory and Design (ECCTD 2007). Sevilla, Spain: IEEE, 2007, p. 220 - 223, ISBN 1-4244-1342-7.
- [30] SUTORÝ, T., KOLKA, Z. Characterization of Nonlinear On-Chip Capacitors. In *Proceedings of the 17th International Conference Radioelektronika 2007*. 17th International Conference Radioelektronika 2007. Brno: Brno University of Technology, 2007, p. 51 - 55, ISBN 1-4244-0821-0.
- [31] SUTORÝ, T., KOLKA, Z. Characterization of Nonlinear Integrated Capacitors. In *Proc. of Czech and Slovak Technical Universities and URSI Committees, Radioengineering*, 2008, vol. 17, No 4, p. 9 - 14, December 2008. ISSN 1210-2512.

## CURRICULUM VITAE

Name: Tomáš SUTORÝ

Born: October 24<sup>th</sup> 1976 in Hustopeče

Contact: [xsutor00@stud.feec.vutbr.cz](mailto:xsutor00@stud.feec.vutbr.cz)

[tomas.sutory@onsemi.com](mailto:tomas.sutory@onsemi.com)

### Education

1998 – 2003 **Technical University of Brno / Department of Radio Electronics**  
Pre-graduate study of Electronics  
State exam passed in June 2003  
Diploma thesis Control unit for eddy-current dynamometer defended  
in June 2003

2003 – 2009 **Technical University of Brno / Department of Radio Electronics**  
Ph.D. study of Electronics  
State exam passed in June 2005

### Experience

2003-present **ON Design Czech s.r.o. (AMIS)**  
Analog design engineer, project leader

### Experience other

2003 SIEMENS Award for Diploma thesis

### Languages

English, Czech

### Other activities

Discrete analog & microcontroller design, firmware and software  
development, PCB layout



## **ABSTRAKT**

V předkládané disertační práci se autor zabývá využitím nových způsobů charakterizace hradlových kapacit použitelných pro realizaci sigma-delta modulátorů, jež jsou nedílnou součástí sigma-delta analogově digitálních převodníků. Navržená nová metoda charakterizace se vyznačuje vysokým rozlišením a nenáročností na vybavení měřicího pracoviště. Umožňuje rovněž charakterizaci v rozsahu kapacit používaných v sigma-delta modulátorech. Práce obsahuje jak popis vlastní metody, tak rozbor přesnosti měření a rovněž výsledky experimentů.

## **ABSTRACT**

This thesis deals with the utilization of new principles of characterization of gate capacitances for sigma-delta modulators. Sigma-delta modulators are the integral part of sigma-delta analog-to-digital converters. The proposed new method is characterized by high resolution and modest requirements for laboratory equipment. It allows characterizing capacitances whose values are within the range which is used in sigma-delta modulators. The thesis contains description of the new method, the analysis of measurement accuracy and experimental results.