

VĚDECKÉ SPISY VYSOKÉHO UČENÍ TECHNICKÉHO V BRNĚ

*Edice PhD Thesis, sv. 354*

*ISSN 1213-4198*

*thesis* IS

*Ing. Jiří Háze*

**Nová metoda kompenzace chyb  
vznikajících technikou  
spínaných kapacitorů  
v převodnicích AD**

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ  
Fakulta elektrotechniky a komunikačních technologií  
Ústav mikroelektroniky

**Ing. Jiří HÁZE**

**NOVÁ METODA KOMPENZACE CHYB VZNIKAJÍCÍCH  
TECHNIKOU SPÍNANÝCH KAPACITORŮ  
V PŘEVODNÍCÍCH AD**

**NOVEL COMPENSATION TECHNIQUE OF ERROR SOURCES  
CAUSED BY UTILISATION OF SWITCHED CAPACITORS  
IN AD CONVERTERS**

ZKRÁCENÁ VERZE PH.D. THESIS

Obor: Mikroelektronika a technologie  
Školitel: Prof. Ing. Radimír VRBA, CSc.  
Oponenti: Prof. Ing. Linus MICHAELI, DrSc.  
Prof. Ing. Miroslav HUSÁK, CSc.

Datum obhajoby: 30. 11. 2005

## **KLÍČOVÁ SLOVA**

Technika spínaných kapacitorů (SC), řetězový převodník AD (ADC), potlačení a kompenzace chyb vznikajících v obvodech s SC, nová metoda postkalibrace.

## **KEY WORDS**

Switched-capacitor (SC) technique, pipelined analog-to-digital converter (ADC), suppression and compensation of the errors in SC circuits, a novel background calibration method.

**Místo uložení rukopisu:** Vědecké oddělení děkanátu FEKT VUT v Brně  
Údolní 53, Brno, 602 00

# OBSAH

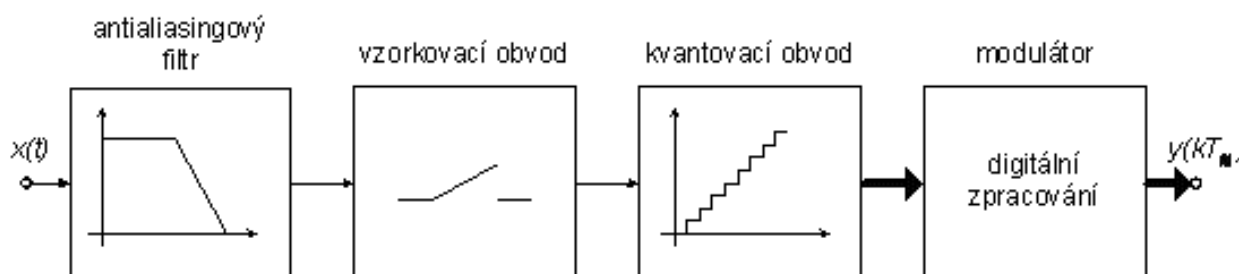
|  |    |
|--|----|
| 1 ÚVOD.....  | 5  |
| 2 PRINCIP ŘETĚZOVÉHO ADC V TECHNICE SC .....   | 7  |
| 3 CÍLE DISERTAČNÍ PRÁCE .....  | 9  |
| 4 NOVÁ POSTKALIBRAČNÍ METODA KOMPENZACE CHYB SPOJENÝCH<br>S METODOU SC V ŘETĚZOVÉM ADC ..... | 10 |
| 4.1 Definice zdrojů chyb a neidealit .....   | 10 |
| 4.2 Interpretace zdrojů chyb v MDAC a jejich matematický popis.....                          | 11 |
| 4.3 Kalibrace v 1-bitovém MDAC.....  | 13 |
| 4.4 Navržená kalibrace pro 1,5-bitovou architekturu MDAC .....                               | 15 |
| 4.4.1 Změření $h_{VZ}$ a vykonání kalibrace.....   | 15 |
| 4.4.2 Ověření funkčnosti prezentované postkalibrační metody .....                            | 17 |
| 5 NAVRŽENÝ ŘETĚZOVÝ PŘEVODNÍK AD .....   | 20 |
| 5.1 Základní funkce a blokové schéma navrženého řetězového převodníku AD.....                | 20 |
| 5.2 Simulace samotného řetězového převodníku.....  | 21 |
| 6 ZÁVĚR.....   | 22 |



# 1 ÚVOD

Při zpracování analogového signálu je jednou z důležitých funkcí převod tohoto signálu z analogové podoby do číslicové a naopak. Proto jsou analogově-číslcové převodníky resp. číslicově-analogové převodníky (ADC – Analog-to-Digital Converter), (DAC – Digital-to-Analog Converter) velmi důležitými prvky jakéhokoli systému zpracovávajícího signál.

Obě skupiny převodníků mohou typicky obsahovat komparátory, číslicové obvody, spínače, integrátory, vzorkovací obvody a/nebo pasivní součástky. Nezbytnou a důležitou součástí je i přesný zdroj referenčního napětí. V mnoha případech pak také platí, že DAC je jednou z částí ADC. Na obr. 1 je uvedeno jednoduché blokové schéma ADC. Některé bloky budou v souvislosti s technikou spínaných kapacitorů (SC – Switched-Capacitor Technique) popsány podrobněji v dalších částech disertační práce.

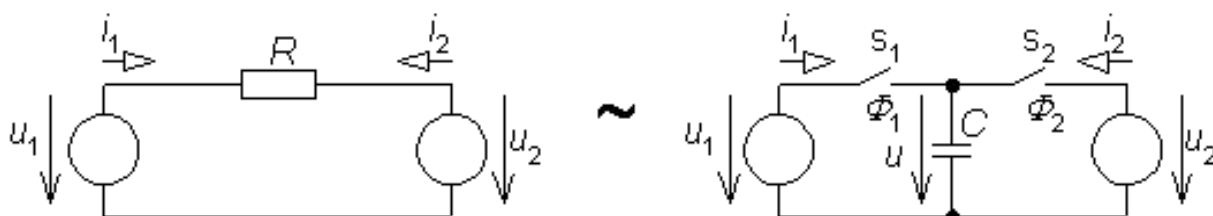


**Obr. 1:** *Blokové schéma ADC*

První integrované obvody využívající techniku SC se začínají objevovat na počátku 70. let minulého století. První aplikace, které tuto techniku využívaly byly kmitočtové filtry. S postupem času a rozvojem integrovaných obvodů (IO), se použití rozšiřovalo i na další oblasti, mezi které patří i analogově-číslcový převod.

Důvodů, proč se tato technika velmi brzy po svém uveřejnění [1], [2] stala tak dynamicky populární, je hned několik. Hlavním důvodem byla jednoznačně možnost nahrazení pasivního prvku – rezistoru, který na čipu zabírá velkou plochu, kapacitorem a spínačem MOS, které simulují funkci rezistoru. Tato funkce je zřejmá z obr. 2, v rov. (1) je uveden vztah mezi odporem  $R$  nahrazovaného rezistoru, kapacitou  $C$  kapacitoru a vzorkovací periodou  $T$ . Z této náhrady vyplynulo několik výhod

- na rozdíl od rezistoru, jehož výrobní chyba v IO je 5 až 20 %, je přesnost zpracování vstupního analogového signálu dána pouze přesností poměru kapacit,
- kapacitory je možné v technologii CMOS snadněji implementovat na čip,
- spínače CMOS mají v sepnutém stavu nízký odpor (řádu desítek ohmů),
- dobrá přesnost časových konstant,
- dobrá napěťová linearita,
- dobré teplotní charakteristiky.



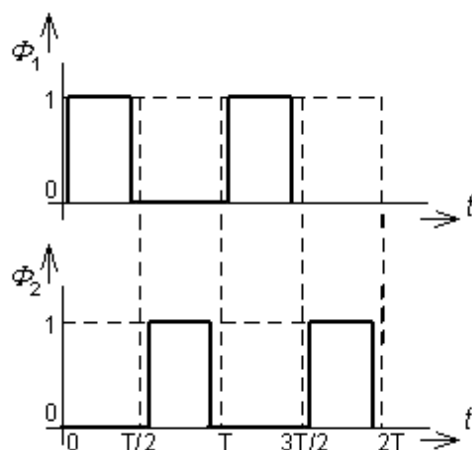
**Obr. 2:** Princip techniky spínaných kapacitorů

$$i = \frac{u}{R} \approx i_{ekv} = \frac{q}{T} = \frac{Cu}{T} = \frac{u}{R_{ekv}} \Rightarrow R_{ekv} = \frac{T}{C}, \quad (1)$$

kde  $R$ ,  $C$  a  $T$  bylo již zmíněno,  $q$  je náboj na kapacitoru,  $i_{ekv}$  je celkový proud tekoucí kapacitorem,  $u$  je celkové napětí na kapacitoru a  $\Phi_1$  a  $\Phi_2$  jsou jednotlivé fáze hodinového signálu, který řídí spínání spínačů  $S_1$  a  $S_2$ .

Mezi nevýhody techniky SC patří

- pronikání řídicího hodinového signálu přes spínače do signálové cesty – dochází ke znehodnocení zpracovávaného užitečného signálu,
- injekce náboje ze spínače – dochází ke znehodnocení zpracovávaného užitečného signálu,
- jednotlivé fáze řídicího hodinového signálu musí být realizovány jako nepřekrývající se, což klade vysoké nároky na přesnost generovaného řídicího hodinového signálu, viz obr. 3.
- chyby přizpůsobení použitých kapacitorů – negativně ovlivňují přesnost převodu,
- parazitní kapacity.



**Obr. 3:** Řídicí a nepřekrývající se hodinové signály

Při návrhu ADC je nutné brát zřetel i na reálné vlastnosti použitých operačních zesilovačů (OZ), protože základní a nejpoužívanější zapojení SC je vždy v kombinaci s OZ (integrátor, komparátor, invertující či neinvertující zapojení a další). Mezi tyto vlastnosti OZ patří

- konečná hodnota zesílení  $G$ ,

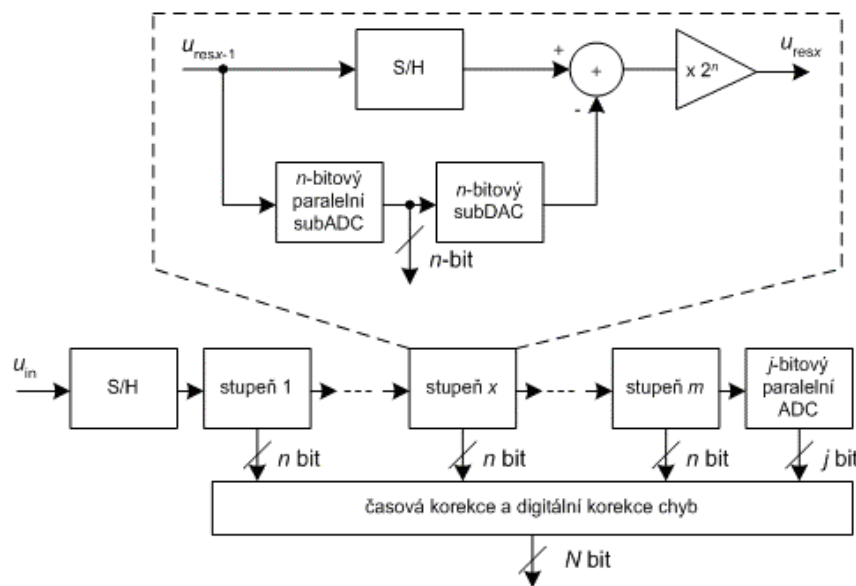
- konečná šířka pásma  $GBW$ ,
- konečná rychlost přeběhu  $SR$ ,
- nenulový výstupní odpor,
- nenulová vstupní nesymetrie,
- nenulová vstupní kapacita.

Všechny nevýhody a nedostatky spojené s technikou SC je možné odstranit nebo potlačit takovým způsobem, kdy již výrazně neovlivňují funkci obvodu. Techniky, které se v současnosti pro tento účel používají, jsou popsány v dalších kapitolách. Pro tuto disertační práci jsou však jádrem řešení zvoleného problému, neboť jsou výchozím bodem pro vývoj nové metody kompenzace zdrojů chyb a nepřesností.

Technika SC [3], [4] je tedy v ADC využívána všude, kde by za normálních okolností bylo třeba použít rezistorů. Tím by ale neúměrně narůstala plocha výsledného čipu, celková spotřeba a výrobní náklady.

## 2 PRINCIP ŘETĚZOVÉHO ADC V TECHNICE SC

Typický řetězový ADC [3], [4] se skládá z několika stejných bloků (stupňů), které jsou kaskádně propojeny za sebou. Na obr. 4 je uvedena struktura naznačena. Každý stupeň převodníku se skládá ze vstupního vzorkovacího obvodu, subADC a subDAC.



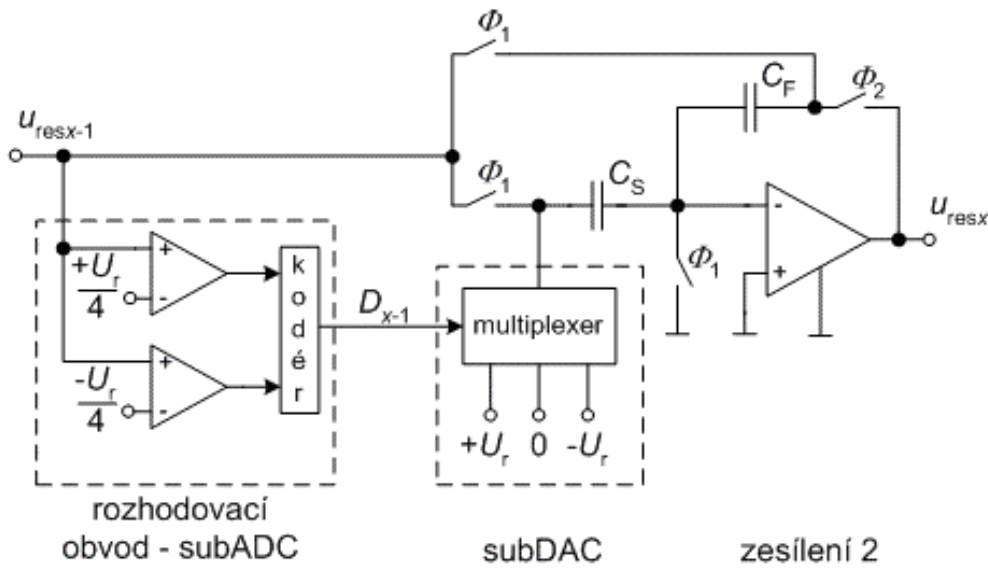
**Obr. 4:** *Blokové schéma řetězového ADC*

Princip funkce je pro všechny stupně stejný. Vstupní signál je kvantován, pomocí subADC převeden do binární podoby a jako částečný výstup je poslán do bloku korekce. Mezitím je však opět pomocí subDAC převeden zpět do analogové podoby a odečten od původního vstupního signálu. Výsledné residuum  $u_{res}$ , je pak ještě zesíleno a odesláno do dalšího stupně. První bloky tedy řeší nejvýznamnější bity



(MSB) převodu, naopak nejméně významné bity řeší poslední blok, kterým je většinou jen několikabitový paralelní převodník.

Funkci vzorkování, převodu DA, odečtení a zesílení je možné v technice SC realizovat pomocí tzv. násobícího převodníku MDAC (multiplying DAC), jak je zobrazeno na obr. 5. Uvedený MDAC má rozlišení 1,5 bitu, což je nejčastěji používané rozlišení, a to z několika důvodů. Při tomto rozlišení je dosaženo maximální šířky pásma a při zesílení 2 uzavřené smyčky je malá kapacitní zátěž a velký faktor zpětné vazby. Při tomto rozlišení nedochází ani k degradaci celkové linearity převodu a  $SNR$  v důsledku nesymetrie komparátoru. Navíc čím vyšší je rozlišení na stupeň, tím větší je i spotřeba obvodu.



**Obr. 5:** MDAC realizovaný technikou SC

Hodnota výstupního residua z MDAC je pak dána

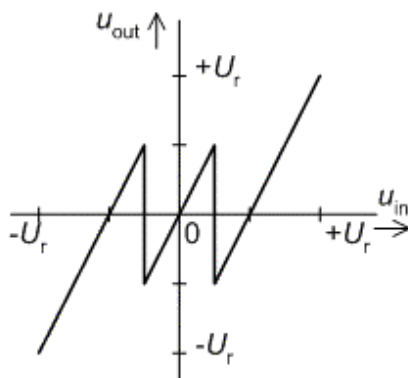
$$u_{resx} \begin{cases} \left(1 + \frac{C_S}{C_F}\right) u_{resx-1} - U_r & \text{pro } u_{resx-1} > \frac{U_r}{4} \\ \left(1 + \frac{C_S}{C_F}\right) u_{resx-1} & \text{pro } -\frac{U_r}{4} < u_{resx-1} < \frac{U_r}{4} \\ \left(1 + \frac{C_S}{C_F}\right) u_{resx-1} + U_r & \text{pro } u_{resx-1} < -\frac{U_r}{4} \end{cases} \quad (2)$$

K obr. 5 je třeba dodat, že napětí  $\pm U_r$  není referenční napětí a je vztahem

$$U_r = U_{ref+} - U_{CM} = U_{CM} - U_{ref-}, \quad (3)$$

kde  $U_{\text{ref}+}$ ,  $U_{\text{ref}-}$  je kladné resp. záporné referenční napětí a  $U_{\text{CM}}$  je hodnota souhlasného napětí.

Typická převodní charakteristika 1,5-bitového MDAC je uvedena na obr. 6. “Zubovitý” charakter je způsoben rozhodovacím obvodem – subADC a subDAC.



**Obr. 6:** Převodní charakteristika 1,5-bitového MDAC

Existuje množství modifikací MDAC, zejména s vyšším rozlišením. V porovnání s výše uvedeným však většinou trpí různými nedostatky. Mezi ně například patří snížení faktoru zpětné vazby, OZ potřebuje vyšší hodnotu vstupního klidového proudu (biasing), je nutné použít většího počtu komparátorů s vyšší přesností. Tyto nedostatky je pak nutné kompenzovat, čímž většinou narůstá složitost výsledného obvodu.

### 3 CÍLE DISERTAČNÍ PRÁCE

Cílem této disertační práce nalézt a vyvinout novou metodu korekce zdrojů chyb a nepřesností, které vznikají v obvodech využívajících techniku SC.

Metoda je zaměřena na kompenzaci či potlačení té skupiny zdrojů chyb a nedostatků, které jsou při použití techniky SC v současné době nejkritičtější a které byly diskutovány v teoretickém úvodu disertační práce. V konečném výsledku, však spolu s již ověřenými obvodovými technikami, komplexně řeší problémy, které v souvislosti s použitím techniky SC nastávají.

V tomto případě se tedy jedná o potlačení nebo kompenzaci vlivu reálných parametrů použitých OZ, korekci chyb spojených s použitím spínačů (injekce náboje a pronikání řídicího hodinového signálu do signálové cesty) a potlačení parazitních jevů. Metoda bude navržena i s ohledem na nízkou celkovou spotřebu a teplotní imunitu.

V první etapě návrhu je metoda navržena jako model s potřebným matematickým popisem, proběhne jeho simulace a analýza vzhledem k uvedeným požadavkům. Ve druhé fázi, po zhodnocení výsledků, je proveden návrh z hlediska topologie s tím, že metoda je implementována jako součást nového řetězového ADC.

Vzhledem ke zhodnocení v teoretické části tezí, byl jako nejvhodnější topologie pro otestování vybrán řetězový převodník. Pro návrh ADC, simulaci a analýzu jeho

funkčních bloků a pro návrh topologie je použito návrhového prostředí CADENCE, které používá technologii CMOS 07 (0,7  $\mu\text{m}$ ).

Díky této metodě je dosaženo lepších vlastností těch částí ADC, kde je použito techniky SC. Z toho plynou i lepší vlastnosti celého ADC.

## 4 NOVÁ POSTKALIBRAČNÍ METODA KOMPENZACE CHYB SPOJENÝCH S METODOU SC V ŘETĚZOVÉM ADC

Na úvod, aby byla kalibrační metoda a celý převodník, včetně důležitých bloků, správně navrženy, je nutné definovat základní požadavky na parametry převodníku, kterých je nutné dosáhnout. Na základě podrobného studia poznatků z posledních let byly sestaveny požadavky, které jsou uvedeny v tab. 1. Bylo také přihlédnuto k návrhové technologii, která je dostupná na ústavu mikroelektroniky, tj. AMIS CMOS 07.

**Tab. 1:** Shrnutí požadavků na základní parametry řetězového ADC

| parametr                   | požadovaná hodnota | akceptovatelná hodnota |
|----------------------------|--------------------|------------------------|
| napájecí napětí            | 3,3 V              | 5 V                    |
| rozlišení                  | 12 bitů            | 10 bitů                |
| vzorkovací kmitočet        | 50 MS/s            | 30 MS/s                |
| maximální celková spotřeba | $\leq 100$ mW      | $\leq 150$ mW          |
| vstupní nesymetrie         | $\leq 5$ mV        | $\leq 10$ mV           |
| <i>INL, DNL</i>            | $\leq 0,5$ LSB     | $\leq 1$ LSB           |
| <i>SNR, SFDR</i>           | $\geq 80$ dB       | $\geq 60$ dB           |

### 4.1 DEFINICE ZDROJŮ CHYB A NEIDEALIT

V této kapitole jsou definovány dvě skupiny zdrojů chyb a nedokonalostí spojených s technikou SC, které jsou korigovány nebo potlačeny buď s využitím obvodových technik nebo číslicově, vyzkoumanou postkalibrací. Do skupiny chyb, které jsou kompenzovány v analogové části převodníku patří

- pronikání řídicího hodinového signálu do signálové cesty,
- chyby nepřizpůsobení kapacitorů,
- konečná hodnota zesílení OZ,
- rychlost přeběhu OZ,
- šířka pásma OZ,
- parazitní kapacity OZ,
- šum.

Do druhé skupiny, která je korigována postkalibrací patří

- chyby nepřizpůsobení kapacitorů -  $e_{\text{match}}$ ,
- konečná hodnota zesílení OZ -  $e_{\text{gain}}$ ,

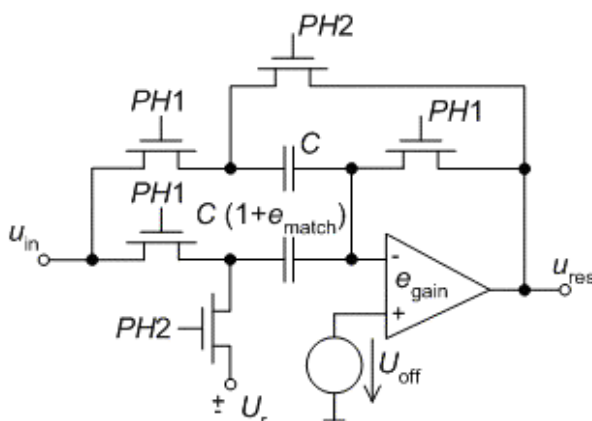
- vstupní nesymetrie OZ -  $e_{\text{off}}$ ,
- šum -  $e_{\text{noise}}$ .

Jak je vidět, některé položky se překrývají. Je to proto, že mají takový vliv na konečnou funkci obvodu, že jsou řešeny kombinací obou způsobů řešení.

## 4.2 INTERPRETACE ZDROJŮ CHYB V MDAC A JEJICH MATEMATICKÝ POPIS

Pro jednoduchou interpretaci zdrojů chyb v MDAC je předpokládána 1-bitová struktura. Převedení do plně diferenčního zapojení s rozlišením 1,5 bitu/stupeň je pak již analogické. Prezentovaná kalibrační technika je založena na principu definice zdrojů chyb v rámci MDAC. Tyto jsou následně vhodně prokombinovány, takže dojde k vytvoření jedné kalibrační konstanty ( $h_{\text{VZ}}$ ), která je jednoduchou iterací vypočtena. Určená hodnota je následně použita pro výpočet kalibrované a správné binární hodnoty výstupu.

Na obr. 7 je uveden 1-bitový MDAC, ve kterém jsou vyznačeny již zmíněné chyby. Funkce je stejná jako u 1,5-bitové architektury, pouze u DA převodu se připojuje jen kladná nebo záporná hodnota referenčního napětí a ne zem. Vstup je tedy navzorkován v průběhu fáze PH1 na oba kapacitory. Ve druhé fázi PH2 dojde k přepnutí jednoho kapacitoru do zpětné vazby a ke druhému se v závislosti na hodnotě  $D$  připojuje  $+U_r$  nebo  $-U_r$ .

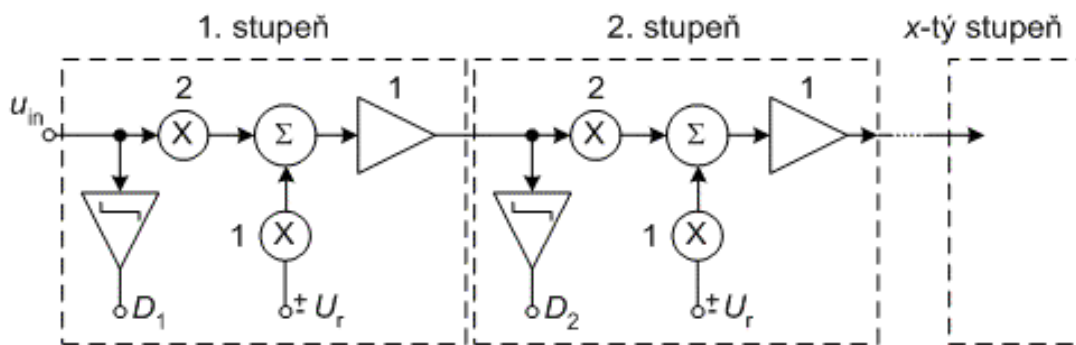


**Obr. 7:** Zavedení chybových zdrojů do základního MDAC

Nejprve je ale třeba zmínit ideální stav, kdy se v obvodu žádné zdroje chyb nevyskytují. Předpokladem tedy jsou naprosto identické kapacitory a ideální OZ. Tento ideální stav je naznačen na obr. 8. Rekonstruovaný výstupní signál  $D_{\text{out}}$  takového ADC je dán jako

$$D_{\text{out}} = \sum_{k=0}^{N-1} D_{N-k} \cdot 2^k, \quad (4)$$

kde  $N$  je rozlišení převodníku. Za těchto ideálních podmínek je dosaženo perfektní lineární převodní charakteristiky.



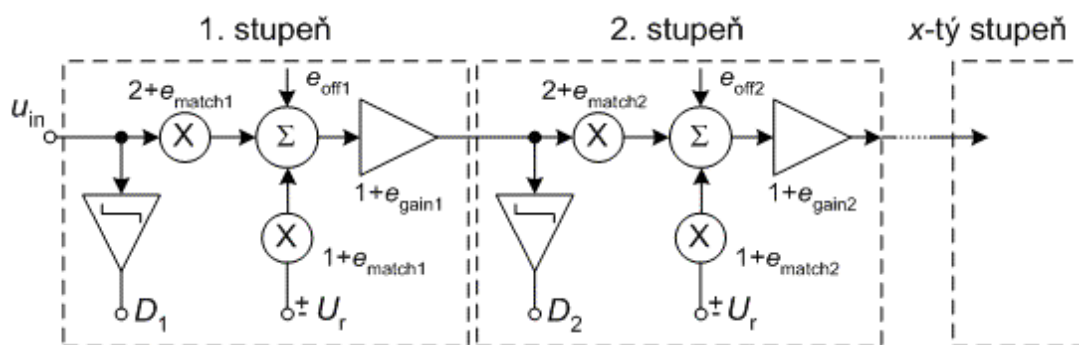
**Obr. 8:** Ideální stav v 1-bitovém MDAC

Problém je v tom, že ideálního stavu nelze z již dříve uvedených důvodů dosáhnout. Tím také dojde k degradaci této lineární převodní charakteristiky. Přiblížením k reálnému stavu je předpoklad, že zesílení OZ má konečnou hodnotu  $G$  a kapacity nejsou stejné. Výstupní residuum pro  $x$ -tý stupeň řetězce je

$$u_{res\ x} = (2 + e_{match\ x})(1 + e_{gain\ x}) \left( u_{in} + D \frac{1 + e_{match}}{2 + e_{match}} U_r \right) + \underbrace{U_{off}}_{e_{off}} (3 + e_{match\ x})(1 + e_{gain\ x}), \quad (5)$$

kde  $e_{gain\ x} = -\frac{2 + e_{match\ x}}{1 + e_{match\ x} + G}$  a  $D = \pm 1$ . Odpovídající blokové zapojení je uvedeno na

obr. 9. Je třeba dodat, že chyba vstupní nesymetrie  $e_{off}$  v konečném důsledku neovlivňuje linearitu převodu, pouze pokud by byla hodnota vstupní nesymetrie tak velká, že by se převodní charakteristika dostala mimo meze referenčního napětí. Proto je nesymetrie v dalších úpravách zanedbána (na obrázcích je přesto uvedena) a její maximální potlačení je řešeno obvodově jinými metodami.



**Obr. 9:** Blokové schéma 1-bitového MDAC vč. předdefinovaných zdrojů chyb

Pokud se bude uvažovat nejjednodušší možné zapojení řetězového převodníku s jedním stupněm, kdy  $e_{match\ x} = e_{match}$  a  $e_{gain\ x} = e_{gain}$ , pak je možné výpočet residua přepsat na

$$u_{resx} = (2 + e_{match})(1 + e_{gain})(u_{in} + D U_r^*), \quad (6)$$

kde  $U_r^* = U_r \frac{1 + e_{match}}{2 + e_{match}}$ , je korigovaná hodnota referenčního napětí vzhledem k chybám nepřizpůsobení a již nijak nezasahuje do chyby linearity. Výsledkem je pouze vztah pro zesílení příslušného stupně

$$h_{VZ} = (2 + e_{match})(1 + e_{gain}). \quad (7)$$

Tato hodnota představuje již uvedenou kalibrační konstantu použitou při kalibraci a platnou pro daný stupeň. Korigovaný výstup převodníku využívající tuto hodnotu je pak jednoduše definován jako

$$D_{out} = \sum_{k=0}^{N-1} D_{N-k} \cdot h_{VZ}^k. \quad (8)$$

Obecně tedy pro vícestupňovou architekturu řetězového převodníku platí, že každý blok zahrnuje soustavu rovnic definujících dané zdroje chyb. Jsou to zesílení v rámci daného stupně  $x$

$$h_{VZx} = (2 + e_{matchx})(1 + e_{gainx}), \quad (9)$$

a korigovaná hodnota referenčního napětí  $x$ -tého bloku

$$U_{rx}^* = \frac{1 + e_{matchx}}{2 + e_{matchx}}. \quad (10)$$

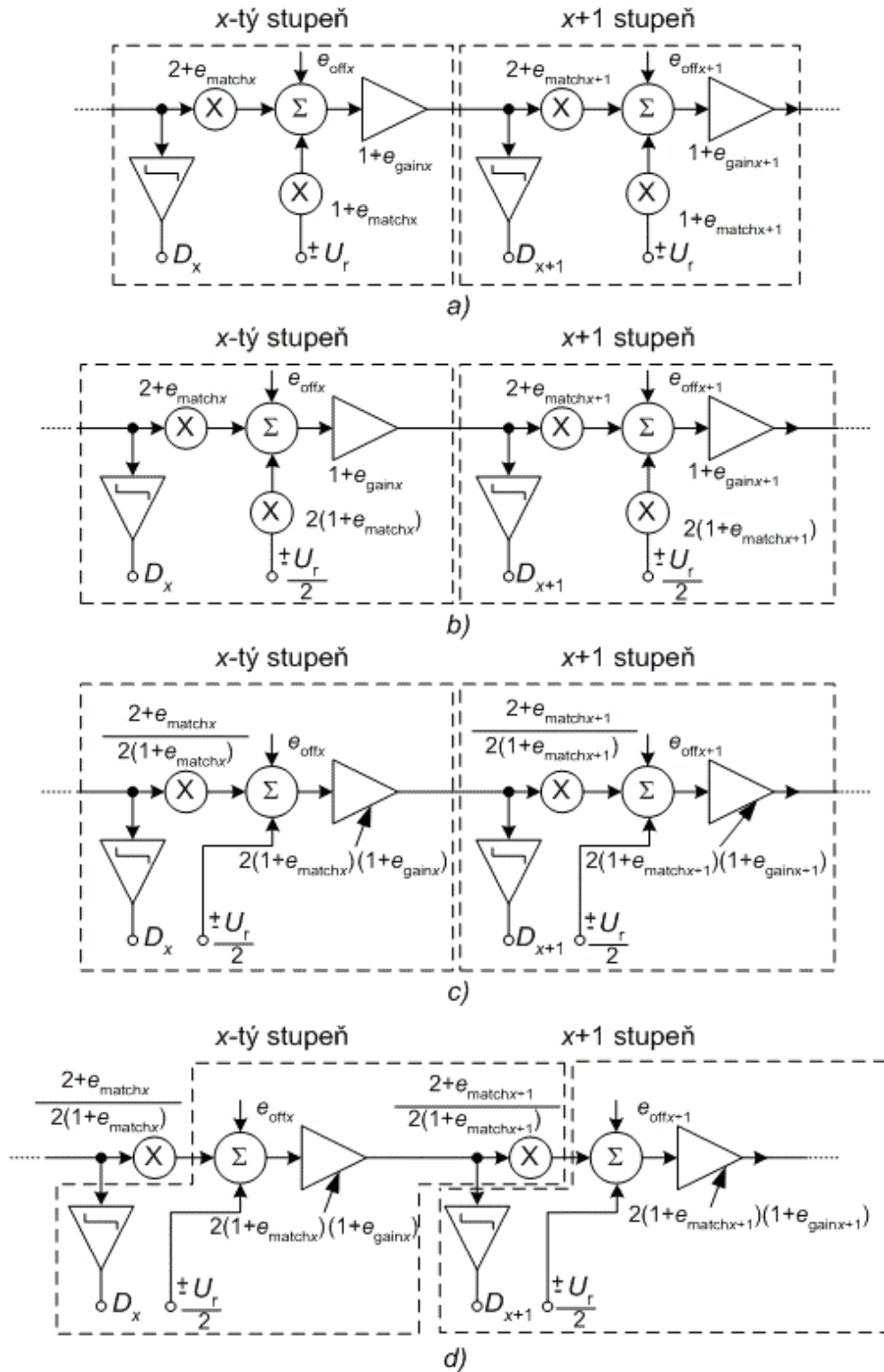
Protože jsou vstupní vzorek signálu a hodnota referenčního napětí zesilovány různými koeficienty, není možné uvažovat situaci, kdy bude pro jejich výpočet stačit pouze jedna hodnota  $h_{VZ}$ . Protože je však číslicová kalibrovaná hodnota výstupu dána vztahem (8), je nutné najít vztah mezi těmito veličinami, aby byla extrahována pouze jedna hodnota společná pro obě situace.

### 4.3 KALIBRACE V 1-BITOVÉM MDAC

V návaznosti na obr. 9 je nutné provést několik transformací. Tato procedura je ilustrována na obr. 10. Zamění-li se napětí  $U_r$  za  $U_r/2$  a přenastaví se zesílení referenčního napětí, změní se obr. 10a na obr. 10b. Sloučením faktoru zesílení referenčního napětí se vstupním a výstupním signálem dojde k úpravě, která je zobrazena na obr. 10c. Závěrem je vstupní i výstupní signál transformován, jak je uvedeno na obr. 10d. Na základě této transformace lze pro výstupní residuum  $x$ -tého stupně psát

$$u_{resx} = 2(1 + e_{matchx})(1 + e_{gainx}) \frac{(2 + e_{matchx+1})}{2(1 + e_{matchx+1})} \left( u_{in}^* + D \frac{U_r}{2} \right), \quad (11)$$

kde  $u_{in}^* = u_{in} \frac{(2 + e_{matchx})}{2(1 + e_{matchx})}$ , což je nyní předdefinovaná hodnota vstupního signálu.



**Obr. 10:** Blokové schéma rekonfigurovaného MDAC podľa navrhenej metódy postkalibrácie

Odpovídající hodnota  $h_{VZ}$  je

$$h_{VZx} = 2(1 + e_{matchx}) \left(1 + e_{gainx}\right) \frac{2 + e_{matchx+1}}{2(1 + e_{matchx+1})}. \quad (12)$$

Jedinou nevýhodu této transformace je, že komparátor stále sleduje původní vstupní signál. Znamená to, že se na vstupu přidává signálově závislá nesymetrie. Tato nesymetrie však není nijak významná a navíc je kompenzována použitím 1,5-bitové architektury. Naopak výhodou prezentované transformace je zvýšení hodnoty faktoru zpětné vazby.

#### 4.4 NAVRŽENÁ KALIBRACE PRO 1,5-BITOVOU ARCHITEKTURU MDAC

Funkce 1,5-bitového MDAC již byla prezentována, proto je zde popsána pouze implementace metody postkalibrace. Důležitý rozdíl oproti 1-bitovému MDAC je v tom, že 1,5-bitový MDAC generuje na výstupu dva bity/stupeň řetězce, což znamená, že číslicová korekce je realizována „překrytím“ těchto bitů s využitím sumátorů a posuvných registrů. Aby ale nová metoda kalibrace pracovala korektně, je nutné, aby byly všechny číslicové hodnoty ze všech stupňů převodníku uloženy a po startu kalibrace byly vyvolány a použity v kalibračním procesu.

##### 4.4.1 Změření $h_{VZ}$ a vykonání kalibrace

Ze schématu navržené kalibrace je zřejmé, že všechny chybové parametry musí být nejdříve přesně změřeny, protože přesnost tohoto měření určuje i celkovou přesnost ADC. Nastává však problém v tom, že přesná hodnota  $h_{VZ}$  není známá. Proto je nutné výslednou hodnotu počítat pomocí vhodného iteračního algoritmu, čímž se dosáhne konečných a správných hodnot  $h_{VZ}$ .

Pro  $N$ -bitový řetězový převodník s  $x$  stupni platí, že generuje během  $x$  hodinových cyklů  $N$ -bitové binární výstupní slovo. Rekonstruované výstupní číslicové slovo je pak

$$\begin{aligned} D_{out} = & \underbrace{D_N}_{LSB} + D_{N-1}h_{VZ1} + D_{N-2}h_{VZ1}h_{VZ2} + \dots + D_{N-P}h_{VZ1}h_{VZ2}\dots h_{VZx} + \\ & + D_{N-x-1}h_{VZ1}^2h_{VZ2}\dots h_{VZx} + D_{N-P-2}h_{VZ1}^2h_{VZ2}^2\dots h_{VZx} + \dots + \\ & + D_{N-2x}h_{VZ1}^2\dots h_{VZx}^2 + \dots + \underbrace{D_1}_{MSB}h_{VZ1}^*h_{VZ2}^*\dots h_{VZx}^* \end{aligned}, \quad (13)$$

kde  $h_{VZx}$  jsou kalibrační konstanty pro příslušný stupeň. Místo konkrétních mocnin v případě posledního členu rov. (13) jsou uvedeny hvězdičky proto, že nelze přesně definovat jakých hodnot budou nabývat. To závisí na rozlišení a počtu stupňů v řetězci. Platí zde však podmínka, že součet mocnin v tomto členu je roven  $N - 1$ .

Z pohledu soustavy v rov. (13) je největší nespojitost v bodech, kdy se MSB mění z logické 0 do logické 1. Tato nespojitost je extrahována tím, že se provede



předkalibrace v MSB stupni. Ta zahrnuje nastavení analogového vstupu na nulu a “vnucení” logické 1 na výstup komparátoru společně s příslušným  $D$ . Výsledkem je residuum o velikosti  $-U_r$  a číslicový výstup je 1000...00 (logická 1 je vnucený bit). Pokud je za stejných podmínek vnucena logická 0, je residuum  $U_r$  a binární výstup 0111...11 (logická 0 je opět vnucený bit).

Přesto, že ADC převádí stejný analogový vstupní signál, dochází zde k rozdílu ve výstupních hodnotách velikosti 1 LSB. Proto je použita 1,5-bitová architektura, která zabrání tomu, aby došlo ke ztracení rozhodovací úrovně. Znamená to, že u předkalibrace dochází pouze ke změně signálové cesty residua. Protože jsou binární výstupy přirozeně korigovány použitou 1,5-bitovou architekturou, je rozdíl mezi dvěma kvantovanými hodnotami nula. Proto je nyní možné určit správné hodnoty soustavy korekčních konstant s využitím iteračního algoritmu

$$h_{VZx}[k+1] = h_{VZx}[k] - \Delta \cdot \varepsilon_x[k], \quad (14)$$

kde  $\varepsilon_x$  je rozdíl mezi dvěma kvantovanými výstupy po vnucení hodnot do MSB,  $k$  je iterační index a  $\Delta$  je iterační krok. Každé výstupní slovo je tedy kalibrováno s využitím aktuálních hodnot korekčních konstant. Ty jsou aktualizovány dokud nedojde iterace do konce.

Kalibrační algoritmus lze tedy popsat následovně.

- Změření  $h_{VZ1}$ . Podle obr. 11 je do prvního stupně vnucena logická 1 a analogový vstup je nastaven na nulu. Výsledné residuum prvního bloku řetězce je

$$u_{resA1} = -h_{VZ1} \frac{U_r}{2}. \quad (15)$$

- Převodník poté v průběhu ostatních cyklů digitalizuje  $u_{resA}$  do  $N$ -bitového slova, které v sobě zahrnuje i vnucený MSB.
- Následně se stejná operace jako v prvním bodě opakuje pro logickou 0. Platí

$$u_{resB1} = h_{VZ1} \frac{U_r}{2}. \quad (16)$$

Také tato hodnota je digitalizována, binární výstup obsahuje i vnucený MSB.

- Výše uvedená residua ve svém důsledku definují horní a dolní meze referenčního napětí pro následující druhý stupeň. Následuje výpočet

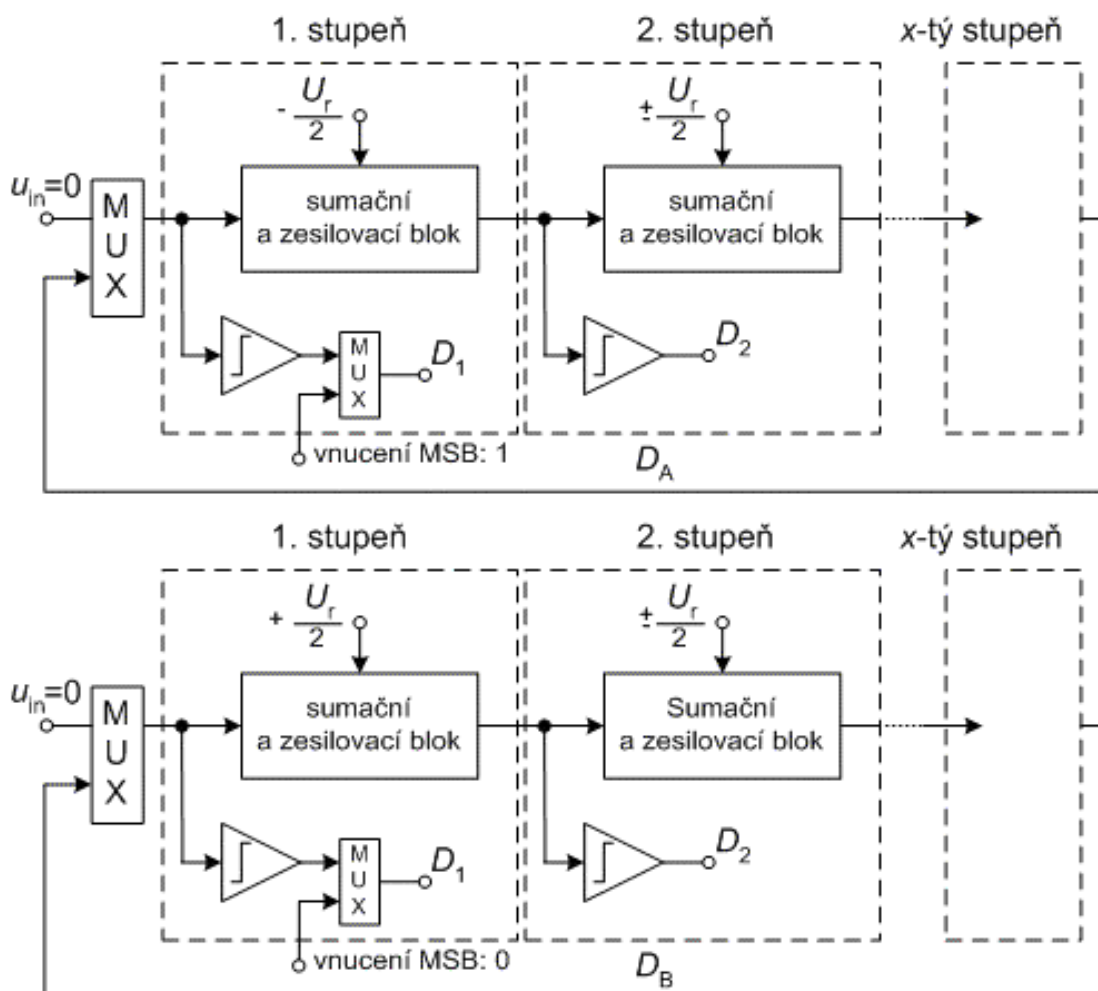
$$\varepsilon_1 = D_{out}(DA) - D_{out}(DB), \quad (17)$$

kde  $D_{out}$  je vypočteno podle rov. (13).

Uvedený postup pak platí pro všechny následující stupně převodníku. Rozdíl je pouze v tom, že MSB je vnucován v příslušném stupni. Jakmile jsou určeny všechny hodnoty korekčních parametrů  $h_{VZx}$  a  $\varepsilon_x$ , je k výpočtu aktuálních hodnot  $h_{VZx}$  použita rov. (14). Hodnoty kalibračních parametrů jsou následně uloženy a použity pro výpočet a korekci správných hodnot binárního výstupu.

Protože je celkový rozsah ADC dán kombinací korekčních konstant, jsou tyto konstanty aktualizovány průběžně v závislosti na předchozích hodnotách dokud není dosaženo plně lineární převodní charakteristiky. Jak již bylo uvedeno, tuto

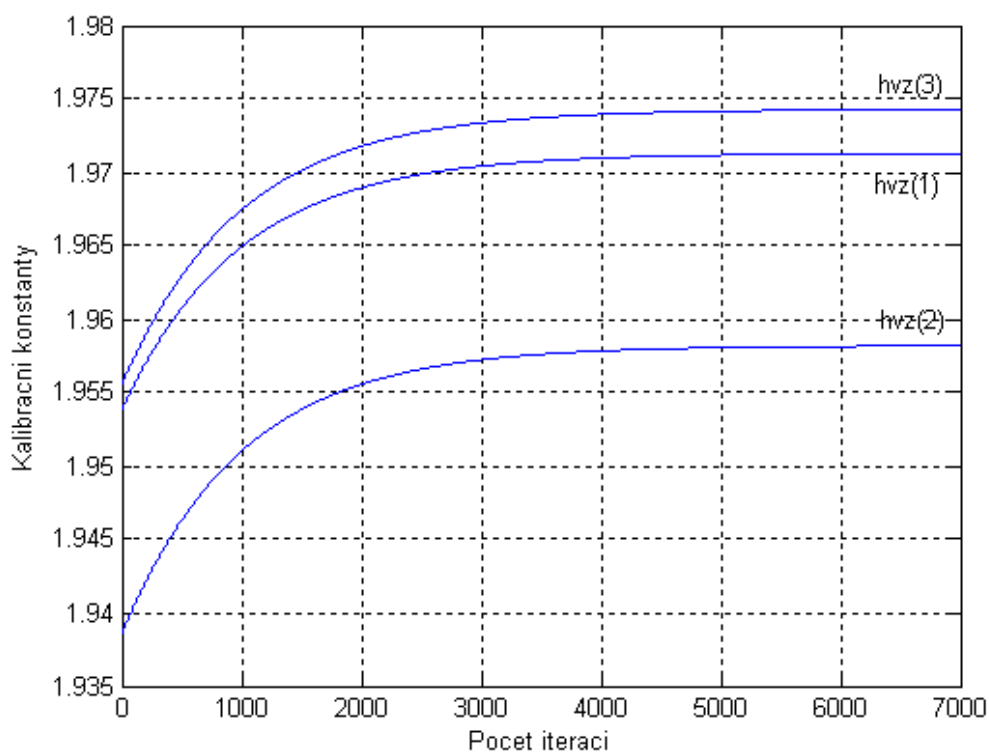
postkalibrační metodu je možné použít pro libovolný převodník s libovolným počtem stupňů. Navíc může být tato metoda adaptována i na MDAC s vyšším rozlišením jak 1,5 bitu. Další výhodou této postkalibrace je nepřerušování samotného převodního procesu, protože kalibrace běží na pozadí tohoto procesu. Znamená to, že se nesnižuje rychlost převodu, jak je tomu u jiných postkalibračních technik.



**Obr. 11:** Funkce měření výchozích hodnot  $h_{VZ}(x)$  pro iterační proces

#### 4.4.2 Ověření funkčnosti prezentované postkalibrační metody

K ověření navržené postkalibrační techniky byl na základě obr. 24 simulován převodník se třemi stupni, celkovým rozlišením 8 bitů a vstupním diferenčním rozsahem 2 V. Výpočet korekčních konstant a nutný počet iteračních kroků pro dosažení jejich správné hodnoty je zobrazen na obr. 12. Je nutné dodat, že uvedený počet iteračních kroků nemusí postačovat pro jiný převodník s jiným počtem stupňů a jiným rozlišením. Aby iterace mohla projít až do konce, byly startovací hodnoty  $h_{VZx}$  náhodně zvoleny. Jejich hodnoty a výsledky po skončení iteračního procesu jsou uvedeny v tab. 2. Iterační krok je nutné zvolit výrazně menší než je 1 LSB převodníku. Proto byl iterační krok  $\Delta$  zvolen  $2^{-10}$ .

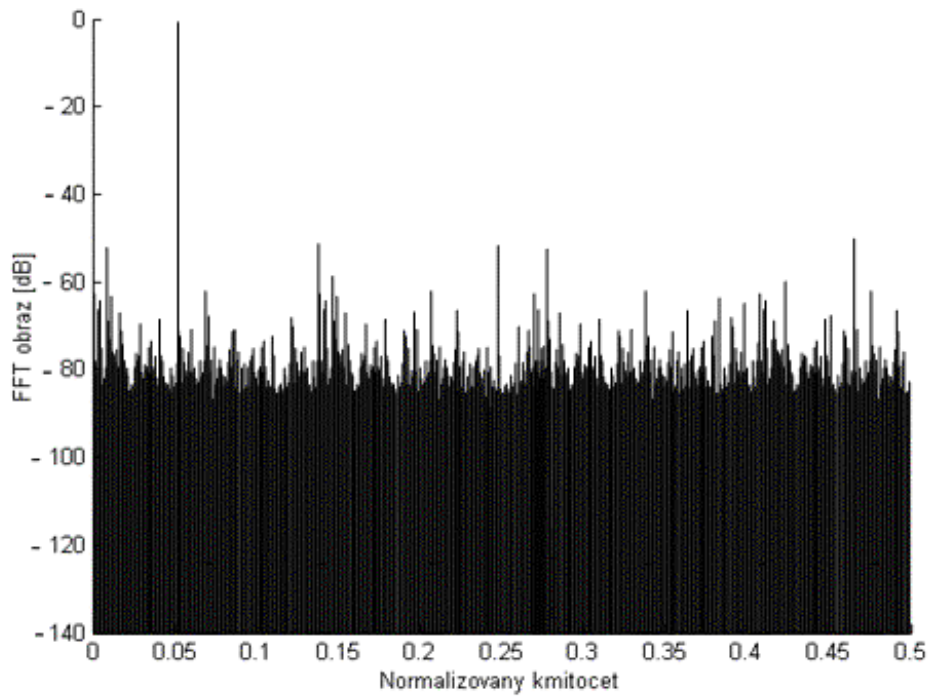


**Obr. 112:** Znáznornění výpočtu kalibračních konstant pro příklad ADC se třemi stupni

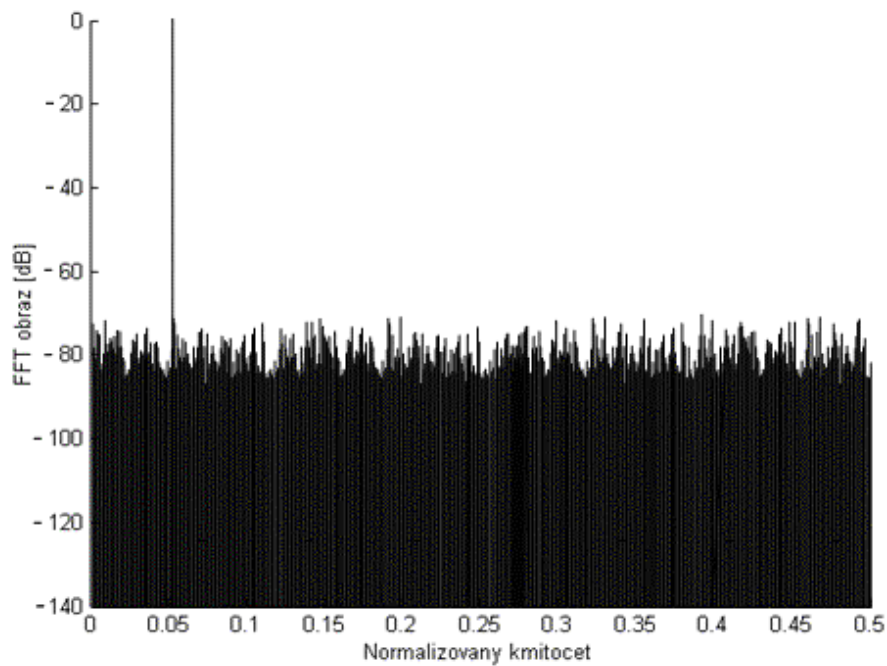
**Tab. 2:** Původní a konečné hodnoty kalibračních konstant po skončení iterace

| kalibrační parametr | počáteční hodnota | hodnota po skončení iterace |
|---------------------|-------------------|-----------------------------|
| $h_{VZ1}$           | 1,9539            | 1,9713                      |
| $h_{VZ2}$           | 1,9386            | 1,9582                      |
| $h_{VZ2}$           | 1,9556            | 1,9747                      |

Simulace pro FFT s chybou přizpůsobení kapacitorů  $e_{\text{match}} = 0.5 \%$ , konečným zesílením OZ 1000 a nesymetrií 5 mV je uvedena na obr. 13. Výsledné SNR před použitím kalibrace je na obr. 13a a po použití kalibrace je na obr. 13b.



a)



b)

**Obr. 13:** *SNR pro vzorový převodník*

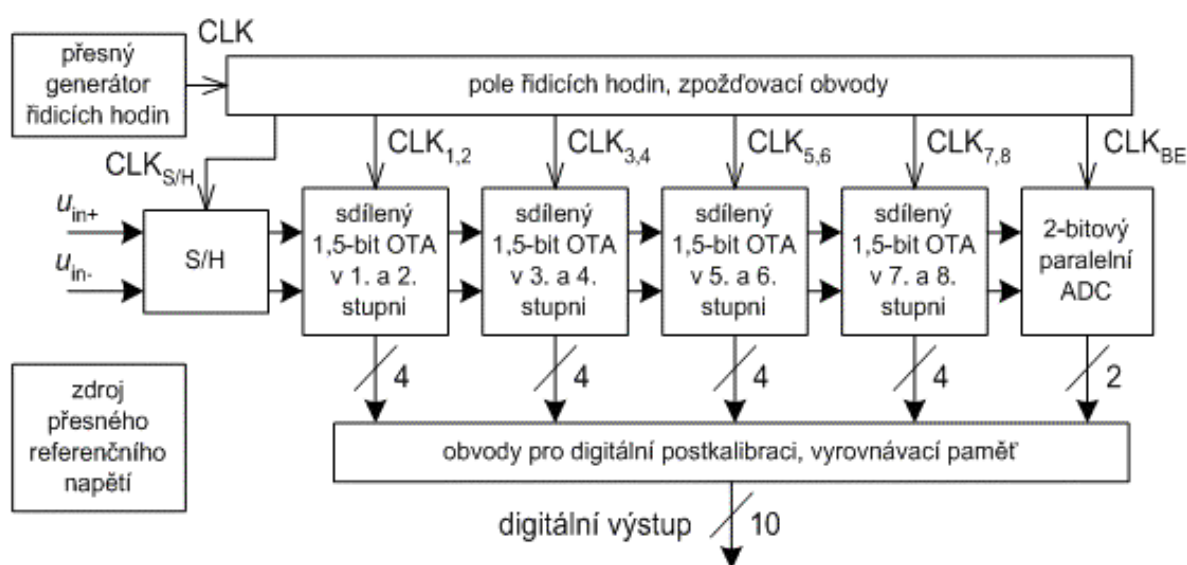
Je vidět, že z původní hodnoty asi 50 dB je po kalibraci dosaženo *SNR* asi 72 dB. Metoda tedy funguje podle navrženého modelu a je následně v kombinaci s dalšími obvodovými technikami implementována do řetězového převodníku. Následující kapitoly popisují návrh a ověření funkce jeho důležitých bloků.

## 5 NAVRŽENÝ ŘETĚZOVÝ PŘEVODNÍK AD

Jak již bylo uvedeno dříve, pro ověření funkčnosti nové postkalibrační metody je navržen řetězový ADC. V této kapitole je podrobně popsán návrh a simulace důležitých částí převodníku. Zároveň jsou zde uvedeny upravené obvodové techniky, které řeší některé problémy uvedené v kapitole 4.1.

### 5.1 ZÁKLADNÍ FUNKCE A BLOKOVÉ SCHÉMA NAVRŽENÉHO ŘETĚZOVÉHO PŘEVODNÍKU AD

Na základě předchozího rozboru byl navržen řetězový převodník, který slouží pro otestování správné funkce vyzkoumané postkalibrační techniky. Na obr. 14 je uvedeno kompletní blokové schéma navrženého ADC.



Obr. 14: Blokové schéma navrženého řetězového ADC

Převodník se skládá z několika důležitých bloků. Mezi ně patří zejména vstupní S/H obvod a čtyři sdílené operační transkonduktanční zesilovače (OTA) mezi sebou jdoucími stupni, které spolu s koncovým 2-bitovým paralelním ADC dodávají 18 nekalibrovaných bitů do bloku pro číslicovou kalibraci. V tomto bloku se také nachází vyrovnávací paměť a synchronizační obvody. Výstupem je pak číslicová hodnota zpracovávaného signálu s rozlišením 10 bitů.

Technika sdílených OTA [5] byla společně s technikou váhování kapacitorů [6] využita hlavně z důvodu rapidního snížení celkové spotřeby ADC. Navržený OTA má pak teleskopickou strukturu doplněnou o pomocné části, které zajišťují zvýšení zesílení, stabilitu a které řeší problém souhlasných napětí.

Dalším nezbytným blokem je generátor přesných řídicích hodin, které jsou přes blok zpožďovacích obvodů distribuovány k jednotlivým stupňům převodníku. Protože je v převodníku použita technika vzorkování spodní elektrody kapacitoru,

mají dva základní signály své dvě kopie  $PH1_p$  a  $PH2_p$ , pouze s tím rozdílem, že délka aktivního impulsu je menší jak polovina periody.

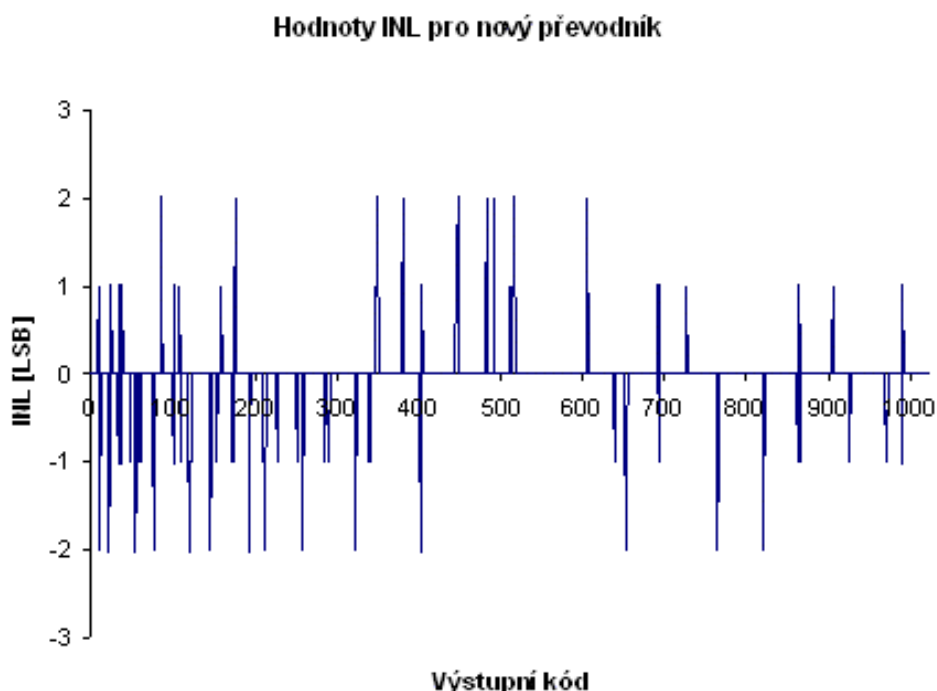
Zejména pro komparátory je pak důležitý blok, který obsahuje zdroj přesného referenčního napětí. Jedná se o standardní referenční zdroj řízený prahovým napětím tranzistoru [3], [7]. Navržený komparátor je pak navržen jako bistabilní struktura [3].

Funkce převodníku je v principu stejná jako u standardní architektury řetězového převodníku, jak bylo uvedeno dříve. Rozdíl je tedy hlavně v použité postkalibrační technice, jejíž činnost byla podrobně popsána v předchozí kapitole. Dalším rozdílem je pak použití modifikované metody sdílených OTA a váhování kapacitorů pro dosažení nízké celkové spotřeby převodníku.

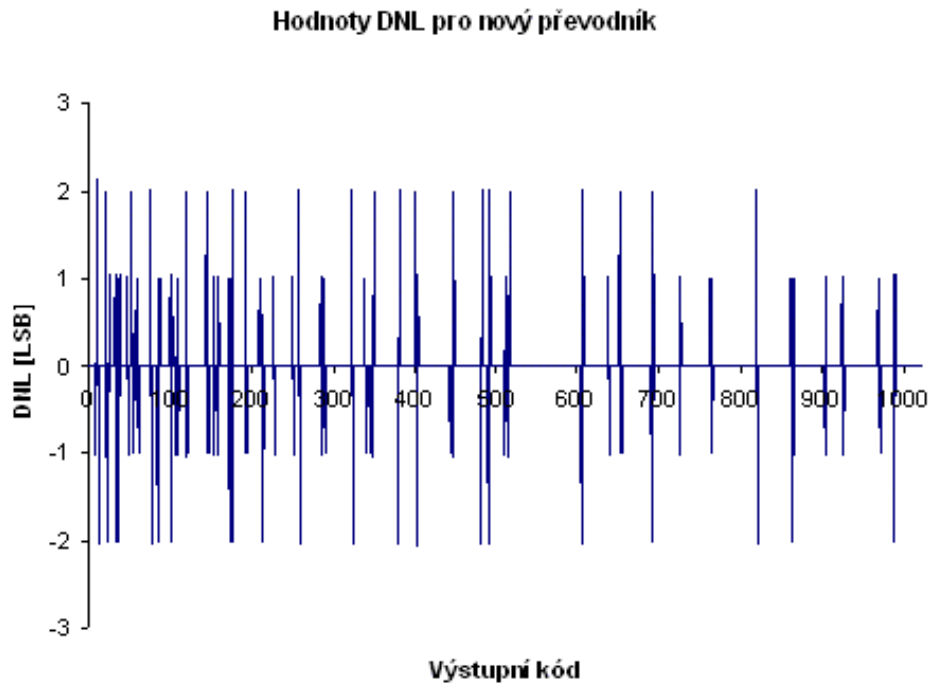
## 5.2 SIMULACE SAMOTNÉHO ŘETĚZOVÉHO PŘEVODNÍKU

Po dokončení a ověření jednotlivých funkčních bloků převodníku došlo k částečnému ověření jeho vlastností. Jednalo se zejména o statické parametry tj.  $INL$  a  $DNL$  a dále celkovou spotřebu. Dynamické vlastnosti jako  $SNR$ ,  $SNDR$ ,  $THD$  se budou ověřovat až bude dokončen hotový čip.

Statické parametry převodníku ( $INL$  a  $DNL$ ) byly simulovány na celém diferenčním rozsahu převodníku tj. 2V. Pro rozlišení 10 bitů to znamená hodnotu  $LSB = 1,953125$  mV. Na obr. 15 a obr. 16 jsou zobrazeny hodnoty  $INL$  resp.  $DNL$ , změřené při simulaci navrženého převodníku.



**Obr. 115:** Hodnoty  $INL$  pro navržený nový převodník



**Obr. 116:** Hodnoty DNL pro navržený nový převodník

*INL* se tedy mění v rozsahu  $\pm 2$  LSB. Hodnota *DNL* je v rozmezí  $\pm 2$  LSB. Meze pro akceptovatelné hodnoty *INL* a *DNL* jsou podle požadavků  $\pm 1$  LSB pro oba parametry. Je vidět, že zadání není zcela splněno a proto probíhají úpravy v návrhu, aby bylo dosaženo požadavků zadání.

## 6 ZÁVĚR

Tato disertační práce pojednává o řetězovém převodníku AD nové koncepce, ve kterém byla úspěšně použita nová unikátní metoda postkalibrace. Tato postkalibrace kompenzuje některé chyby, které vznikají v obvodech se spínanými kapacitami (SC). Je zaměřena na dosažení maximální linearitu převodu. Společně s již ověřenými analogovými technikami minimalizuje neidealitu, které jsou spojeny s použitím techniky SC. Jedná se zejména o pronikání signálu řídicích hodin, chyby nepřizpůsobení kapacitorů, zdroje nežádoucích šumů a nedokonalosti použitých operačních zesilovačů (OZ) resp. operačních transkonduktančních zesilovačů (OTA).

Nová metoda číslicové postkalibrace pracuje na principu přiřazování dodatečných zdrojů chyb do obvodu, které jsou jasně definovány. Pomocí výpočetního algoritmu jsou iteračním procesem vypočteny hodnoty kalibračních parametrů, které definují tyto zdroje. Tyto hodnoty jsou pak započteny při konečném výpočtu skutečné číslicové podoby měřeného vstupního signálu.

Mezi výhody této nové metody patří rychlé dosažení korekčních parametrů, snadná obvodová implementace, možnost použití na libovolný řetězový převodník

s libovolným rozlišením a libovolným počtem stupňů a nezdržování samotného převodního procesu. Postkalibrace totiž běží na pozadí tohoto převodu.

Při návrhu řetězového převodníku bylo požadováno také dosažení minimální spotřeby obvodu. Tato minimalizace byla řešena pomocí modifikované metody sdílených OZ a využitím váhování kapacitorů. Díky tomu bylo dosaženo snížení spotřeby asi o 45 % vzhledem ke standardním převodníkům tohoto typu. Konečná spotřeba je ze simulace přibližně 56 mW při napájecím napětí 5 V.

Analogová část převodníku má celkovou spotřebu asi 38 mW, z toho největší podíl připadá na spotřebu OTA. U návrhu OTA byly plně dodrženy požadavky na velmi nízkou vstupní nesymetrii (995,44  $\mu$ V), nízkou spotřebu (6,44 mW), krátkou dobu ustálení (5,54 ns) a relativně dostatečné zesílení (71 dB). Naopak problém je v šířce pásma, která je při poklesu o  $-3$  dB pouze 204,74 kHz, což není uspokojivé a v další verzi převodníku bude nutné provést nezbytné úpravy pro dosažení lepšího rozsahu.

Výsledný převodník má rozlišení 10 bitů a vzorkovací kmitočet 40 MS/s. Hodnoty INL a DNL převodníku jsou  $\pm 2$  LSB resp.  $\pm 2$  LSB. Tyto hodnoty nejsou plně uspokojivé vzhledem k zadání a proto projde návrh drobnými úpravami. V současné době také probíhají simulace dynamických vlastností a připravuje se konečná podoba a topologie čipu pro zadání do výroby. Po jeho otestování dojde zřejmě k některým úpravám, aby výsledné parametry odpovídaly zadání.

Je třeba dodat, že původní návrh uvažoval efektivní rozlišení 12 bitů a disertační práce také byla tímto směrem zaměřena. V průběhu návrhu však nastaly komplikace zejména s dostatečným ověřením nové postkalibrace, dosažením nízké spotřeby a přesnosti převodu. Proto bylo rozhodnuto o snížení rozlišení na 10 bitů.

Po doladění první verze převodníku budou pokračovat práce na druhé verzi, hlavně s ohledem na zvýšení rozlišení na původně navržených 12 bitů. Pokračovat se bude také na doladování postkalibrační metody a protože již bude na Ústavu mikroelektroniky i nová verze používané technologie – CMOS 035, bude možné dosáhnout i dalšího snížení spotřeby díky možnosti použití napájecího napětí 3,3 V. Dalším úkolem bude návrh a vylepšení parametrů (zesílení, fázová rezerva, GBW) použitých OTA.



## LITERATURA

- [1] FETTWEIS, A. Realization of General Network Functions Using the Resonant-Transfer Principle. In *Proceedings of the 4th Asilomar Conference on Circuit and Systems*. Pacific Grove (USA), 1970, p. 663 – 666.
- [2] FRIED, D., L. Analog Sample-Data Filters. *IEEE Journal of Solid-State Circuits*, vol. SC-7, no. 4, p. 302 – 304, August 1972.
- [3] ALLEN, P., E., HOLBERG, D., R. *CMOS Analog Circuit Design – Second Edition*. Oxford: Oxford University Press, Inc., 2002. 784 pages. ISBN 0-19-511644-5.
- [4] UNBEHAUEN, R., CICHOCKI, A. *MOS Switched-Capacitor and Continuous-Time Integrated Circuits and Systems – Analysis and Design*. Berlin: Springer-Verlag, 1989. 631 pages. ISBN 0-387-50599-7.
- [5] NAGARAJ, K., FETTERMAN, H., S., ANIDJAR, J., LEWIS, S., H., RENNINGER, R., G. A 250-mW, 8-b, 52-Msamples/s Parallel-Pipelined A/D Converter with Reduced Number of Amplifiers. *IEEE Journal of Solid-State Circuits*, vol. 32, no. 3, p. 312 – 320, March 1997
- [6] CLINE, D., W., GRAY, P., R. A Power Optimized 13-b 5 Msamples/s pipelined Analog-to-Digital Converter in 1,2  $\mu\text{m}$  CMOS. *IEEE Journal of Solid-State Circuits*, vol. 31, no. 3, p. 294 – 303, March 1996.
- [7] BAKER, R., J., HARRY W., L., BOYCE, D., E. *CMOS Circuit Design, Layout, and Simulation*. USA: IEEE Press Series on Microelectronic System, 1998. 902 pages. ISBN 0-7803-3416-7.
- [8] Internetové stránky společnosti Maxim Analog, [www.maxim-ic.com](http://www.maxim-ic.com)
- [9] Internetové stránky společnosti National Semiconductor, [www.national.com](http://www.national.com)
- [10] Internetové stránky společnosti Linear Technology, [www.linear.com](http://www.linear.com)
- [11] Internetové stránky společnosti Analog Devices, [www.analog.com](http://www.analog.com)
- [12] HÁZE, J., VRBA, R. Errors and Their Cancellation in ADC Using Switched Capacitors Technique. In *WSEAS Transactions on Circuits, WSEAS International Conferences: SEPADS 2003, AIKED 2003, ISPRA 2003 and EHAC 2003*. Athens (Greece), 2003, p. 111 – 113.
- [13] HÁZE, J., VRBA, R., SKOČDOPOLE, M., FUJCIK, L. Low Power SC Pipelined ADC Using Op-Amp Sharing Approach In *Proceedings of the WSEAS Conferences*, Rio de Janeiro, Brasil 2004, p. 214 - 216, ISBN 960-8457-03-3
- [14] HÁZE, J., VRBA, R. ADC Position-Sense Interface In *Proceedings of 11th Annual IEEE International Conference and Workshop on the Engineering of Computer Based Systems ECBS 2004*. Brno, Czech Republic, 2004, p. 429 - 434, ISBN 0-7695-2125-8
- [15] HÁZE, J., FUJCIK, L., VRBA, R., SKOČDOPOLE, M. New Switched-Capacitor Pipelined ADC In *Proceedings of the 5th WSEAS International Conference on Instrumentation, Measurement, Control, Circuits and Systems*. Cancun, Mexiko, 2005, p. 132 - 134, ISBN 960-8457-21-1

# CURRICULUM VITAE

Jméno: Jiří HÁZE

Narozen: 13. března 1979 v Náchodě

Kontakt: [haze@feec.vutbr.cz](mailto:haze@feec.vutbr.cz)

## Studium

1997 až 2002 **Vysoké učení technické v Brně, Ústav mikroelektroniky**  
studium oboru Elektrotechnická výroba a management,  
státní zkouška úspěšně složena v červnu 2002, diplomová práce  
na téma Inteligentní senzor tlaku využívající vytvořených  
funkčních bloků obhájena v červnu 2002.

2002 až 2005 **Vysoké učení technické v Brně, Ústav mikroelektroniky**  
postgraduální presenční studium oboru Mikroelektronika  
a technologie, státní zkouška úspěšně složena v červnu 2004.

## Stáže

8/03 až 10/03 **Institut für Mikroelektronik- und Mechatronik-Systeme GmbH, Erfurt v Německu**, studijní stáž – analýza a návrh obvodů v technice spínaných kapacitorů.

## Jazyky

Angličtina, francouzština

## Další aktivity

Zaměření na návrh integrovaných obvodů v analogovém a smíšeném módu, programování mikrokontrolérů v jazyku assembler. Spolupracuje na mnoha projektech domovského ústavu a fakulty:

- výzkumné záměry: MIKROSYT MSM262200022, MIKROSYN MSM0021630503,
- granty GAČR: Integrované inteligentní mikrosenzory a mikrosystémy GA102/00/0939, IMAM GA102/03/0619, TLAKAN GA102/00/0938, Nové principy integrovaných nízkonapěťových a nízkopříkonových AD převodníků v submikronových technologiích GA102/05/0869, Moderní metody řešení, návrhu a aplikace elektronických obvodů GD102/03/H105
- projekty MPO: ANTOPE FD-K2/53
- projekty FRVŠ: Návrh a vývoj nových převodníků AD se spínanými kapacitami, Inovace osnov předmětu Vzájemný převod analogových a digitálních signálů, Multimediální učebnice digitálních obvodů a mikroprocesorů

## **ABSTRACT**

The thesis deals with a novel background calibration approach, which compensates some problems arising during conversion in pipelined analog-to-digital converter (ADC) which utilizes switched-capacitor (SC) technique. This background calibration in conjunction with modified circuit principles solves most unwanted problems coupled with SC approach. The design of the whole pipelined ADC follows several requirements i.e. low power consumption (to be used in portable applications), good resolution with high conversion speed, high linearity of conversion and immunity against parasitics (noise, parasitic capacity etc.).