

VĚDECKÉ SPISY VYSOKÉHO UČENÍ TECHNICKÉHO V BRNĚ

Edice PhD Thesis, sv. 738

ISSN 1213-4198

thesis
?
IS

Ing. Vilém Kledrowetz

**Nová struktura
modulátoru delta-sigma
nízkého řádu s vysokým rozlišením**

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
FAKULTA ELEKTROTECHNIKY
A KOMUNIKAČNÍCH TECHNOLOGIÍ
ÚSTAV MIKROELEKTRONIKY

Ing. Vilém Kledrowetz

**NOVÁ STRUKTURA MODULÁTORU DELTA-SIGMA
NÍZKÉHO ŘÁDU S VYSOKÝM ROZLIŠENÍM**

A NOVEL STRUCTURE OF LOW-ORDER
HIGH RESOLUTION DELTA-SIGMA MODULATOR

Zkrácená verze Ph.D. Thesis

Obor: Mikroelektronika a technologie
Školitel: doc. Ing. Jiří Háze, Ph.D.
Oponenti: prof. Ing. Miroslav Husák, CSc.
prof. Ing. Linus Michaeli, DrSc.
Datum obhajoby: 8. dubna 2014

Klíčová slova:

Modulátor delta-sigma ($\Delta\Sigma$), technika spínaných kapacitorů (SC), vyšší harmonické složky, technologie CMOS, nová struktura modulátoru $\Delta\Sigma$.

Keywords

Delta-sigma modulator ($\Delta\Sigma$), Switched-capacitor (SC) technique, higher harmonic distortion, CMOS technology, novel structure of $\Delta\Sigma$.

Místo uložení:

Práce je k dispozici na Vědeckém oddělení děkanátu FEKT VUT v Brně,
Technická 10, Brno, 61600.

© Vilém Kledrowetz, 2014

ISBN 978-80-214-4943-5

ISSN 1213-4198

OBSAH

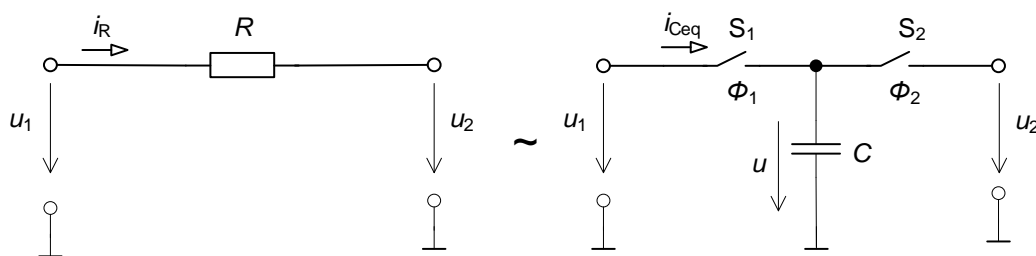
1 ÚVOD	5
2 PŘEVODNÍKY DELTA-SIGMA.....	6
2.1 Modulace delta-sigma	6
2.2 Porovnání struktur modulátorů delta-sigma.....	8
2.3 Nedokonalosti v modulátorech delta-sigma.....	9
3 CÍLE DIZERTAČNÍ PRÁCE	9
4 NOVÁ STRUKTURA MODULÁTORU DELTA-SIGMA.....	10
4.1 Princip nové struktury modulátoru delta-sigma.....	10
4.2 Volba koeficientů d_1 , d_2 a počet komparačních hladin	12
4.3 Vliv nelinearity komparační sítě a hodnot U_{REFx}	13
4.4 Simulace a ověření činnosti nového modulátoru delta-sigma 2. řádu	15
5 PŘEVODNÍK AD TYPU DELTA-SIGMA OBSAHUJÍCÍ NOVÝ MODULÁTOR.....	17
5.1 Detekce úrovně a stejnosměrné posunutí	18
5.2 Zdroj referenčních napětí a výstupní oddělovací zesilovač	20
5.3 Digitální filtr	20
5.4 Simulace navrženého modulátoru delta-sigma	21
6 ZÁVĚR.....	26

1 ÚVOD

Analogově-číslíkové (ADC – Analog-to-Digital Converter) a číslíkově-analogové (DAC – Digital-to-Analog Converter) převodníky nacházejí uplatnění všude tam, kde je třeba analogový signál číslíkově zpracovat nebo analogový signál z číslíkového vytvořit. Číslíkové zpracování analogových signálů má řadu výhod, které jsou podpořeny dostupností a nízkou cenou technického vybavení pro zpracování číslíkových signálů, tj. logických kombinačních a sekvenčních obvodů, mikroprocesorů, pamětí atd. Výhodou digitálního signálu je, že je reprezentován diskretními hodnotami v čase a nabývá pouze definované hodnoty amplitudy. Naopak analogový signál má spojitý průběh v čase i amplitudě a je tedy mnohem citlivější na rušení, odchylky technologického procesu, šum apod. [1].

Převodníky delta-sigma (označované $\Delta\Sigma$) jsou vysoce efektivní alternativou pro získání převodu s vysokou rozlišovací schopností. Nacházejí uplatnění všude tam, kde je potřeba signály s malou až střední šířkou pásma převést na digitální signály s velkým rozlišením. Byla vyvinuta spousta struktur modulátorů $\Delta\Sigma$. Odlišují se od sebe např. počtem a uspořádáním $\Delta\Sigma$ smyček, přičemž každá smyčka může být různého řádu s různou výslednou rozlišovací schopností. Modulátory $\Delta\Sigma$ je možné také rozdělit podle rozlišení kvantizačního obvodu, resp. použitého DAC ve zpětné vazbě. Může být jednobitový nebo vícebitový. Obecně lze říci, že modulátory s vícebitovým převodem vykazují větší stabilitu oproti jednobitovým modulátorům vyšších řádů. Do výsledného spektra se však výrazně projevuje nelinearita tohoto DAC, kterou je nutné kompenzovat [2].

Při realizaci převodníků AD a DA, analogových filtrů, integrátorů, částí operačních zesilovačů (OZ) na čipu se využívá techniky SC (Switched-Capacitor). Hlavním důvodem je možnost nahrazení pasivního odporu, který zabírá na čipu velkou plochu, kapacitorem a spínačem MOS. Princip techniky SC spočívá ve střídavém nabíjení a vybíjení kapacitoru tak, aby za jednotku času byl přes kapacitor přenesen stejný náboj jako přes rezistor za stejnou jednotku času. Protože se jedná o střídavé nabíjení a vybíjení kapacitorů, má proud v obvodech SC impulsní charakter. Nahrazení odporu kapacitorem se spínači je ukázáno na obr. 1.



Obr. 1.1: Náhrada rezistoru spínaným kapacitorem [3]

Pro ekvivalentní obvod SC lze psát

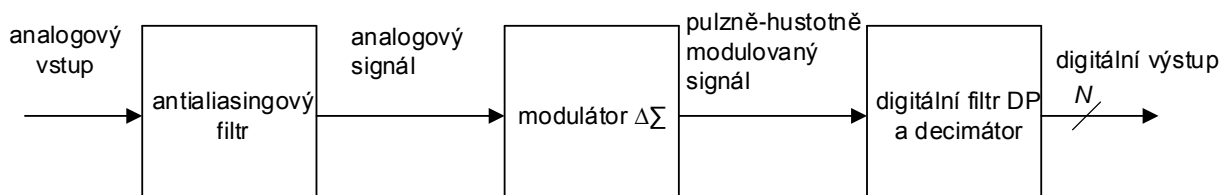
$$i_R = \frac{u_R}{R} \approx \frac{q}{T} = \frac{C \cdot u}{T} = \frac{u}{R} \Rightarrow R = \frac{T}{C} = \frac{1}{C \cdot f_{VZ}}, \quad (1.1)$$

kde T je perioda vzorkovacího signálu, q je náboj na kapacitoru, i_{Ceq} je celkový proud tekoucí kapacitorem, u je celkové napětí na kapacitoru, Φ_1 a Φ_2 jsou jednotlivé fáze hodinového signálu, který řídí spínání spínačů S_1 a S_2 .

Technika SC trpí řadou nedostatků. Ty mohou mít výrazný vliv na funkci nejen modulátoru $\Delta\Sigma$, ale jakéhokoli obvodu, který je touto technikou realizován. Protože v této dizertační práci bude realizována nová struktura modulátoru $\Delta\Sigma$ pomocí techniky SC, je nutné tyto chyby vhodným návrhem minimalizovat.

2 PŘEVODNÍKY DELTA-SIGMA

Převodníky $\Delta\Sigma$ patří mezi převodníky s velmi vysokým rozlišením, avšak s menší rychlostí převodu, využívající převzorkování vstupního signálu. Díky své konstrukci dosahují některých zcela výjimečných vlastností, zejména vykazují vynikající diferenciální a integrální nelinearitu a možnost tvarování šumu mimo spektrum užitečného signálu.

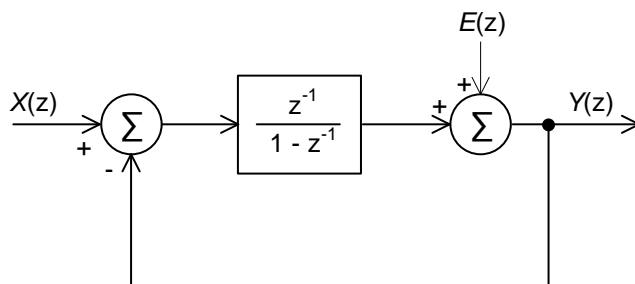


Obr. 2.1: Blokové schéma převodníku $\Delta\Sigma$

Další výhodou je, že pouze minimální část obvodového řešení $\Delta\Sigma$ převodníků je tvořena analogovými obvody, které jsou velmi náchylné ke vzniku nejrůznějších chyb převodu. Díky těmto vlastnostem mají $\Delta\Sigma$ ADC využití pro zpracování stejnosměrných nebo pomalu měnících se signálů.

2.1 MODULACE DELTA-SIGMA

Nevýhodou samotných modulátorů Δ je chování jako filtr typu horní propust nejen pro *NTF*, ale i pro *STF*. Navíc ke správné demodulaci potřebují další integrátor i na koncové straně. Protože je však integrace lineární operací, je možné přemístit integrátor ze strany demodulátoru přímo před modulátor do cesty vstupního signálu – obr. 2.2.



Obr. 2.2: Blokové schéma převodníku $\Delta\Sigma$

Pro výstupní signál $Y(z)$ platí

$$Y(z) = X(z)(1 - z^{-1}) + E(z)(1 - z^{-1}). \quad (2.1)$$

Potom pro funkce *STF* a *NTF* lze psát

$$STF(z) = z^{-1}, \quad (2.2)$$

$$NTF(z) = 1 - z^{-1}. \quad (2.3)$$

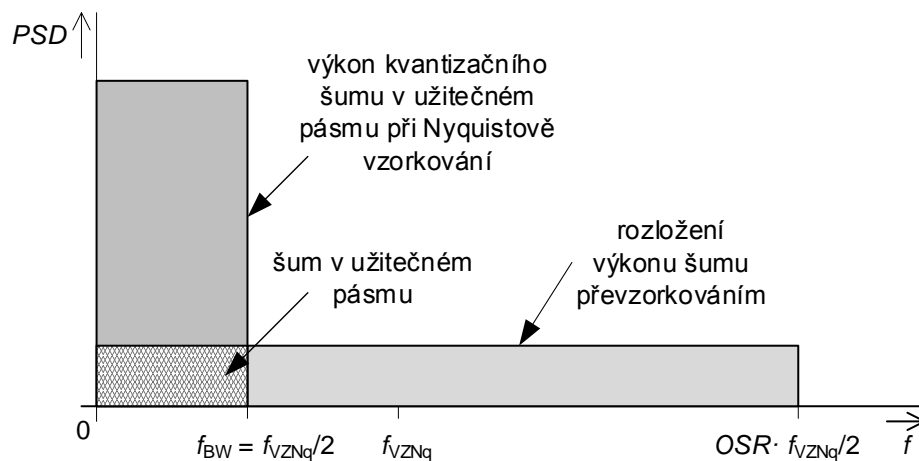
Nyní má STF pouze zpoždění o jeden hodinový cyklus, naopak NTF se chová jako filtr typu horní propust a kvantizační šum, který je generován kvantizátorem, je na nízkých kmitočtech potlačen a přesouvá se na kmitočty, které leží mimo zpracovávané pásmo. Tomuto jevu se říká tvarování šumu.

V převodnicích $\Delta\Sigma$ existují dvě metody tvarování šumu:

- rozložení výkonu šumu převzorkováním,
- tvarování šumu pomocí vhodně zvolené přenosové funkce.

Efekt obou těchto metod působí zároveň a sčítá se.

Převodníky $\Delta\Sigma$ na rozdíl od jiných převodníků převzorkovávají K -krát vyšší frekvenci - koeficient převzorkování OSR (Oversampling Ratio). To se projeví na rozložení výkonu kvantizačního šumu v pracovním pásmu převodníku. Situace rozložení spektrální hustoty výkonu PSD (Power Spectral Density) je ilustrována na obr. 2.3.



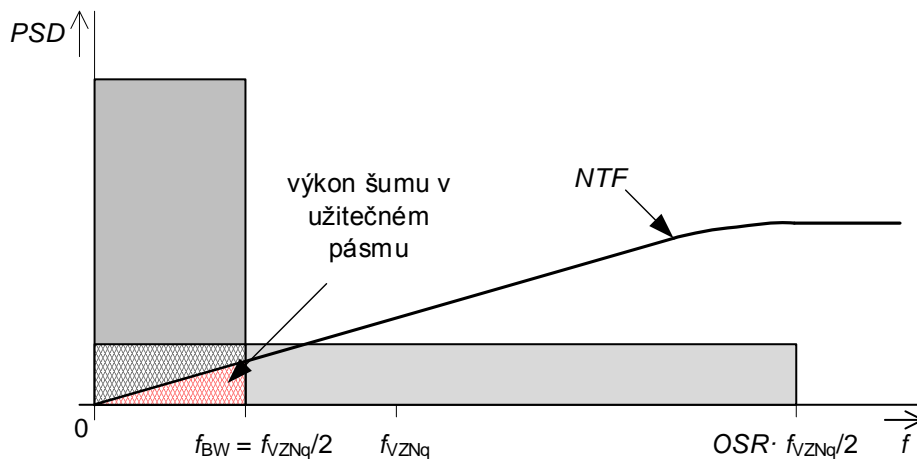
Obr. 2.3: Rozložení kvantizačního šumu převzorkováním

Parametr SNR (odstup signál-šum) po převzorkování lze matematicky vyjádřit jako

$$SNR_{max}[dB] = 6,02N + 1,76 + 10\log(OSR), \quad (2.4)$$

kde N je rozlišení převodníku v bitech.

Na obr. 2.4 je zobrazeno tvarování šumu pomocí vhodně zvolené přenosové funkce.



Obr. 2.4: Tvarování kvantizačního šumu pomocí přenosové funkce NTF

Parametr NTF díky svému charakteru filtru typu horní propust ještě více omezil výkon kvantizačního šumu v užitečném pásmu. Do výstupního číslicového signálu se tak dostane pouze šum vyznačený červenou oblastí. Došlo tak k vytažení šumu ven z oblasti užitečných kmitočtů a je možné dosáhnout většího SNR bez nadměrného zvyšování OSR . Nyní pro výkon kvantizačního šumu v užitečném pásmu f_{BW} platí

$$N_q^2 \approx \frac{U_{\varepsilon q}^2 \pi^3}{3OSR^3}, \quad (2.4)$$

kde $U_{\varepsilon q}^2$ je výkon kvantizačního šumu.

2.2 POROVNÁNÍ STRUKTUR MODULÁTORŮ DELTA-SIGMA

Metodou, jak zvýšit SNR bez použití vysokého OSR , je použití struktury vyššího řádu popř. kaskádní struktury MASH nebo použití vícebitového kvantizačního obvodu. Výhody a nevýhody jednotlivých struktur modulátoru $\Delta\Sigma$ shrnuje tabulka 2.1 [4], [5], [6], [7], [8], [9].

Tab. 2.1: Porovnání struktur modulátorů $\Delta\Sigma$

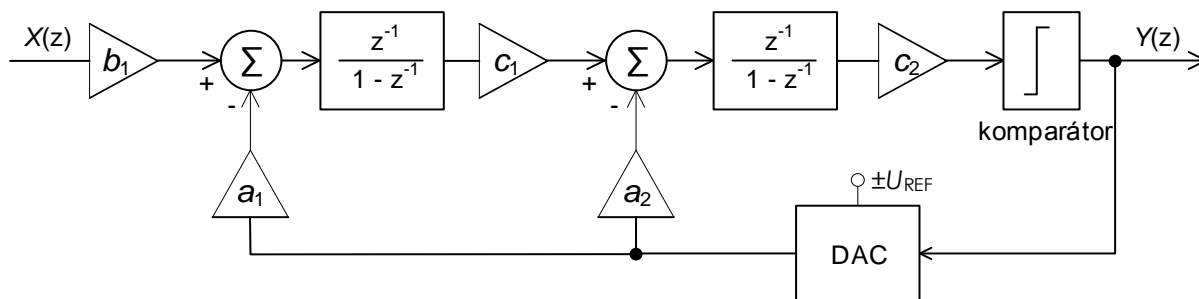
Typ modulátoru	Výhody	Nevýhody
nízký řád jednosmyčkový 1-bitový kvantizátor	<ul style="list-style-type: none"> - stabilita - jednoduchý návrh filtru - jednoduchý obvodový návrh - velký vstupní rozsah 	<ul style="list-style-type: none"> - nízké SNR (nutnost vysokého OSR - větší nároky na vlastnosti dílčích bloků) - vyšší harmonické tóny
vysoký řád jednosmyčkový 1-bitový kvantizátor	<ul style="list-style-type: none"> - vysoké SNR pro přijatelné OSR - menší citlivost na vyšší harmonické tóny - jednoduchý obvodový návrh 	<ul style="list-style-type: none"> - obtížný návrh filtru - problémy se zajištěním stability - maximální vstupní rozsah musí být přizpůsoben stabilitě
kaskádní (MASH)	<ul style="list-style-type: none"> - vysoké SNR pro přijatelné OSR - zajištěná stabilita - maximální vstupní rozsah 	<ul style="list-style-type: none"> - nutnost přesné shody mezi analogovým integrátorem a digitální odčítačkou - nedokonalá shoda vnáší vyšší harmonické tóny do spektra

		- decimační filtr musí mít vícebitový vstup
Vícebitový kvantizátor	- vysoké <i>SNR</i> pro nízké <i>OSR</i> - jednodušší zajištění stability pro modulátory vyšších řádů	- nedokonalá shoda elementů v DAC výrazně zhoršuje linearitu - vyšší harmonické tóny při nedokonalosti DAC - nutnost kalibrace nelinearity DAC (DWA) - decimační filtr musí mít vícebitový vstup - obtížnější obvodový návrh

2.3 NEDOKONALOSTI V MODULÁTORECH DELTA-SIGMA

V obvodu modulátoru se nachází několik zdrojů chyb, které výrazně ovlivňují dosažitelné *OSR*. Jsou jimi například:

- kvantizační šum není bílý. Je to způsobeno korelací se vstupním signálem. Dochází ke vzniku vyšších harmonických tónů,
- tepelný (kT/C) a nízkofrekvenční šum ($1/f$),
- funkce *NTF* není ideální. Negativně ji ovlivňují neshodnosti kapacitorů v integrátorech (chyba koeficientů) a konečné zesílení zesilovačů (*OZ*) limituje schopnost potlačení šumu v užitečném pásmu.



Obr. 2.5: Modulátor $\Delta\Sigma$ s přenosovými koeficienty

Mezi nezanedbatelné zdroje chyb také patří chyby techniky SC, pomocí které jsou nejčastěji modulátory $\Delta\Sigma$ řešeny.

3 CÍLE DIZERTAČNÍ PRÁCE

V kapitole 2.2 byly shrnuty výhody a nevýhody jednotlivých struktur modulátorů $\Delta\Sigma$. Existují aplikace, kde je dostačující nižší rozlišení (kolem 10-ti bitů) a nabízí se tak možnost použít jednosmyčkový modulátor $\Delta\Sigma$ nižšího řádu. Při vyšších amplitudách vstupního signálu však dochází k vytváření dlouhých obdélníků výstupního signálu PDM, kvantizační šum silně koreluje se vstupním signálem a dochází k vytváření vyšších harmonických tónů, které v celém užitečném

pásmu degradují výsledné SNR . Zároveň liché harmonické tóny (především 3. harmonická) výrazně degradují SNR na kmitočtech, kdy se dostávají do užitečného pásma.

Cílem této práce je navrhnout novou strukturu modulátoru $\Delta\Sigma$ nižšího řádu (2. řádu), který nebude trpět problémy s harmonickými tóny a dojde tak ke zvýšení výsledného rozlišení převodníku a také ke zvýšení dynamického rozsahu.

V první části práce je navržena topologie obvodu v prostředí MATLAB SIMULINK. Tato topologie je analyzována a odsimulována s ideálními a po té s reálnými parametry dílčích obvodů včetně neidealit použitých obvodů (operační zesilovače (OZ), komparátory, souběh, chyba přenosových koeficientů).

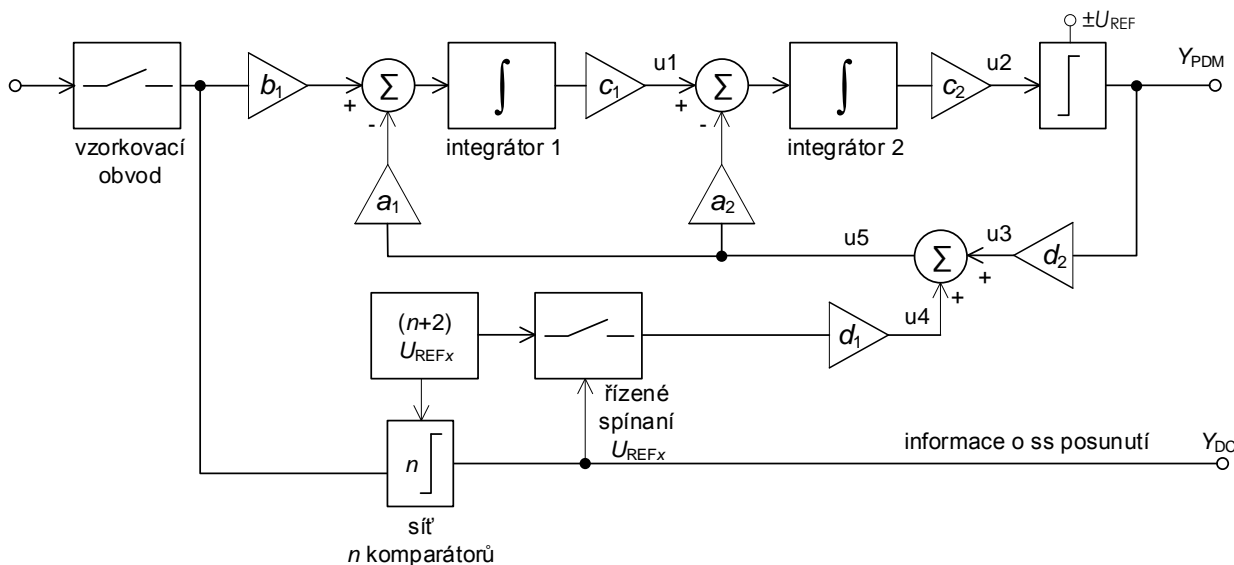
Druhá část práce se zabývá realizací nové struktury modulátoru $\Delta\Sigma$ v reálné technologii. Pro návrh, simulaci a analýzu funkčních bloků a pro návrh topologie je použito návrhového prostředí CADENCE, které využívá technologii ONSEMI I3T25 (350 nm). Součástí návržení digitálního filtru. Výstupem je kompletní převodník $\Delta\Sigma$ obsahující nový modulátor a podpůrné obvody jako proudová reference pro OTA, zdroj nepřekrývajících se hodinových signálů atd. Výsledné parametry jsou porovnány a je zhodnocen přínos nového modulátoru $\Delta\Sigma$ včetně zhodnocení nároků na reálné obvody, jejich přesnost, velikost plochy čipu atd.

4 NOVÁ STRUKTURA MODULÁTORU DELTA-SIGMA

Pokud je amplituda vstupního signálu blízko referenční hodnotě napětí DAC a kmitočet vstupního signálu je nízký, dojde k vytváření dlouhých obdélníků s krátkými pulsy do úrovně L . Zároveň kvantizační šum koreluje se vstupním signálem. Tento obdélníkový signál má za následek vytváření vyšších harmonických tónů vstupního signálu ve výstupním spektru. Nová struktura modulátoru $\Delta\Sigma$ nedovoluje vytváření dlouhých obdélníků výstupním signálem PDM a zároveň snižuje velikost kvantizačního šumu v užitečném pásmu.

4.1 PRINCIP NOVÉ STRUKTURY MODULÁTORU DELTA-SIGMA

Princip nové struktury modulátoru $\Delta\Sigma$ spočívá v tom, že výstupní signál PDM modulátoru Y_{PDM} ve zpětnovazební smyčce nepracuje s maximální amplitudou v rozsahu $\pm U_{REF}$, ale pouze s amplitudou určenou koeficientem d_2 (obr. 4.1). Do plného rozsahu jsou k signálu PDM připočítávány referenční hodnoty napětí U_{REFx} , jejichž počet a hodnota závisí na počtu komparátorů v obvodu detekce stavu vstupního signálu.



Obr. 4.1: Modulátor $\Delta\Sigma$ s přenosovými koeficienty

Na vstupu modulátoru je vzorkovací obvod, který během vzorkovací periody T udržuje na výstupu konstantní hodnotu napětí. Tento navzorkovaný signál je přiveden na vstup modulátoru $\Delta\Sigma$ a také na vstup sítě o počtu n komparátorů. Tyto komparátory signalizují stavy, kdy vstupní signál překročí jednotlivé referenční hodnoty U_{REFx} . Výstupní signál z komparátorů Y_{DC} řídí spínání stejných referenčních hodnot U_{REFx} , které jsou poté přičteny k signálu PDM. Zároveň je Y_{DC} odesílán do digitálního filtru.

Platí

$$U_{u3} = \pm U_{REF} \cdot d_2, \quad (4.1)$$

kde U_{u3} je napětí v uzlu $u3$ (obr. 2.5).

Signál, který je přiváděn zpětnou smyčkou na vstupy integrátorů a odčítán od vstupního signálu je dán

$$U_{u5} = d_1 U_{REFx} + U_{u3}, \quad (4.2)$$

kde U_{u5} - napětí v uzlu $u5$, U_{REFx} - referenční napětí odpovídající hodnotě vstupního signálu.

K PDM signálu je tedy přičtena stejnosměrná referenční hodnota.

Pro koeficienty d_1 a d_2 musí platit

$$d_1 + d_2 = 1. \quad (4.3)$$

Při splnění této podmínky přenosové funkce STF a NTF s koeficienty a_1 , b_1 , c_1 , $c_2 = 1$, $a_2 = 2$ jsou

$$STF(z) = z^{-2}, \quad (4.4)$$

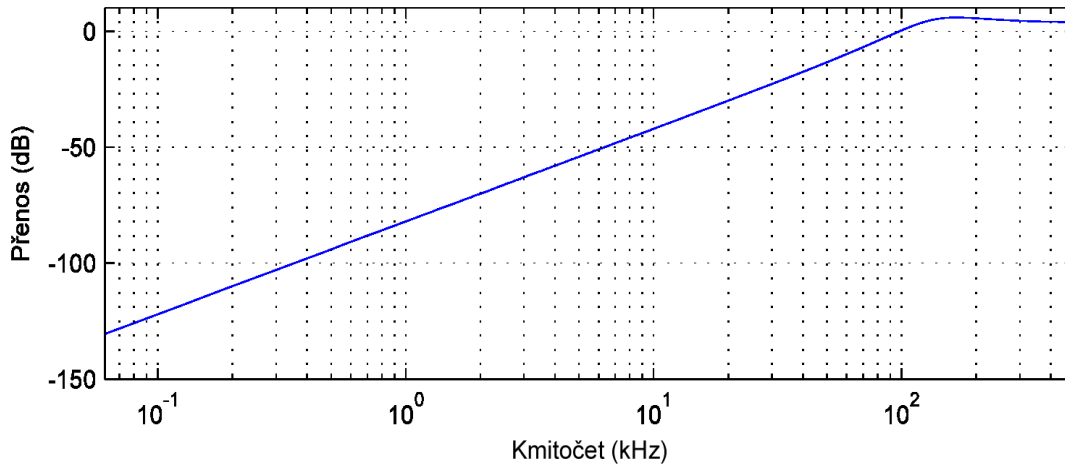
$$NTF(z) = (d_2 + d_1 U_{REFx}) \frac{(1 - z^{-1})^2}{(1 - z^{-1} + 0,5z^{-2})}. \quad (4.5)$$

Přenosová funkce STF zůstává stejná jako u klasického modulátoru 2. řádu. Přenosová funkce NTF je v užitečném pásmu stejná jako u klasického modulátoru, avšak je násobena hodnotou danou $d_2 + d_1 U_{REFx}$. Pro minimální amplitudy vstupního signálu, kde $U_{REFx} = 0$, lze psát

$$NTF(z) = d_2 \frac{(1 - z^{-1})^2}{(1 - z^{-1} + 0,5z^{-2})}. \quad (4.6)$$

Pro malé amplitudy vstupního signálu je tedy kvantizační šum $1/d_2$ krát menší. Díky tomuto faktoru jsou detekovatelné nižší amplitudy vstupního signálu, tedy dynamický rozsah modulátoru vzroste.

Grafické vyjádření rovnice (4.6) je na obr. 2.6.



Obr. 4.2: Přenosová funkce NTF nového modulátoru $\Delta\Sigma$

Obecně lze přenosové funkce STF a NTF vyjádřit

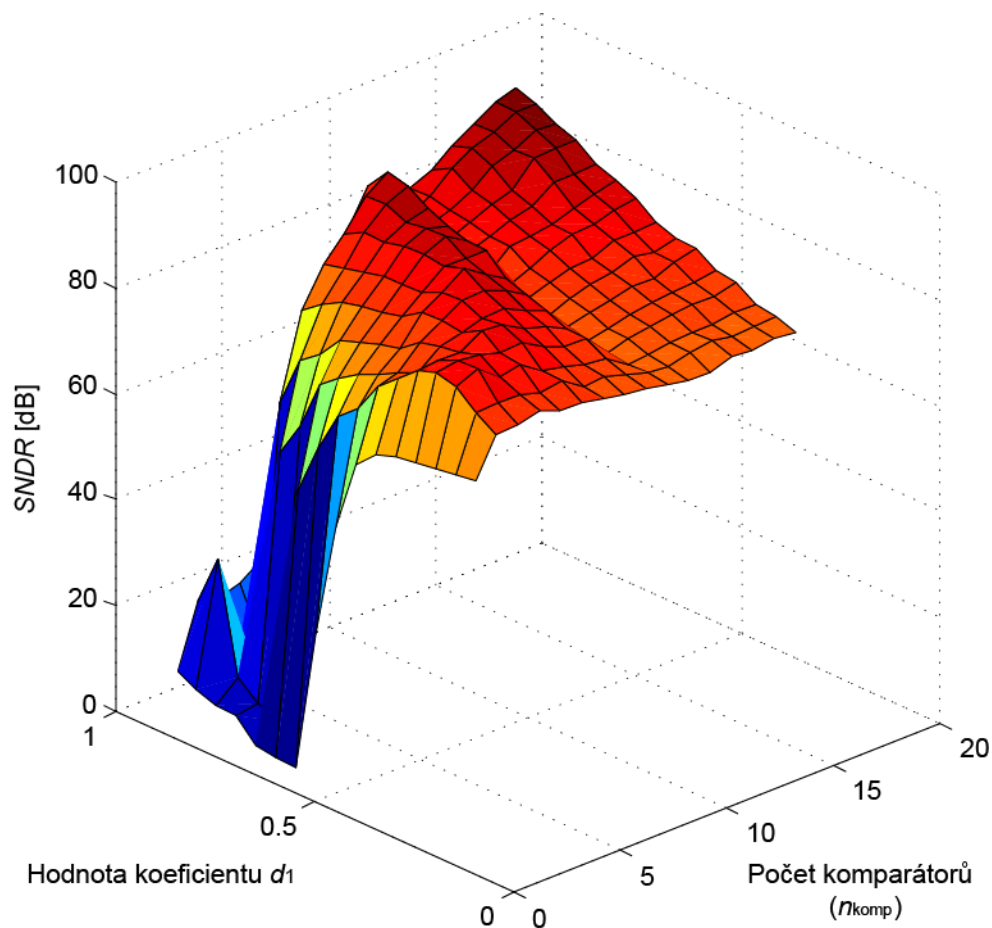
$$STF(z) = \frac{b_1 c_1 c_2}{z^2 - z(2 - a_2 c_2) - a_2 c_2 + a_1 c_1 c_2 + 1}, \quad (4.7)$$

$$NTF(z) = \frac{(d_2 + d_1 U_{REFx}) z^2 (z - 1)^2}{(z^2 - z + 0,5)(z^2 - z(2 - a_2 c_2) - a_2 c_2 + a_1 c_1 c_2 + 1)}. \quad (4.7)$$

Obecně lze říci, že stabilita systému modulátoru 2. řádu je zajištěna do té doby, dokud velikost koeficientu a_1 je menší než 1. Velikostí koeficientu a_2 s omezením na a_1 lze významně ovlivnit dosažitelné $SNDR$. K nalezení optimální kombinace obou koeficientů lze dojít opakovanými simulacemi pro výpočet $SNDR$.

4.2 VOLBA KOEFICIENTŮ d_1 , d_2 A POČET KOMPARAČNÍCH HLADIN

Důležitým návrhovým kompromisem je volba počtu komparačních hladin v paralelním zpracování signálů a také volba koeficientů d_1 a d_2 . Rovnice 4.6 pro malé vstupní signály ukazuje, že kolikrát nižší bude koeficient d_2 , tolikrát bude menší kvantizační šum. Nižší velikost koeficientu však znamená nutnost použití vyššího počtu komparátorů, což s sebou přináší složitější obvodové řešení a také větší výslednou plochu na čipu. Grafické znázornění vlivu počtu komparátorů, koeficientu d_1 na $SNDR$ ukazuje obr. 4.3. Uvedené hodnoty $SNDR$ jsou simulovány pro modulátor $\Delta\Sigma$ 2. řádu s $OSR = 100$ a šířkou užitečného pásma $f_{BW} = 5$ kHz.



Obr. 4.3: Závislost $SNDR$ na koeficientu d_1 a na počtu komparátorů

Cílem této práce je vytvořit novou strukturu modulátoru $\Delta\Sigma$ 2. řádu, který bude mít jeho kladné vlastnosti, zároveň ale budou kompenzovány některé jeho nevýhody. Proto se jako vhodný kompromis nabízí volba nižšího počtu komparátorů, kdy narůstá obvodová složitost minimálně a je dosaženo lepších vlastností než u klasického modulátoru $\Delta\Sigma$ 2. řádu. Pro další simulace a ověření správné činnosti obvodu bylo zvoleno

$$d_1 = 0,3, \quad (4.8)$$

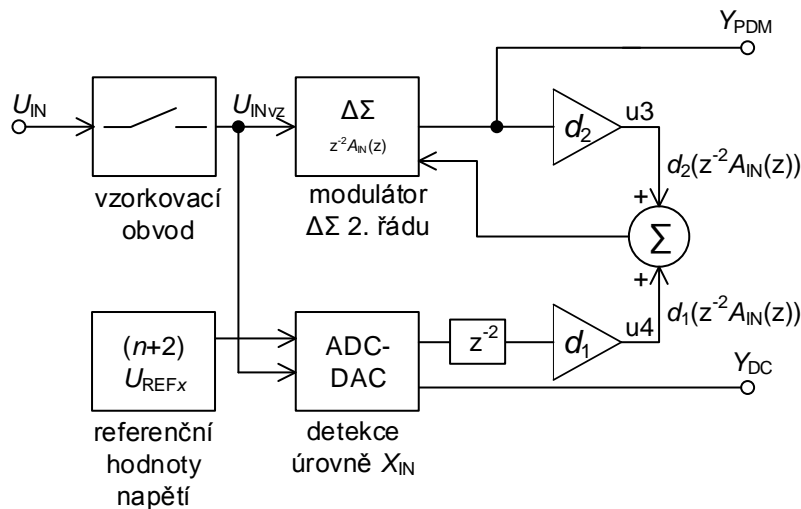
$$n_{\text{komp}} = 6, \quad (4.10)$$

kde n_{komp} je počet komparátorů v obvodu detekce překročení jednotlivých referenčních hodnot. Při těchto hodnotách lze dosáhnout $SNDR = 85$ dB.

4.3 VLIV NELINEARITY KOMPARAČNÍ SÍTĚ A HODNOT U_{REFx}

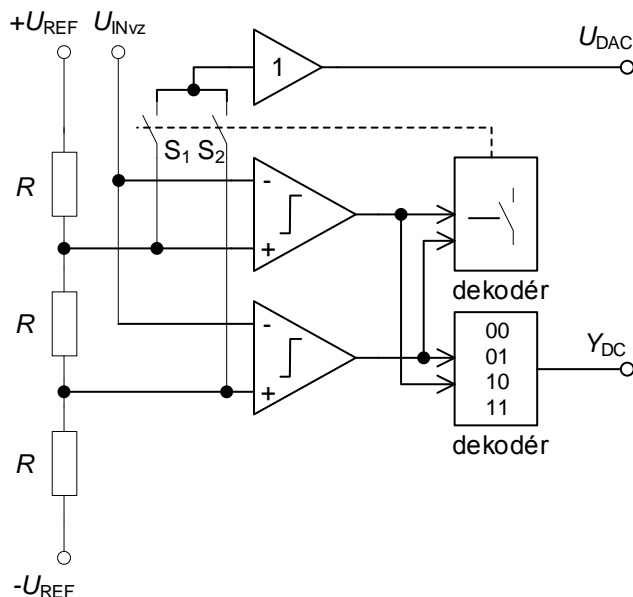
Obvod komparační sítě s následným spínáním referenčních hodnot napětí lze interpretovat jako převod AD a DA. Nastává tedy otázka problematiky nelinearity DAC, se kterým se potýkají modulátory $\Delta\Sigma$ s vícebitovým kvantizátorem, kdy je analogový signál převeden na digitální, odeslán do digitálního filtru, následně je zpět převáděn do analogové podoby a přiveden na vstupy integrátorů. Zkreslení nastává, pokud signál z komparátorů, popsany digitálně, neodpovídá zpětně

převedenému analogovému signálu. Digitální filtr tak počítá s hodnotou, která je v obvodu modulátoru $\Delta\Sigma$ ve skutečnosti jiná. Výhodou nové struktury je paralelní činnost ADC a DAC s modulátorem $\Delta\Sigma$. Časové zpoždění, způsobené zpracováním vstupního signálu komparátory v ADC a následný převod v DAC, může být větší, aniž by docházelo ke zvyšování časového zpoždění *STF* a *NTF*. To by mělo za důsledek obtížnější zajištění stability. Situace je znázorněna na obr. 4.4.



Obr. 4.4: Časová synchronizace v obvodu nového modulátoru $\Delta\Sigma$

U modulátoru $\Delta\Sigma$ 2. řádu musí být zpoždění paralelní větve složené z ADC a DAC z^{-2} . Toto zpoždění dává prostor k použití efektivní obvodové metody, jak eliminovat příčinu neshodnosti digitální a analogové úrovně.



Obr. 4.5: Zapojení ADC a DAC pro $n_{komp} = 2$

Komparační úrovně U_{REFx} jsou vytvořeny odporovým děličem, na jehož vstupy jsou připojeny referenční napětí $\pm U_{REFx}$ použité současně v 1-bitovém kvantizátoru modulátoru $\Delta\Sigma$. Vstupní signál je porovnáván s komparačními hodnotami. Komparátory pak signalizují překročení

jednotlivých referenčních úrovní U_{REFx} a následně v dalším cyklu sepnou spínač, který připojí jednu z referenčních úrovní U_{REFx} na vstup oddělovacího jednotkového zesilovače, jehož výstup je již analogový signál. Případné nelineární rozdělení hodnot U_{REFx} se projeví jak v prahových úrovních ADC, tak v DAC. Digitální výstupní signál Y_{DC} tedy bude i při neshodnosti rezistorové (nelinearity) sítě odpovídat napěťové úrovni U_{DAC} . Tímto je eliminován vliv vstupní napěťové nesymetrie komparátorů. Vliv INL (integrální nelinearita) DAC se stejně jako u modulátorů $\Delta\Sigma$ s vícebitovým DAC projeví harmonickými ve výstupním spektru signálu. Paralelní činnost detekce úrovně s modulátorem $\Delta\Sigma$ dává prostor k použití obvodového zapojení, které minimalizuje vliv INL (obvodový návrh se nachází v další kapitole zabývající se řešením obvodu na tranzistorové úrovni). Zároveň je tato chyba přenášena koeficientem zesílení $d_1 = 0,3$. Její vliv je tak touto strukturou výrazně potlačen. V tabulce 4.1 jsou porovnány struktury využívající modulátor $\Delta\Sigma$ 2. řádu. Vícebitový kvantizér využívá 6 komparátorů, stejně jako nová struktura modulátoru $\Delta\Sigma$. V závorce jsou uvedeny hodnoty $SNDR$ zahrnující INL DAC - hodnota koeficientu chyby sesouhlasení dvou elementů (dále bude uváděno koeficientu souběhu) technologie ONSEMI I3T25 $A_R = 2,45 \text{ } \mu\text{m}$.

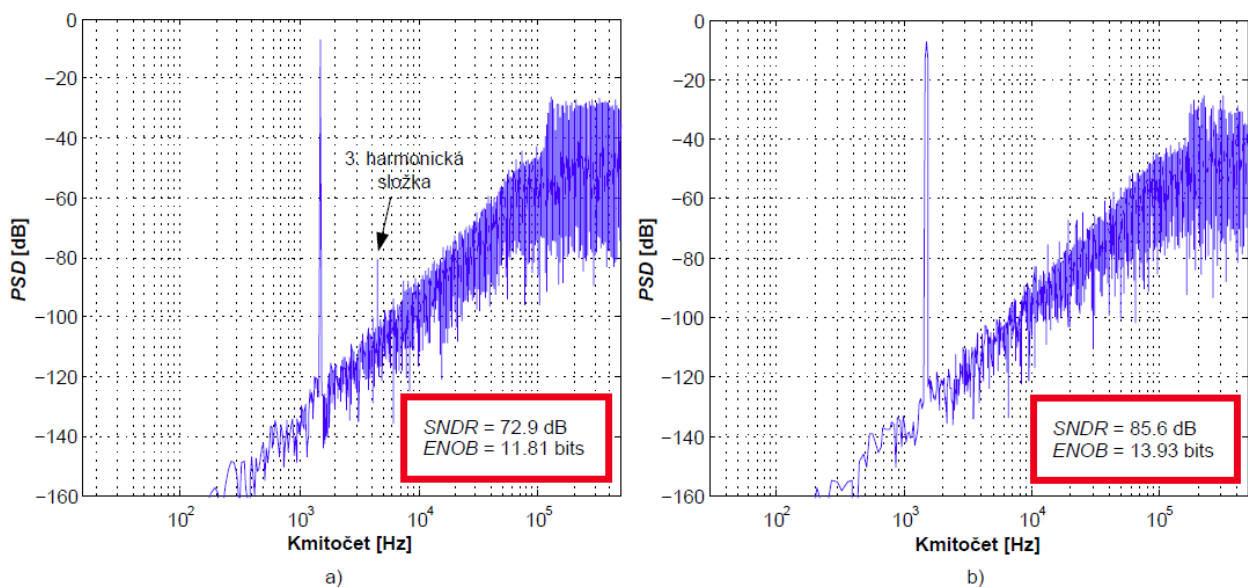
Tab. 4.1: Porovnání základních struktur modulátorů $\Delta\Sigma$

	s 1-bitovým kvantizátorem	s vícebitovým kvantizátorem	nová struktura
$SNDR$ [dB]	72,98	81,7 (73,64)	85,6 (84,8)

4.4 SIMULACE A OVĚŘENÍ ČINNOSTI NOVÉHO MODULÁTORU DELTA-SIGMA 2. ŘÁDU

Navržená struktura nového modulátoru $\Delta\Sigma$ byla simulována a ověřena její správná funkce v programu MATLAB. Výsledky simulace jsou porovnány s klasickým modulátorem $\Delta\Sigma$. Uvedený model zahrnuje možnost definovat reálné vlastnosti dílčích obvodů a simulovat jejich vliv na výsledné parametry. Popis těchto modelů vychází z kapitoly 2. Schéma zapojení je totožné s obr. 4.1. Parametry modulátoru $\Delta\Sigma$ jsou $OSR = 100$, $f_{BW} = 5 \text{ kHz}$, $d_1 = 0,3$.

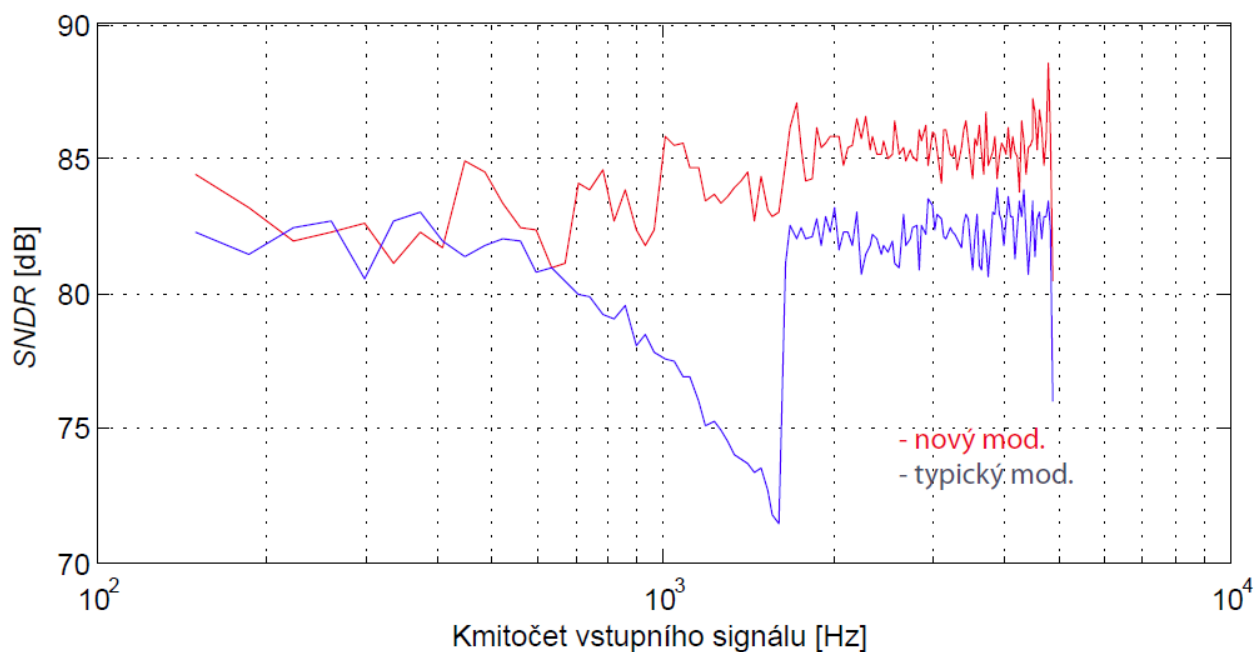
Rozložení PSD pro kmitočet vstupního signálu přibližně 1,5 kHz (tedy kmitočet, kdy se 3. harmonická složka dostává do užitečného pásma) ukazuje Obr. 4.6.



Obr. 4.6: Rozložení *PSD* pro a) typický a b) nový modulátor $\Delta\Sigma$

Porovnáním obr. 4.6a a obr. 4.6b je zřejmé, že došlo k potlačení 3. harmonické složky. Výsledné *SNDR* je na tomto kritickém kmitočtu o 12,7 dB vyšší. Zároveň je dosaženo vyššího *SFDR*.

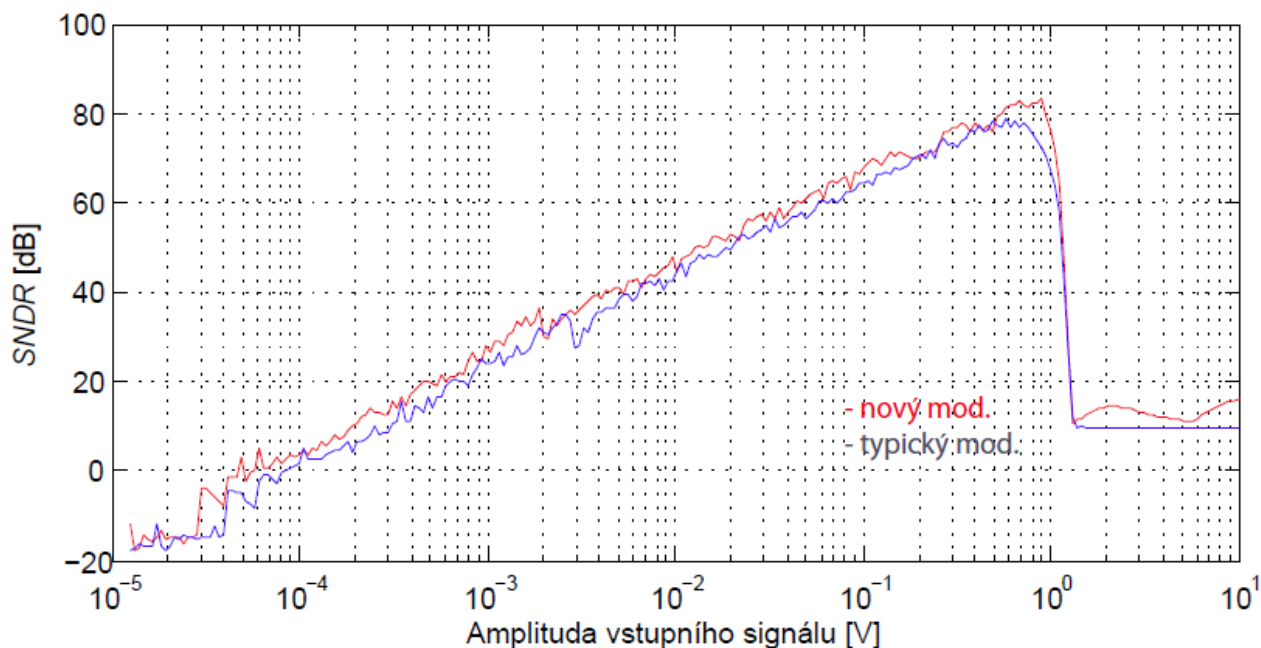
Obr. 4.7 znázorňuje závislost *SNDR* na kmitočtu vstupního signálu.



Obr. 4.7: Závislost *SNDR* na kmitočtu vstupního signálu

Porovnáním závislosti navrženého a typického modulátoru $\Delta\Sigma$ byl potlačen vliv 3. harmonické složky a tedy nedochází k propadu *SNDR* na kmitočtu 1,5 kHz. Nejhorší hodnota *SNDR* u nového modulátoru $\Delta\Sigma$ je 81,2 dB (*ENOB* = 13,16), u typického *SNDR* = 71,8 dB (*ENOB* = 11,63).

Vstupní dynamický rozsah lze odečíst z grafu závislosti *SNDR* na vstupní amplitudě (obr. 4.8). Pro tuto simulaci byl použit vstupní kmitočet 1,5 kHz.



Obr. 4.8: Závislost *SNDR* na amplitudě vstupního signálu

Vstupní dynamický rozsah vzrostl téměř o 5 dB.

V této kapitole byla prezentovaná nová struktura modulátoru $\Delta\Sigma$. Její výhodou je jednoduché obvodové řešení, stabilita, netrpí problémy vyšších tónů jako typický modulátor $\Delta\Sigma$ nižšího řádu, velký vstupní rozsah, vyšší *SFDR*. Nevýhodou je nutnost vyššího *OSR* a větší plocha čipu.

5 PŘEVODNÍK AD TYPU DELTA-SIGMA OBSAHUJÍCÍ NOVÝ MODULÁTOR

V předchozí kapitole byla prezentována nová struktura modulátoru $\Delta\Sigma$ 2. řádu. Byla provedena řada simulací v programu MATLAB s ideálními modely a později i s modely zahrnující reálné vlastnosti dílčích bloků. V další fázi je navržen a otestován ADC typu $\Delta\Sigma$ v reálné technologii ONSem i I3T25, který obsahuje nový modulátor $\Delta\Sigma$ 2. řádu a také digitální filtr. Na závěr budou vyhodnoceny jeho výhody a nevýhody a porovnány s ostatními strukturami modulátorů $\Delta\Sigma$. Pro návrh, simulaci a tvorbu topologie čipu je použit program Cadence. Správná funkce všech dílčích částí je ověřena řadou simulací včetně rozptylu výrobního procesu (tzv. corner analýza). Výstupy simulací při typickém procesu a teplotě 27 °C se nacházejí přímo v textu, doplňující simulace jako jsou teplotní a procesní rozptyl, analýza přizpůsobení (dále matching analýza) a další se nacházejí v přílohách práce.

Realizovaný obvod v technologii ONSem i I3T25 používá napájení $U_{DD} = 3,3$ V, $U_{SS} = 0$ V. Protože obvod má nesymetrické napájení, je analogová zem posunuta mezi U_{DD} a U_{SS} na $U_{AGND} = 1,65$ V. Základní vlastnosti nového převodníku typu $\Delta\Sigma$ shrnuje tab. 5.1.

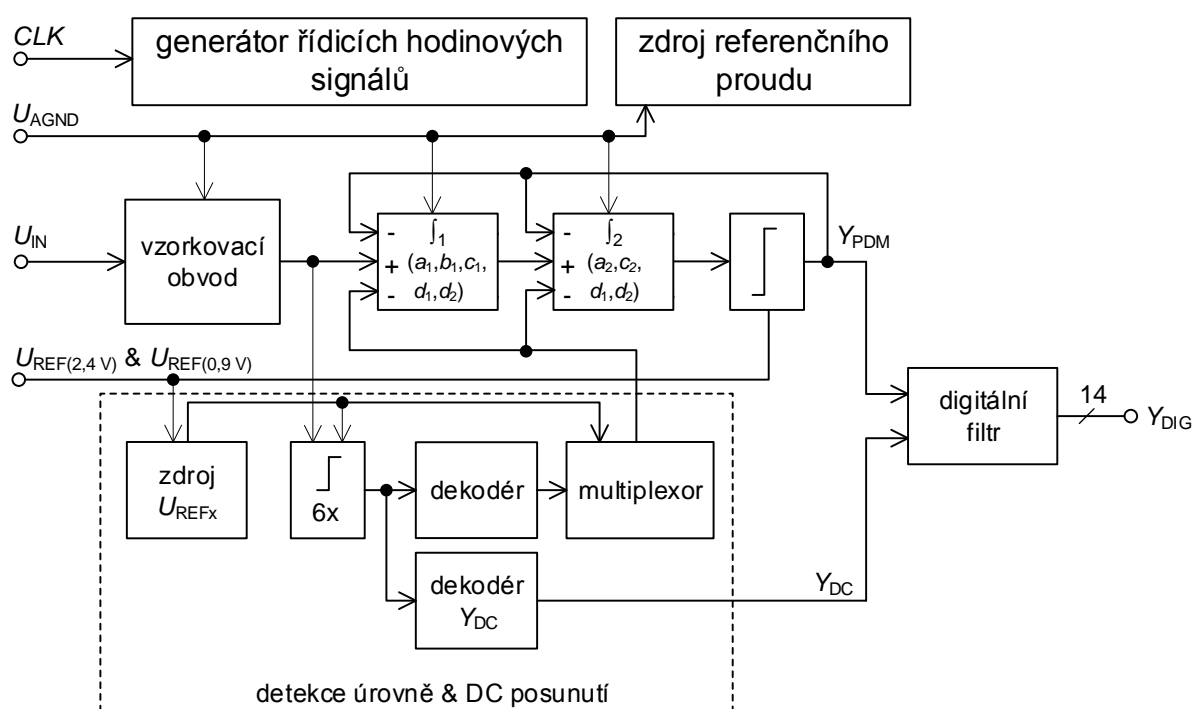
Tab. 5.1: Základní vlastnosti nového převodníku typu $\Delta\Sigma$

Parametr	Zkratka	Hodnota
technologie	-	ONSem i I3T25 (350 nm)
kladné napájecí napětí	U_{DD}	3,3 V
záporné napájecí napětí	U_{SS}	0 V

napětí analogové země	U_{AGND}	1,65 V
vzorkovací kmitočet	f_{VZ}	1 MHz
šířka užitečného pásma	f_{BW}	5 kHz
poměr převzorkování	OSR	100
efektivní počet bitů (v celém f_{BW})	$ENOB$	> 12
maximální amplituda vstupního signálu	U_{INmax}	1 V

Teoreticky je možné s tímto modulátorem dosáhnout $SNR = 87$ dB

Kompletní blokové schéma ADC ukazuje obr. 5.1. Kromě dílčích bloků samotného modulátoru $\Delta\Sigma$ se zde nacházejí podpůrné obvody, jako jsou zdroj referenčního proudu pro OZ a komparátory, generátor řídicích hodinových signálů pro techniku SC použitou v integrátorech, ve vstupním vzorkovacím obvodu a dále pro časování komparátorů. Dva výstupní digitální signály jsou zpracovány a šum modulátoru $\Delta\Sigma$ mimo užitečné pásmo je odfiltrován v obvodu digitálního filtru typu dolní propust.



Obr. 5.1: Blokové schéma navrženého převodníku $\Delta\Sigma$

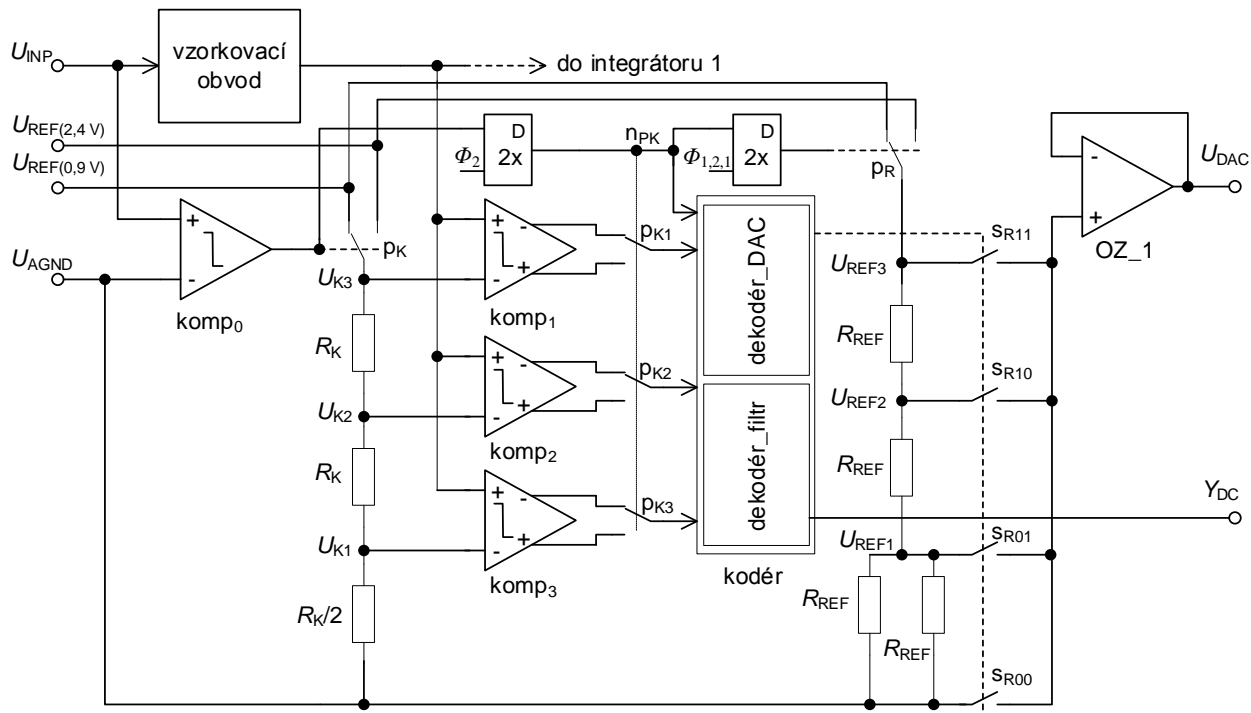
Signály CLK , U_{AGND} , $U_{REF(2,4V)}$ a $U_{REF(0,9V)}$ jsou přivedeny z obvodů mimo čip modulátoru. Princip funkce obvodu byl vysvětlen v kapitole 3.

5.1 DETEKCE ÚROVNĚ A STEJNOSMĚNÉ POSUNUTÍ

Následující kapitola popisuje návrh bloku, jehož funkcí je detekovat, zda navzorkovaný vstupní signál překročil některou z referenčních hodnot napětí. Po té přivede na výstup U_{DAC} referenční hodnotu napětí odpovídající hodnotě, kterou vstupní navzorkovaný signál překročil. Požadavkem na tento obvod je především přesnost výstupní analogové úrovně. Schéma obvodu ukazuje obr. 5.2.

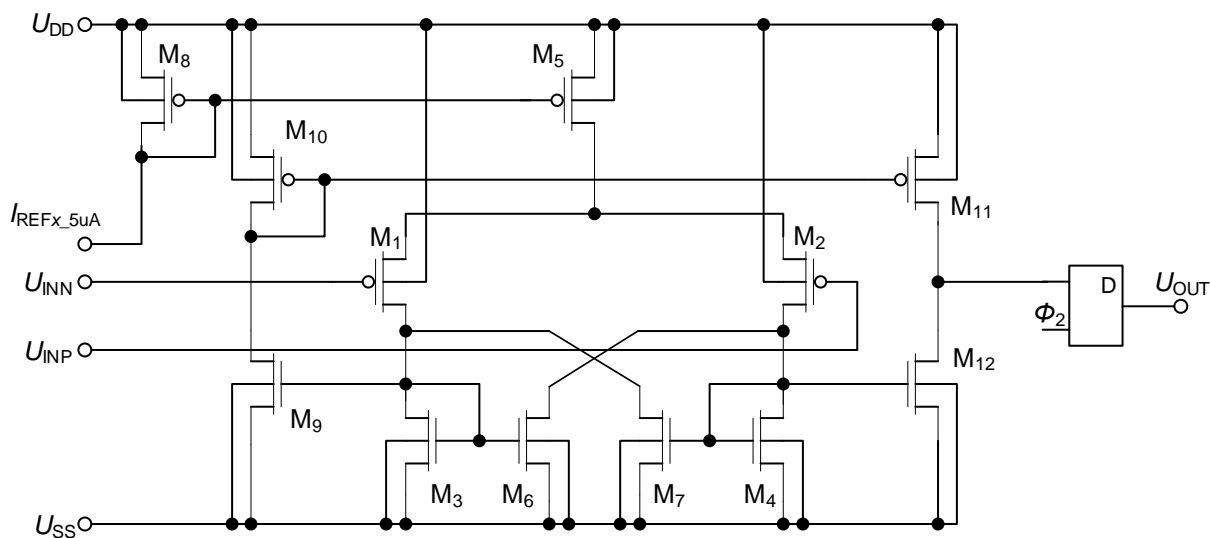
Obvod využívá tři referenčních napětí - U_{AGND} , $U_{REF(2,4V)}$ a $U_{REF(0,9V)}$. Jak bylo zmíněno v kapitole 4, pro návrh nového modulátoru bylo zvoleno $n_{komp} = 6$, ale v obvodu na obr. 5.2 jsou pouze 3 komparátory. Byla navržena obvodová technika přepínání referenčních signálů $U_{REF(2,4V)}$

a $U_{REF(0,9\text{ V})}$ na rezistorový dělič tak, že dojde ke snížení potřebného počtu komparátorů na polovinu, stejně tak rezistorů v rezistorové síti. Výhodou je nejen úspora plochy na čipu, ale také možnost zvolit větší hodnoty rezistorů a tím dosáhnout jejich lepší souběh a také linearitu celého obvodu.



Obr. 5.2: Blokové schéma navrženého převodníku $\Delta\Sigma$

Na vstupu obvodu je komparátor ($komp_0$), který pracuje se vstupním spojitým signálem U_{IN} . Tento signál porovnává s analogovou zemí (U_{AGND}) a podle toho nastaví přepínače p_K a p_R . Ty přepínají na rezistorovou síť referenční hodnoty $U_{REF(2,4\text{ V})}$ nebo $U_{REF(0,9\text{ V})}$. Aby při malých amplitudách vstupního signálu kolem prahové úrovně U_{AGND} nedocházelo k neustálému překlápění komparátoru, je zavedena do jeho vnitřní struktury hystereze. Velikost prahové úrovně s hysterezí může teoreticky být až $1,65\text{ V} \pm 0,15\text{ V}$ - tedy po nejbližší prahovou úroveň U_{K1} (1,8 V resp. 1,5 V). Schéma komparátoru se zavedenou vnitřní hysterezí ukazuje obr. 5.3.

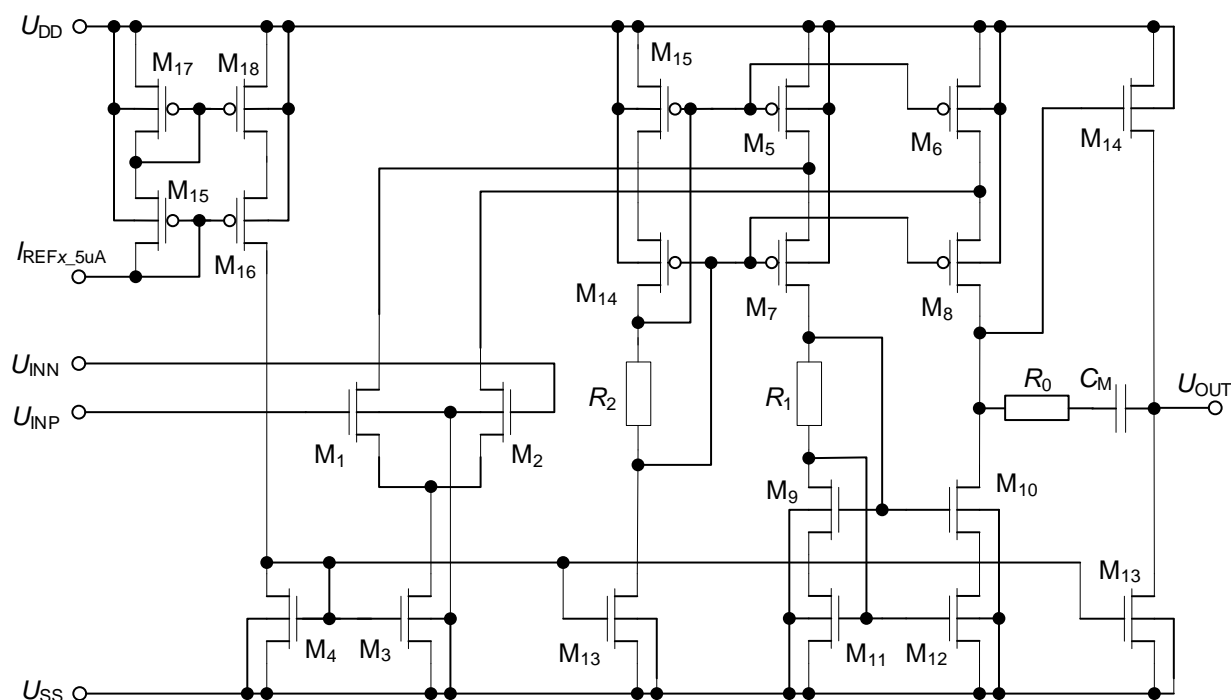


Obr. 5.3: Navržený obvod komparátoru se zavedenou hysterezí

5.2 ZDROJ REFERENČNÍCH NAPĚTÍ A VÝSTUPNÍ ODDĚLOVACÍ ZESILOVAČ

Poslední část zpracování signálu v bloku detekce a posunu stejnosměrné úrovně se skládá z rezistorového děliče pro vytvoření referenčních napětí. U tohoto obvodu je důležitá přesnost výstupního napětí. Proto mají rezistory velké rozměry, aby bylo možné dosáhnout jejich dobrého sesouhlasení. Nevýhodou velkých rezistorů je jejich vysoký odpor a malý proud tekoucí přes tento rezistorový dělič. Při přepínání referenčních napětí z děliče na vstup oddělovacího zesilovače musí nejdříve proud z děliče nabít parazitní kapacitu hradla vstupního tranzistoru oddělovacího zesilovače. Protože je signál U_{DAC} v integrátorech odebírán během obou period hodinového signálu, je doba nabití popř. vybití vstupní parazitní kapacity kritická. Proto byl využit namísto rezistoru HIPOR s odporem $R = 1 \text{ k}\Omega/\square$ a koeficientem souběhu $A_R = 2,45 \text{ } \mu\text{m}$ rezistor PPOR s odporem $R = 240 \text{ }\Omega/\square$ a koeficientem souběhu $A_R = 2,5495 \text{ } \mu\text{m}$. Nyní lze zajistit dostatečný souběh a zároveň dostatečně veliký proud. Poslední rezistor $R_{REF}/2$ má poloviční velikost, ale je rozdělen mezi dva paralelně zapojené rezistory (obr. 5.2). Pro navržené rezistory $R_{REF} = 14,4 \text{ k}\Omega$, $W = 5 \text{ }\mu\text{m}$ je chyba souběhu $154 \text{ }\mu\text{V}$ (3σ).

Protože tyto napětí budou přivedeny na integrátory, kde budou nabíjet a vybíjet odpovídající kapacity, nachází se na výstupu oddělovací OTA. Požadavky na tento OTA jsou především dostatečný vstupní rozsah, linearita, SR a malá parazitní kapacita C_P hradel vstupního diferenčního páru.

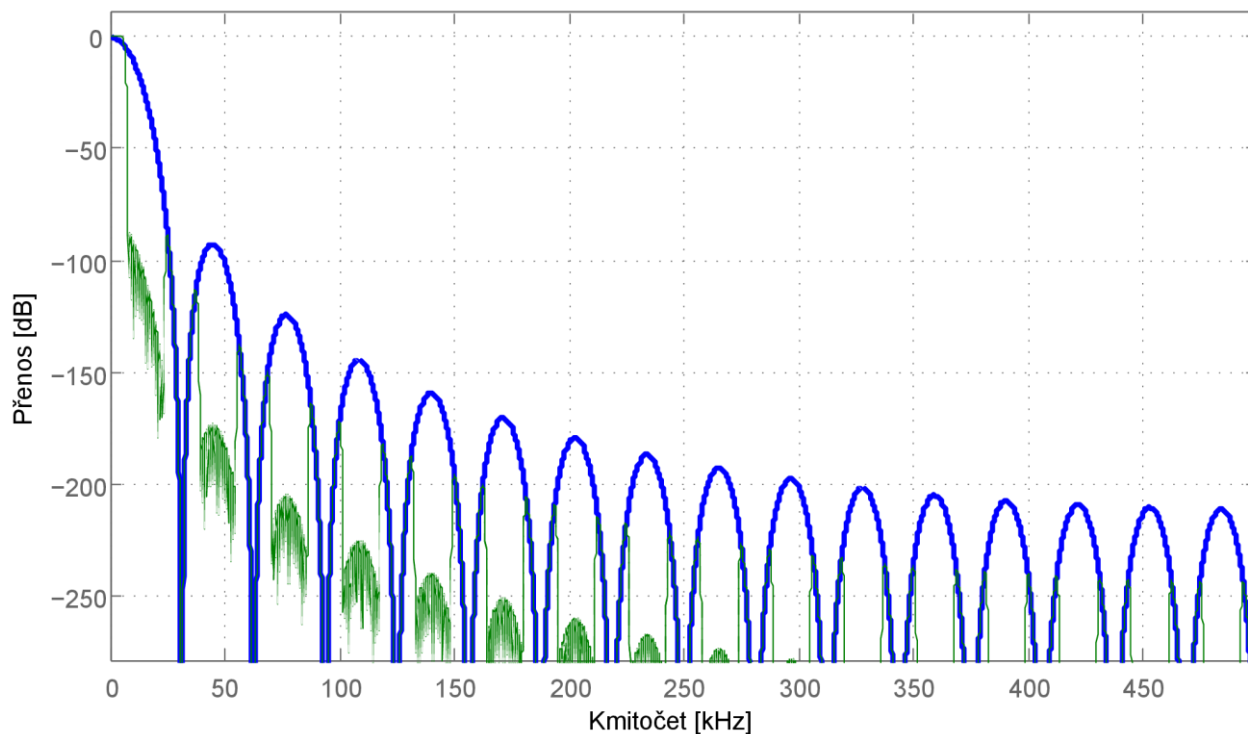


Obr. 5.4: Oddělovací OTA

5.3 DIGITÁLNÍ FILTR

Při návrhu byl použit celočíselný datový typ s pevnou desetinnou čárkou (FP - fixed-point). Návrh s reálnými čísly (double) nebyl možný z důvodu rozsahu čísel, které se používají ve filtru CIC (je vyžadovaná přesnost až 43 bitů).

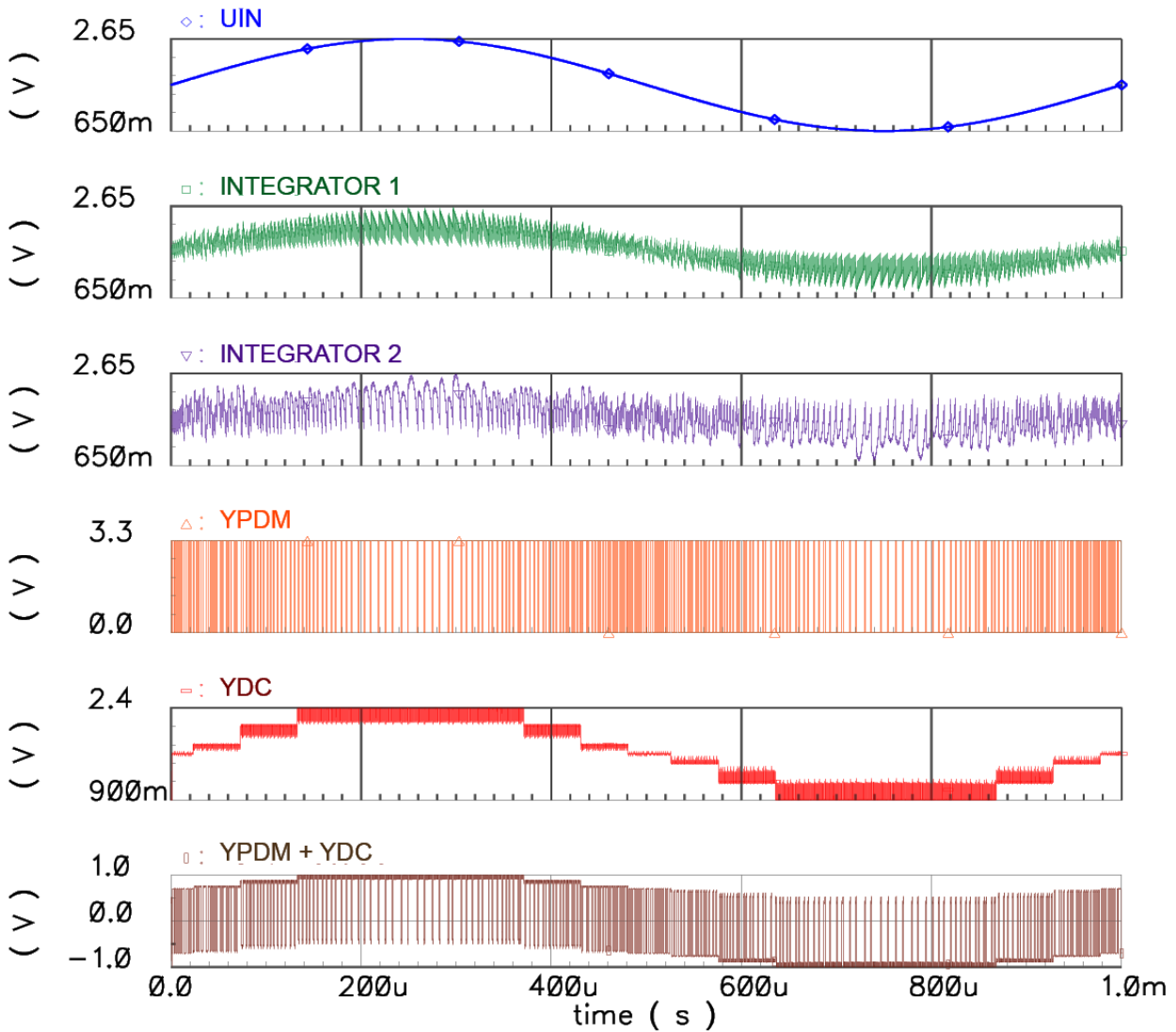
Digitální filtr se skládá ze dvou filtrů zapojených za sebou (kaskádně). První filtr tvoří decimační filtr CIC (kaskádně integrovaný comb filtr), druhý kompenzační filtr FIR (filtr s konečnou impulzní odezvou). Filtr je navržen pro převodník s rozlišením 14 bitů. Celý návrh digitálního filtru probíhal v prostředí MATLAB na základě vstupních požadavků.



Obr. 5.5: Kmitočtová charakteristika filtru CIC (modrá) a kaskády filtrů CIC a FIR (zelená)

5.4 SIMULACE NAVRŽENÉHO MODULÁTORU DELTA-SIGMA

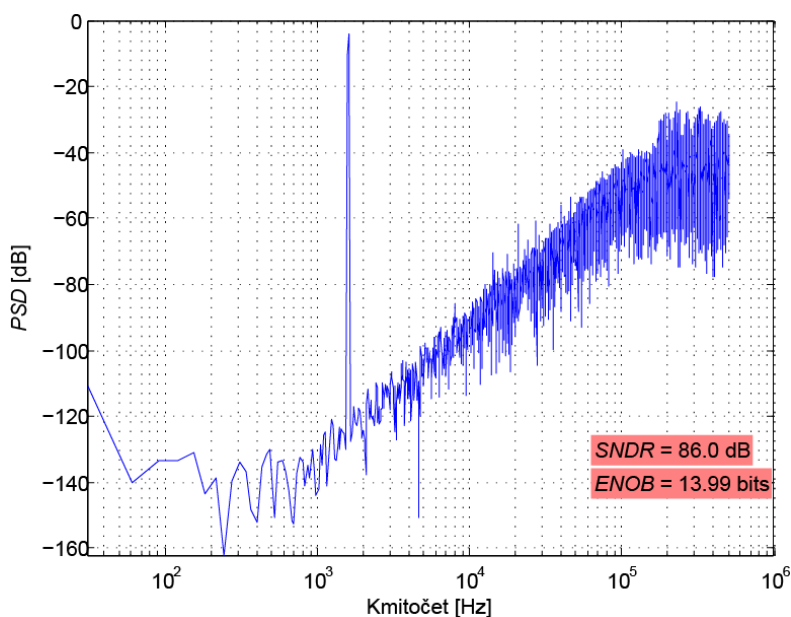
V této kapitole jsou vyhodnoceny parametry navrženého modulátoru v na tranzistorové úrovni v technologii I3T25. Parametry jsou ověřeny pro celý rozsah pracovních teplot (průmyslový teplotní rozsah $-40\text{ }^{\circ}\text{C}$ až $+85\text{ }^{\circ}\text{C}$) a pro maximální procesní odchylky. Tím bude zajištěno, že navržený modulátor $\Delta\Sigma$ má požadované vlastnosti za všech daných pracovních podmínek a rozptylů výroby čipu. Časové simulace probíhaly, stejně jako simulace v programu MATLAB, pro 2^{15} vzorků. Jedna tato simulace trvala v prostředí Cadence přibližně 6 hodin. Z časové náročnosti simulací bylo proto vybráno jen několik bodů a to především ty, které se ukázaly v simulacích v programu MATLAB jako kritické. Je nutné poznamenat, že u všech výstupních průběhů byla od signálu odečtena systematická napěťová nesymetrie oddělovacího OTA $75\text{ }\mu\text{V}$.



Obr. 5.6: Průběhy napětí v jednotlivých uzlech navrženého modulátoru $\Delta\Sigma$ v závislosti na čase

Na obr. 5.6 jsou ukázány průběhy v jednotlivých uzlech navrženého modulátoru. Stejně průběhy z vytvořeného modelu s reálnými modely v programu MATLAB jsou na obr. 5.7. Poslední průběh výstupního signálu $Y_{PDM} + Y_{DC}$ se v obvodu nenachází v žádném uzlu, protože sčítání těchto signálů je realizováno přímo v integrátorech. Uvedený průběh byl vytvořen pomocí ideální sčítačky, která není součástí obvodu modulátoru $\Delta\Sigma$.

Parametr PSD navrženého modulátoru na tranzistorové úrovni pro typický proces je na obr. 5.6. Vstupní parametry jsou $U_{IN} = 0,9$ V a $f_{IN} = 1,6$ kHz. Uvedené parametry byly zvoleny pro danou hodnotu U_{IN} , protože je pro tuto amplitudu dosaženo $SNDR_p$ tedy maximální hodnota $SNDR$. Při zvoleném kmitočtu f_{IN} se případná 3. harmonická složka dostane do užitečného pásma a bude vidět její vliv na výsledné $SNDR$.

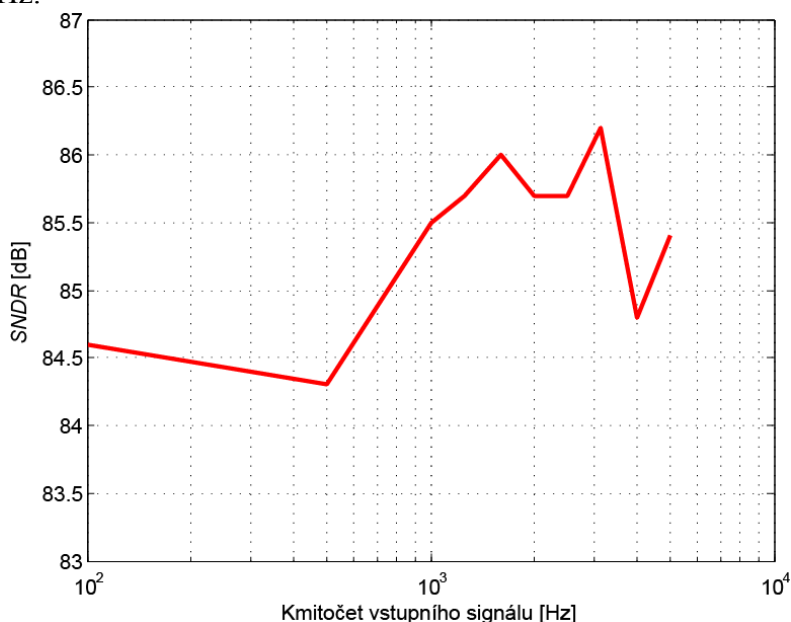


Obr. 5.7: Průběh PSD navrženého modulátoru $\Delta\Sigma$ pro typický proces

Dosažené $SNDR$ je 86 dB, tedy o 0,4 dB více, než bylo odsimulováno na reálném modelu modulátoru $\Delta\Sigma$ v programu MATLAB. V modelu v programu MATLAB se počítalo s minimálními potřebnými parametry dílčích obvodů (GBW OTA apod.), ale parametry navržených obvodů byly dosaženy s dostatečnou rezervou nad minimálními požadavky. Je také vidět, že byly ve spektru výrazně potlačeny vyšší harmonické tóny.

Pro procesní odchylky tranzistorů MOS, hraniční a typické teploty byly provedeny další simulace, aby se ověřila správná funkce obvodu za všech možných podmínek. V technologii I3T25 jsou hraniční modely procesu značeny - AWCP (NMOS i PMOS rychlý), AWCS (NMOS i PMOS pomalý), AWC1 (PMOS rychlý, NMOS pomalý) a AWC0 (PMOS pomalý, NMOS rychlý). Uvedené hraniční procesní modely platí pro 6σ . Pro celý teplotní rozsah a procesní odchylky jsou odchylky $SNDR$ do 3 dB. Nejhorší $SNDR$ je při modelu AWCP a teplotě 85 °C (84,1 dB).

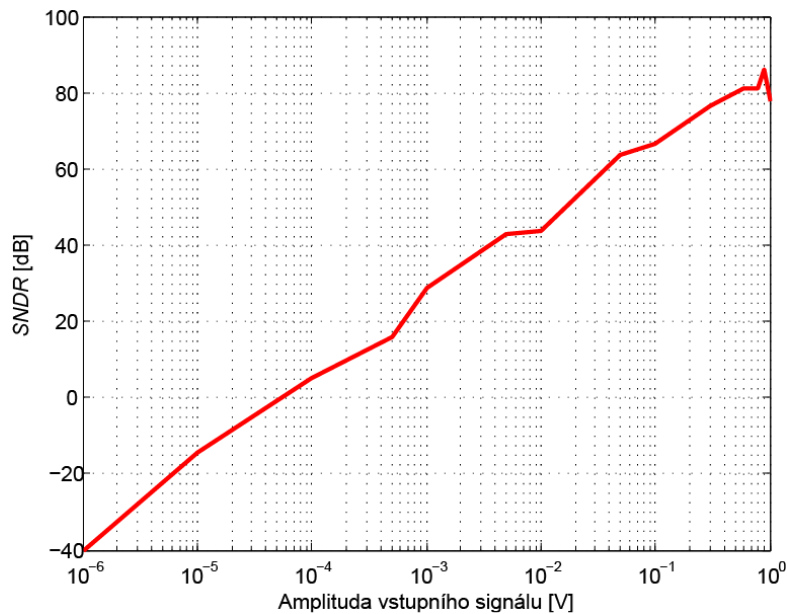
Další simulací byla ověřena správná funkce pro kmitočet vstupního signálu v celém užitečném pásmu, tj. 0 až 5 kHz.



Obr. 5.8: Závislost *SNDR* na kmitočtu vstupního signálu pro typický proces

Na obr. 5.8 je vidět, že dochází ke snížení *SNDR* na kmitočtech nižších jak 1 kHz přibližně o 1,5 dB. Nejhorší případ je *SNDR* = 84,3 dB.

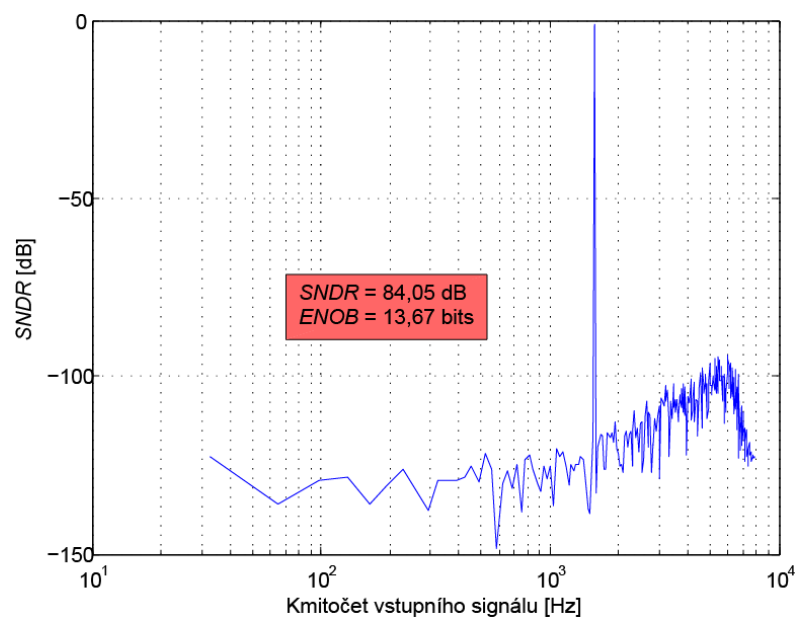
Další obr. 5.9 ukazuje závislost *SNDR* na amplitudě vstupního signálu.



Obr. 5.9: Závislost *SNDR* na amplitudě vstupního signálu pro typický proces

Z obr. 5.9 lze odečíst vstupní dynamický rozsah, který je 85,2 dB.

Výstupní data z modulátoru byla následně zpracována digitálním filtrem. Na obr. 5.10 je výstup z filtru pro nejhorší případ, tj. pro teplotu 85 °C a model AWCP. Došlo k poklesu *SNDR* o 0,05 dB.



Obr. 5.10: Průběh *PSD* na výstupu digitálního filtru

Shrnutí vlastností navrženého modulátoru $\Delta\Sigma$ je v tabulce 5.2.

Tab. 5.2: Shrnutí vlastností navrženého modulátoru $\Delta\Sigma$

Parametr	Zkratka	Hodnota
technologie	-	ONSEMI I3T25 (350 nm)
kladné napájecí napětí	U_{DD}	3,3 V
záporné napájecí napětí	U_{SS}	0 V
napětí analogové země	U_{AGND}	1,65 V
vzorkovací kmitočet	f_{VZ}	1 MHz
šířka užitečného pásma	f_{BW}	5 kHz
poměr převzorkování	OSR	100
efektivní počet bitů (v celém f_{BW})	$ENOB$	13,67
maximální amplituda vstupního signálu	U_{INmax}	1 V
spotřeba	P_{cons}	17,2 mW
plocha čipu (bez obvodu I_{REF})	A_{AREA}	0,65 mm ²

V tabulce 5.3 jsou parametry navrženého modulátoru $\Delta\Sigma$ porovnány s jinými strukturami realizovanými v podobných technologiích s podobným OSR .

Tab. 5.3: Srovnání navrženého modulátoru $\Delta\Sigma$ s jinými modulátory $\Delta\Sigma$

Parametr	Tato práce	Zdroj [10]	Zdroj [11]
struktura	2. řádu se ss posunem	MASH 2-2	2. řádu s 4-bitovým kvantizátorem
technologie	ONSEMI I3T25 (350 nm)	CMOS 2P4M (350 nm)	TSMC (250 nm)
poměr převzorkování (OSR)	100	128	128
parametr $SNDR$	84,05 dB (91,1 dB) _{$OSR = 128$}	85,7 dB	84,3 dB
napájecí napětí	3,3 V	3 V	1,8 V
spotřeba	17,2 mW	5,25 mW	9 mW
plocha modulátoru $\Delta\Sigma$	0,65 mm ²	1,2 mm ²	není uvedeno

U parametru $SNDR$ je v závorce uvedena hodnota pro $OSR = 128$. Tento údaj vychází z modelu modulátoru $\Delta\Sigma$ z programu MATLAB, zahrnující reálné parametry dílčích obvodů.

Nová struktura modulátoru $\Delta\Sigma$ nabízí dosažení vysokého $SNDR$ (až 90 dB) při nízkém OSR a n_{komp} . Netrpí problémy s vyššími harmonickými složkami, které výrazně snižují dosažitelné $SNDR$. Dále netrpí problémy se stabilitou, jako modulátory $\Delta\Sigma$ vyšších řádů, při nízkém n_{komp} linearitou jako modulátory $\Delta\Sigma$ s vícebitovým kvantizérem a závislostí na absolutních hodnotách jednotlivých prvků modulátoru jako modulátory $\Delta\Sigma$ typu MASH. Nevýhodou navrženého modulátoru je vyšší spotřeba, která je navýšena především oddělovacím OTA, který musí mít vysoké SR a vzorkovacím obvodem. Ve srovnání s typickými modulátory $\Delta\Sigma$ 2. řádu narůstá také plocha. V tomto případě je nárůst přibližně 0,2 mm². Ale při srovnání s modulátory MASH nebo s vícebitovými strukturami, je plocha menší při dosažení stejného $SNDR$. Použitím vyššího n_{komp} lze dosáhnout $SNDR$ až 95 dB při $OSR = 100$ (obr. 4.3). Narůstá však výrazně plocha.

6 ZÁVĚR

V této práci jsem se zabýval problematikou modulátorů $\Delta\Sigma$. Nejdříve jsem se věnoval detailnímu rozboru vlivu nedokonalostí v dílčích částech modulátoru $\Delta\Sigma$, které mají výrazný vliv na snížení dosažitelného *SNDR*. Jedná se především o reálné vlastnosti použitých OTA, chyby techniky SC a vznik vyšších harmonických složek. Právě vyšší harmonické složky nejvíce snižují *SNDR* modulátorů $\Delta\Sigma$ nižších řádů (obr. 4.7). To se projevuje již v ideálním modelu v programu MATLAB SIMULINK. S problémem vyšších harmonických složek jsme se setkali při realizaci celkem tří převodníků typu $\Delta\Sigma$ v technologiích AMIS CMOS07, ONSemi I2T100 a ONSemi I3T25. Proto byla práce zaměřena na novou strukturu, která netrpí vyššími harmonickými tóny, zároveň nesnižuje dosažitelné *SNDR* a nenarůstá složitost realizace obvodů na tranzistorové úrovni.

Nová struktura je prezentována v kapitole 4. Tato struktura využívá paralelního vyhodnocování vstupního signálu, kdy komparátory signalizují překročení stanovených napětí a toto napětí je po té odečítáno v modulátoru $\Delta\Sigma$. Výstupní signál PDM nevytváří dlouhé obdélníkové signály při vyšších amplitudách vstupního signálu a jsou výrazně minimalizovány vyšší harmonické tóny (obr. 4.7) Nejen že tato nová struktura minimalizuje vyšší harmonické tóny, ale zároveň umožňuje volbou počtu komparátorů dosáhnout rozlišení až 16 bitů pro $OSR = 100$. Při porovnání s modulátory $\Delta\Sigma$ s vícebitovým kvantizačním obvodem navržená struktura pro procesní odchylky a chyby souběhu 3σ nepotřebuje žádnou metodu DWA pro kompenzaci nelinearity DAC a zabírá téměř o polovinu menší plochu čipu. V práci jsem se zaměřil na modulátor s $n_{komp} = 6$. S tímto počtem komparátorů a $OSR = 100$ jsem dosáhl v reálném modelu v MATLAB *ENOB* modulátoru 14 bitů v celém kmitočtovém pásmu. To je o 2 bity více než s klasickým modulátorem $\Delta\Sigma$ 2. řádu. Vstupní dynamický rozsah vzrostl o 5 dB.

Zaměřil jsem se také, aby tato nová metoda minimálně zvyšovala nároky na realizaci obvodu na tranzistorové úrovni. Především nároky na dílčí bloky jako jsou použité OTA, komparátory, chyby souběhu, plocha čipu atd. Pro realizaci jsem použil technologii dostupnou na Ústavu mikroelektroniky ONSemi I3T25. Provedl jsem řadu simulací pro ověření správné činnosti nové struktury. Navrhl jsem obvodové zapojení pro snížení počtu komparátorů a snížení plochy, kterou zabírají rezistory. Obvod pro detekci signálu se skládá ze čtyř komparátorů. První z nich sleduje, zda je vstupní signál větší nebo menší než U_{AGND} a podle toho připojí k rezistorové síti hodnotu $+U_{REF}$ nebo $-U_{REF}$. Přesnost komparačních hladin pro komparátory není kritická. Naproti tomu je nutné zajistit co nejlepší souběh rezistorů v generátoru referenčních napětí. Volbou velkých hodnot odporů lze dosáhnout lepší souběh. Tento proud však také nabíjí vstupní parazitní kapacitu C_P oddělovacího OTA. Proto byla zvolena odporová vrstva PPOR s nižší rezistivitou na čtverec namísto HIPOR. Oddělovací OTA byl navržen se vstupními tranzistory NMOS, které mají vyšší *KP* a jsou přibližně 4x menší než tranzistory PMOS se stejným saturačním proudem a pracovním režimem na kraji silné inverze. Součástí návrhu nového modulátoru $\Delta\Sigma$ byl také digitální filtr. Navržený převodník typu $\Delta\Sigma$ obsahující nový modulátor má $SNDR = 84,05$ dB ($ENOB = 13,66$) pro model AWCP a teplotu 85 °C.

Závěrem lze říci, že výhody nové struktury modulátoru $\Delta\Sigma$ spočívají v možnosti dosažení vysokého *ENOB* v celém kmitočtovém pásmu. Při volbě vysokého počtu komparátorů (n_{komp}) lze dosáhnout rozlišení jako s modulátory s vícebitovým kvantizačním obvodem, aniž by bylo nutné použít metodu DWA. Tato struktura zabírá jen o 0,2 mm² více místa, než klasickým modulátor $\Delta\Sigma$ 2. řádu, ale dosahuje vyššího *ENOB* o 2 bity. Vzrostl také dynamický rozsah o 5 dB a vyšší harmonické tóny byly výrazně potlačeny. Výhodou jsou také nízké nároky na použité komparátory, OTA, na souběh kapacitorů v integrátoch a na přesnost přenosových koeficientů. Je však nutné zajistit dobrý souběh rezistorů v obvodu generování referenčních napětí a vysokého *SR* oddělovacího OTA. Vlivem požadavku na vysoké *SR* oddělovacího OTA vzrostou klidové proudy v jeho struktuře a vzroste spotřeba celého modulátoru (tabulka 5.2).

LITERATURA

- [1] PLASCHE, Rudy van de. *CMOS integrated analog-to-digital and digital-to-analog converters*. 2nd ed. Boston: Kluwer Academic Publishers, 2003, 588 s. ISBN 14-020-7500-6.
- [2] SCHREIER, Richard. *Understanding delta-sigma data converters*. 2nd ed. Piscataway: IEEE Press, 2005, 446 s. ISBN 04-714-6585-2.
- [3] ROERMUND, By Patrick J. Quinn and Arthur H.M. van. *Switched-capacitor techniques for high-accuracy filter and ADC design*. Online-Ausg. Dordrecht: Springer, 2007. ISBN 14-020-6257-5.
- [4] LE WANG; THEOGARAJAN, L., "An 18_W 79dB-DR 20KHz-BW MASH $\Delta\Sigma$ modulator utilizing self-biased amplifiers for biomedical applications," Custom Integrated Circuits Conference (CICC), 2011 IEEE, vol., no., pp.1,4, 19-21 Sept. 2011
- [5] ZANBAGHI, R.; SAXENA, S.; TEMES, G.C.; FIEZ, T.S., "A 75dB SNDR, 10MHz conversion bandwidth stage-shared 2-2 MASH $\Delta\Sigma$ modulator dissipating 9mW," Custom Integrated Circuits Conference (CICC), 2011 IEEE, vol., no., pp.1,4, 19-21 Sept. 2011
- [6] MOHAMMADI, R.; SHAMSI, H.; ABEDINKHAN, M., "On the design of a 2-2-0 MASH delta-sigma-pipeline modulator," Electronics, Circuits and Systems (ICECS), 2012 19th IEEE International Conference on, vol., no., pp.348,351, 9-12 Dec. 2012
- [7] TOUMAZOU, C. *Circuits and Systems Tutorials*. IEEE Press, New York, 1996. ISBN 0-7803-1170-1
- [8] GEERTS, Y. STEYAERT, M. SANSEN, W.M.C. *Design of Multi-Bit Delta-Sigma A/D Converters*, The Springer International Series in Engineering and Computer Science, Vol. 686, 2002, 240 p., Hardcover ISBN:978-1-4020-7078-5
- [9] CHANG-ZHENG DONG; TIE-JUN LU; ZONG-MINWANG; LIANG ZHOU, "A multibit sigma-delta modulator and new DWA used in an audio DAC," Computer Technology and Development (ICCTD), 2010 2nd International Conference on , vol., no., pp.429,431, 2-4 Oct. 2010
- [10] CHENG-TA CHIANG, YU-CHUNG HUANG, "A 14-bit oversampled delta-sigma modulator for silicon condenser microphones," *Instrumentation and Measurement Technology Conference, 2009. I2MTC '09. IEEE* , vol., no., pp.1055,1058, 5-7 May 2009
- [11] WAN-RONE LIOU; CANG-JHEN LIN; MEI-LING YEH; HAO-YUAN SIAO, "A lowpower multi-bit delta-sigma modulator for audio signal processing," *Communications and Networking in China, 2009. ChinaCOM 2009. Fourth International Conference on* , vol., no., pp.1,5, 26-28 Aug. 2009

CURRICULUM VITAE

Jméno: Vilém Kledrowetz
Narozen: 26. března 1985 ve Zlíně
Kontakt: kledrowetz@feec.vutbr.cz

Studium

2009 - 2014 **Vysoké učení technické v Brně, Ústav mikroelektroniky**
doktorské prezenční studium oboru Mikroelektronika, státní doktorská
zkouška úspěšně složena v dubnu 2011

2007 až 2009 **Vysoké učení technické v Brně, Ústav mikroelektroniky**
studium oboru Mikroelektronika
státní zkouška úspěšně složena v červnu 2009, diplomová práce
na téma Vliv rozlišení MDAC na bloky řetězového převodníku AD.

2004 až 2007 **Vysoké učení technické v Brně, Ústav mikroelektroniky**
studium oboru Mikroelektronika a technologie
státní zkouška úspěšně složena v červnu 2007, bakalářská práce
na téma Návrh a realizace dílčího bloku řetězového převodníku.

Stáže

2008 - 2009 Pracovní stáž v **ON Design Czech s.r.o.** Brno
9/2013 Studijní stáž v **Institut für Mikroelektronik- und Mechatronik-
Systeme GmbH**, Erfurt, Německo

Jazyky

Angličtina

Znalosti a dovednosti

Cadence (schematic, layout), MATLAB, LATEX, Pspice,
EAGLE, Microcap

Pozice

od 1/2010 Ústav mikroelektroniky - tech. hosp. pracovník
od 2/2013 CEITEC - tech. hosp. pracovník

ABSTRACT

The presented dissertation thesis deals with a novel structure of delta-sigma ($\Delta\Sigma$) modulator which compensates influence of higher harmonic distortion and therefore it is possible to achieve high resolution up to 16 bits. This novel proposed structure combines advantages of one bit quantizer $\Delta\Sigma$ modulators with mutli-bit $\Delta\Sigma$ modulators. The novel second order structure is presented, correct function is verified in MATLAB simulation enviroment and requirements for partial block are studied. The second part of the work deals with design of $\Delta\Sigma$ converter with novel structure of modulator using switched capacitor technique utilizing ONSemI I3T25 technology. Advantages and disadvantages of the novel structure are evaluated and novel structure is compared with common structures of $\Delta\Sigma$ modulators.