

VÝVOJ VESTAVĚNÝCH SYSTÉMŮ S FPGA NA KONCEPTUÁLNÍ ÚROVNI

Rudolf Schönecker, Luboš Lorenc, Zbyněk Krivka

Ústav informačních systémů, FIT VUT v Brně
Božetěchova 2, 612 66 Brno, Česká republika
tel.: +420 54114-1145, fax: +420 54114-1270, email: krivka@fit.vutbr.cz
<http://www.fit.vutbr.cz>

Abstrakt: *Koncept vývoje vestavěných systémů, který v tomto článku chceme představit, je založen na propojení nástrojů pracujících s komponentami na konceptuální úrovni, a nástrojů, které zastřešují vývoj pro FPGA zařízení. Cílem je umožnit vývoj pro FPGA na konceptuální úrovni s využitím komponentního návrhu a událostmi řízeného programování. V praxi to znamená rozšířit stávající RAD nástroj Processor Expert o schopnost konvertovat návrh systému do podoby vstupních konfiguračních skriptů návrhu systému pro Xilinx EDK, resp. do podoby HDL souborů pro Xilinx ISE.*

Klíčová slova: *vestavěný systém, FPGA, komponenta, Processor Expert, nástroje Xilinx*

1 Úvod

Snaha vyvíjet efektivní a výkonná HW-SW zařízení (viz [1]) je v reálném konkurenčním prostředí nahrazována jinou prioritou – rychlostí vývoje a flexibilitou návrhu. Pro úspěšnost na trhu (především v takzvané low-end kategorii) přestává být důležitá kvalita výrobku, ale úspěšnější bývá ten, kdo nové zařízení dodá jako první. Vysoké tempo vývoje však často bývá doprovázeno vznikem nejrůznějších chyb a nedostatků, které jsou odhaleny až v reálném provozu. Pokud nechce společnost přijít o své zákazníky, musí existovat jednoduchá cesta, jak uživatelům již prodaných zařízení umožnit rychlou automatickou opravu software či rekonfiguraci hardware.

Protichůdné požadavky na rychlost vývoje a dostatečnou obecnost návrhu sehrály již dříve podstatnou roli při vzniku komponentního modelu vývoje a tzv. modelem řízených architektur v oblasti software. Nyní se stále více ukazuje, že podobný přístup by mohlo být výhodné aplikovat i v oblasti vývoje hardware (viz [2, 3]).

Opakované využívání předem připravených a otestovaných komponent soustřeďuje většinu úsilí při vývoji nového zařízení pouze na propojení těchto komponent do funkčního celku. Myšlenka použití zapouzdření a unifikace přístupu v rámci HW nebo SW komponent je implementována například v nástroji Processor Expert (viz [4]). Nástroj tak umožňuje přistupovat jednotně k procesorům, mikrokontrolerům, pamětem, perifériím a algoritmům. Na druhou stranu obecná podpora FPGA nebyla v rámci tohoto přístupu dosud představena.

Koncept vývoje, který v tomto článku chceme představit, je založen na propojení nástrojů pracujících s komponentami na konceptuální úrovni, a nástrojů, které zastřešují vývoj pro FPGA zařízení (Xilinx EDK 9.1i, viz [3], a Xilinx ISE 9.1i, viz [5]). Cílem je umožnit vývoj pro FPGA na vyšší úrovni abstrakce s využitím komponentního návrhu a událostmi řízeného programování. V praxi to znamená rozšířit stávající RAD nástroj Processor Expert o schopnost zapouzdřit některé Xilinx komponenty (IP jádra) jako beany Processor Experta. Samostatnou část tohoto zapouzdření představuje generování HW a SW platformy pro implementaci těchto komponent v Xilinx nástrojích, tj. v FPGA.

2 Použité technologie

Pro realizaci našeho záměru budeme uvažovat vývojová prostředí dvou výrobců: RAD IDE Processor Expert firmy Unis pro návrh vestavěných aplikací, a Xilinx Embedded Development Kit (EDK) a Integrated Software Environment (ISE) včetně dalších Xilinx nástrojů pro logický návrh a implementaci pro FPGA a CPLD zařízení.

2.1 Processor Expert

Processor Expert (PE) nabízí abstrakci na úrovni objektově orientovaného komponentního vývoje pro vestavěné systémy s 8, 16 a 32-bitovými procesory. Odstiňuje uživatele od hardware daného systému tím, že zapouzdřuje prvky hardware pomocí komponent, tzv. Embedded Beans (EB). EB je objekt s definovanou funkčností, k němuž se přistupuje prostřednictvím vlastností, metod a událostí. Pomocí vlastností objektů lze zpřístupnit nastavení bez konkrétní detailní znalosti hardware. V rámci metod uživatel specifikuje prováděný kód události, které slouží k ošetření přerušení od periférií.

PE poskytuje základní sadu komponent pro podporované procesory a unifikuje tak přístup uživatele při návrhu aplikace. Obsahuje expertní bázi znalostí pro nastavování periférií a dokáže tak verifikovat zadané parametry a upozornit na nekorektní návrhy systému.

2.2 Nástroje Xilinx

Produkční cyklus nástrojů Xilinx (ISE a EDK) je dosti variabilní. Obě prostředí společně využívají nástroje příkazové řádky pro syntézu a generování bitstreamu. Výsledný bitstream je nahráván do FPGA.

Nejnižší úroveň přístupu poskytuje prostředí ISE, kde uživatel vytváří návrh v některém HDL jazyce (VHDL, Verilog). Návrh je tvořen HDL prvky, záleží však zcela na uživateli, který vytváří návrh, jakým způsobem bude návrh strukturován. Návrh na této úrovni nevyžaduje přítomnost plnohodnotného CPU. ISE prostředí je vhodné pro vytvoření buď celistvého minimalistického návrhu v HDL jazyce nebo pro tvorbu a syntézu HDL kódu budoucích IP komponent (tzv. IP Cores).

EDK je komplexnější nástroj pracující na vyšší úrovni abstrakce. Podporuje několik sad hardwarových desek s FPGA, vývoj staví na dodaném překladači, knihovně obsahující IP jádra podporovaných procesorů (PowerPC, MicroBlaze), příslušných ovladačích a na samotných IP jádrech jednotlivých komponent pro dané procesory. Vytvoření hardwarového návrhu se sestává z vložení nabízených nebo vlastních – předpřipravených IP komponent do návrhu, nastavení parametrů těchto IP komponent a napsání kódu programu pro řídicí procesor, který bude prováděn.

Důležitým aspektem produktů Xilinx je separace grafického návrhového prostředí a utilit pro zpracování návrhu na příkazové řádce. Konfigurační soubory návrhu mají podobu dokumentovaných textových souborů. Jedná se tedy o otevřený systém, který lze výhodně využít pro zajištění části produkčního cyklu pokrývající syntézu návrhu, vytvoření bitstreamu a jeho nahrání do FPGA zařízení.

3 Koncepce a návrh praktické realizace

Cílem je vytvořit takový koncept návrhu, který bude využívat (a) PE jako primární RAD vývojové prostředí a (b) nástroje Xilinx jako sekundární prvek pro zajištění syntézy a

implementace některých EB z návrhové palety komponent PE. Uživatel bude využívat pouze prostředků PE, tj. EB. IP komponenty v FPGA budou v návrhu reprezentovány speciálním typem EB, který zpřístupní požadovaná nastavení. Bude-li uživatel chtít přidat konkrétní funkcionalitu na FPGA, vloží do návrhu příslušný EB a specifikuje jeho nastavení. Může se jednat např. o moduly pro rychlé hardwarové šifrování, speciální matematické operace náročné na výkon, aj.

3.1 Specifikace návrhu pro Xilinx FPGA

Interní popis návrhu Xilinx EDK má formu textových konfiguračních souborů, kde jsou obsaženy parametry potřebné pro konfiguraci a propojení použitých IP jader. V případě Xilinx ISE jsou propojení IP jader uskutečněna na nižší úrovni přímo v HDL kódu.

Prvním krokem při realizaci konceptu je vytvořit nástroj, který bude schopen sestavit návrh systému pro FPGA na základě soupisu IP komponent, které chceme použít včetně jejich parametrů zadaných uživatelem. Předpokládejme, že u komponent, které to vyžadují, specifikuje jejich propojení na vyšší úrovni abstrakce uživatel, samozřejmě v přehledném grafickém prostředí RAD nástroje.

Takovýto generující nástroj samozřejmě nebude pracovat naprosto obecně. Bude vycházet z otevřené databáze znalostí, ve které budou uvedeny všechny podporované IP komponenty, které je možné použít při tvorbě návrhu systému pro FPGA. Databáze bude obsahovat seznam všech nastavitelných parametrů, požadavky na propojení, omezení a podmínky kladené na návrh, které musí být splněny, aby byl návrh syntetizovatelný a proveditelný (např. vylučné použití komponent, vyžádaná přítomnost časovače v návrhu, aj.).

3.2 Produkční cyklus Processor Experta s podporou FPGA

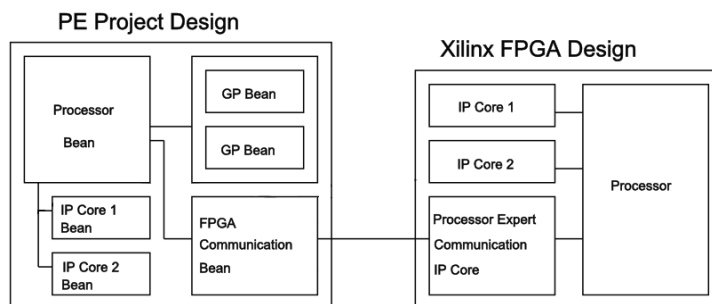
Produkční cyklus PE se sestává z následujících fází:

- A) Zadání návrhu (schématické nebo formou textových konfig. souborů) vývojářem – výběr cílové architektury (CPU, FPGA deska) a přidání požadovaných HW a SW EB a nastavení jejich vlastností, generování kódu metod a ovladačů událostí.
- B) Zavedení EB pro vybraná IP jádra do návrhu PE vývojářem – přidání komunikačních EB (run-time komunikace mezi částí návrhu PE a FPGA) a EB, které zapouzdřují parametry odpovídajících IP jader s požadovanou funkcionalitou, nastavení jejich vlastností, generování/zapsání kódu metod spouštěných před komunikací s FPGA a ovladačů událostí volaných po dokončení výpočtu FPGA.
- C) Kompilace a generování – provedení překladač kódu pro EB v rámci zvolené architektury a spuštění generátoru návrhu pro transformaci nastavení komunikačních beanů a beanů s parametry zvolených IP jader do podoby návrhu pro Xilinx nástroje.
- D) Syntéza FPGA návrhu, implementace a nahrání do zařízení – uskutečněno produkčním cyklem Xilinx nástrojů. Nahrání programu z PE do CPU (PE část HW, nikoli FPGA).

3.3 Implementace kombinovaného produkčního cyklu a run-time propojení

Základním stavebním kamenem návrhu budou speciální komponenty – FPGA komunikační beany v PE a IP jádra v případě Xilinx FPGA zařízení, které zajistí run-time komunikaci mezi CPU (programované v PE) a FPGA (programované v nástrojích Xilinx) (viz Obrázek 1). Komunikaci bude zajišťovat komunikační systém tvořený komunikačním kanálem a protokolem vybraným pro konkrétní návrh (např. UART, USART, SPI, ...).

Vzhledem k tomu, že chceme v našem návrhu podpořit práci s více IP komponentami v FPGA současně, budou komponenty zpřístupňující vzájemnou komunikaci obou systémů zajišťovat také jednoduché multiplexování komunikace odpovídajících si beanů a IP komponent.



Obrázek 1: Run-time propojení PE a Xilinx

4 Zhodnocení

V tomto příspěvku byl představen nový koncept propojení dvou technologií: (1) RAD nástroje Processor Expert a (2) nástrojů Xilinx (EDK a ISE) s cílem zpřístupnit speciální funkcionalitu FPGA IP jader firmy Xilinx v nástroji Processor Expert.

Dle zaměření lze s výhodou využít jak Xilinx EDK, tak Xilinx ISE. EDK je vhodné pro rozsáhlejší návrhy využívající vzájemné komunikace mezi IP komponentami řízené plnohodnotným procesorem (MicroBlaze, PowerPC). V tomto případě je potřeba počítat s většími nároky na zabraný prostor v FPGA pro sběrnice a případný soft-core procesor. Na druhé straně, ISE je vhodné pro menší návrhy s jednoduchou funkcionalitou (např. návrh s PicoBlaze, UART, GPIO) nebo pro použití FPGA s nižším počtem logických buněk.

Integrace použití FPGA IP jader do Processor Expertu poskytne možnost efektivnější tvorby návrhů. Navíc využití EDK a ISE IP komponent v návrhu bude pro vývojáře vytvářející návrh v Processor Expertu zcela transparentní.

Poděkování

Tento příspěvek vznikl za podpory Národního programu výzkumu II. Ministerstva školství mládeže a tělovýchovy České republiky č. MŠMT 2C06008.

Seznam literatury

- [1] Noergaard, T.: *Embeeded Systems Architecture*. Newnes, 2005, ISBN 0-75067-792-9.
- [2] Bližňák, M., Kolář, D.: Formal-method-based Software Development Applied on Embedded Systems: Basic concepts. In: *17th International DAAAM Symposium 2006*, Vienna, AT, 2006, pp. 45-46, ISBN 3-901509-57-7.
- [3] Černý, S., Kolář, D., Stružka, P.: Processor Expert, Component Application Builder for Embedded Systems. In: *Proceedings of 5th IEEE Design and Diagnostics of Electronics Circuits and Systems Workshop*, Brno, CZ, FIT VUT, 2002, pp. 393-397, ISBN 80-214-2094-4.
- [4] Unis, Ltd.: *Processor Expert On-Line Home Page* [online]. <http://www.processorexpert.com>, 2007.
- [5] Xilinx, Inc.: *Xilinx: The Programmable Logic Company* [online]. <http://www.xilinx.com>, 1994-2007.